СПРАВОЧНИК

ЦИФРОВЫЕ И АНАЛОГОВЫЕ ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ



МОСКВА „РАДИО И СВЯЗЬ"
1990

ББК 32.85
Ц75
УДК 621.3.049.77.037.372(03)

АВТОРЫ: С. В. ЯКУБОВСКИЙ, Л. И. НИССЕЛЬСОН,
В И КУЛЕШОВА, В. А. УШИБЫШЕВ, М. Н. ТОПЕШКИН

Рецензенты: д-р техн. наук Е. М. Сухарев, канд. техн. наук В. Л. Шило

Редакция литературы по электронике

Ц75 **Цифровые** и аналоговые интегральные микросхемы: Справочник/С. В. Якубовский, Л. И. Ниссельсон, В. И. Кулешова и др.; Под ред С. В. Якубовского. — М.: Радио и связь, 1990. — 496 с.: ил.

ISBN 5-256-00259-7.

Описаны характеристики, изначение и применение цифровых интегральных микросхем, а также логические функции, реализуемые с их помощью Подробно рассмотрены цифровые микросхемы транзисторно-транзисторной логики, эмиттерно-связанной логики на МОП- и КМОП-структурах. Приведены схемы включения электрические параметры операционных усилителей, компараторов, аналоговых переключателей, усилителей низкой частоты, цифро-аналоговых и аналого-цифровых преобразователей в интегральном исполнении, микросхем для радио- и телевизионных приемников.

Для инженерно-технических работников.

Ц $\frac{2302030700-050}{046(01)-90}$ **109-89** **ББК 32 85**

ISBN 5-256-00259-7

Предисловие

Со времени выпуска справочного пособия «Аналоговые и цифровые интегральные микросхемы» прошло не так уж много времени. Однако продолжающийся прогресс в проектировании БИС и СБИС и технологии их изготовления обеспечивает устойчивое увеличение функциональной плотности кристаллов. В связи с этим возникла необходимость создания нового справочного издания.

В настоящем справочнике большее внимание уделено одному из самых перспективных направлений микроэлектроники — микропроцессорным комплектам (МПК). Приведен сравнительный анализ перспективных МПК, что позволит читателю осуществить оптимальный выбор элементной базы для конкретных применений. Значительное место занимают технические характеристики и функциональные особенности основных перспективных серий однокристальных микроЭВМ. В этих микросхемах наряду с устройствами обработки информации на одном кристалле размещены оперативные и постоянные запоминающие устройства, генератор, порты ввода/вывода, что позволит потребителю создавать высокопроизводительные контроллеры с минимальным числом микросхем.

Читателю будет интересен обзор этапов развития стандартных цифровых микросхем: вместо старых серий ТТЛ и ТТЛШ приведены микросхемы-аналоги 54/74AS, ALS, FAST; включены серии 1530, 1533, КР1533, 1531, КР1531; описаны новые серии схем ЭСЛ и КМОП 1500, К1500, 1561, 1564; расширена информация о составе серии К561. Более подробно даны характеристики типов ЗУ с объемом памяти до 256К бит. Значительное внимание уделено одному из новых направлений микроэлектроники — матричным микросхемам.

Наряду с материалом по цифровым микросхемам большой раздел посвящен аналоговым микросхемам.

В разделе по конструктивно-технологическому применению описаны конструкции корпусов микросхем, предназначенные для поверхностного монтажа, и особенности технологии.

Авторы

Глава 1.

Терминология в микроэлектронике, классификация и вопросы конструирования интегральных микросхем

1.1. Развитие терминологии

Микроэлектроника — это область электроники, занимающаяся созданием электронных функциональных узлов, блоков и устройств в микроминиатюрном интегральном исполнении. Ход развития электроники был предопределен резким увеличением функций, выполняемых РЭА, и повышением требований к ее надежности.

Прогресс технологии и схемотехники, позволивший создать новую элементную базу, был в 60—70-х годах столь быстрым, что он не только сместил акценты во многих устоявшихся терминах радиоэлектроники, но и значительно пополнил ее словарный запас. Известная стихийность данного процесса привела ко многим разночтениям понятий и терминов, так как процесс начального развития терминологии шел одновременно на нескольких языках при интенсивном обмене информацией между странами.

Упорядочение отечественных терминов и определений в области микроэлектроники было предпринято в 1967 г., когда Международная электротехническая комиссия (МЭК) издала документ (дополнение), включающий определения нескольких общих основополагающих терминов, таких как микроэлектроника, интегральная микросхема и другие, и в связи со значительным расширением сферы применения микросхем возникла необходимость в Государственном стандарте по терминологическим вопросам. Такой стандарт был разработан и утвержден в 1971 г. (ГОСТ 17021—71). Он включал 16 терминов, причем наряду с общими понятиями были даны однозначные определения и для частей микросхем (подложка, корпус).

Термины, определение которых было дано в указанном ГОСТе, нашли свое отражение в технической документации. В 1975 г терминологический стандарт был расширен (ГОСТ 17021—75) в связи с появлением таких новых понятий, как плотность упаковки, степень интеграции, большая интегральная схема и др.

В 1979 г. был утвержден стандарт СЭВ по терминам и определениям в области микроэлектроники (СТ СЭВ 1623—79) и в 1981 г. в ГОСТ 17021—75 были введены изменения, соответствующие этому документу, касающиеся терминов и определений для микропроцессоров (МП). В 1987 г. в ГОСТ 27394—87 «Микросхемы интегральные заказные и полузаказные» были введены определения терминов, расширяющие понятия кристалл микросхемы, а также микросхем общего назначения, заказных и полузаказных. В 1988 г. с учетом указанных изменений издан ГОСТ 17021—88.

1.2. Терминология в микроэлектронике согласно ГОСТ 17021—88

1.2.1. Микросхемы, элементы, компоненты

Интегральная микросхема — микроэлектронное изделие, выполняющее определенную функцию преобразования, обработки сигнала и (или) накапливания информации и имеющее высокую плотность упаковки электрически соединенных элементов (или элементов и компонентов) и (или) кристаллов, которое с точки зрения требований к испытаниям, приемке, поставке и эксплуатации рассматривается как единое целое.

Элемент интегральной микросхемы — это часть интегральной микросхемы, реализующая функцию какого-либо электрорадиоэлемента (например, транзистора, диода, резистора, конденсатора), которая выполнена нераздельно от кристалла или подложки и не может быть выделена как самостоятельное изделие с точки зрения требований к испытаниям, приемке, поставке и эксплуатации. Примеры интегральных элементов. пленочный резистор в гибридной микросхеме, транзистор в полупроводниковой микросхеме.

Компонент интегральной микросхемы — часть интегральной микросхемы, реализующая функции какого-либо электрорадиоэлемента, которая может быть выделена как самостоятельное изделие с точки зрения требований к испытаниям, приемке, поставке и эксплуатации. Компонент является частью гибридной микросхемы.

Цифровая интегральная микросхема — микросхема, предназначенная для преобразования и обработки сигналов, изменяющихся по закону дискретной функции

Аналоговая интегральная микросхема — микросхема, предназначенная для преобразования и обработки сигналов, изменяющихся по закону непрерывной функции.

1.2.2. Элементы конструкции микросхем

При разработке технической документации или при составлении описаний конструкций микросхем ГОСТ обязывает пользоваться общими терминами (корпус, подложка, плата, пластина, кристалл), а также некоторыми специальными, которыми определяются особенности внутреннего строения микросхем.

Корпус — часть конструкции интегральной микросхемы, предназначенная для защиты микросхемы от внешних воздействий и для соединения с внешними электрическими цепями посредством выводов. Типы и размеры корпусов микросхем, а также расположение и число их выводов стандартизованы (см. ГОСТ 17467—79).

Подложка — заготовка из диэлектрического материала, предназначенная для нанесения на нее элементов гибридных и пленочных интегральных микросхем межэлементных и (или) межкомпонентных соединений, а также контактных площадок.

Плата — часть подложки (или вся подложка) гибридной интегральной микросхемы, на поверхности которой нанесены пленочные элементы микросхемы, межэлементные и межкомпонентные соединения и контактные площадки.

Полупроводниковая пластина — заготовка из полупроводникового материала, предназначенная для изготовления полупроводниковых интегральных микросхем. При производстве микросхем этим термином называют не только первоначальную заготовку, но и пластину со сформированными элементами полупроводниковых микросхем. Этот термин используется в течение всего технологического процесса — от его начала до разделения группового изделия на отдельные кристаллы.

Кристалл — часть пластины, в объеме и на поверхности которой сформированы элементы полупроводниковой микросхемы, межэлементные соединения и контактные площадки.

Базовый кристалл — часть полупроводниковой пластины с определенным набором сформированных элементов, в том числе электрически соединенных и не соединенных между собой, предназначенный для дальнейшего проектирования микросхемы.

Основное отличие термина кристалл от термина базовый кристалл заключается в отсутствии в последнем законченных межэлементных соединений, которые будут выполнены при дальнейшем проектировании.

Базовый матричный кристалл (БМК) — базовый кристалл интегральной микросхемы с регулярным, в виде матрицы, расположением не соединенных и (или) соединенных между собой элементов, без межэлементных соединений. Термины базовый кристалл и базовый матричный кристалл появились значительно позднее, чем вышел ГОСТ 17021—75. Они были введены ГОСТ 27394—87 (см. § 1.3).

Контактная площадка — металлизированный участок иа плате или кристалле, или корпусе интегральной микросхемы, служащий для присоединения выводов компонентов и кристаллов, перемычек, а также для контроля ее электрических параметров и режимов.

Бескорпусная интегральная микросхема — кристалл микросхемы, предназначенный для монтажа в гибридную интегральную микросхему или микросборку. Этот термин в последнее время приобрел большое значение в связи с тем, что такие микросхемы широко применяются при создании микросборок и микроблоков. Если в обычной микросхеме корпус служит для защиты от внешних воздействий, то бескорпусная микросхема такой собственной защиты (по крайней мере, от механических воздействий) не имеет. Для соединения с внешними электрическими цепями бескорпусная микросхема имеет собственные выводы, а ее полная защита обеспечивается корпусом устройства, в которое эта микросхема установлена.

Вывод бескорпусной интегральной микросхемы — проводник, соединенный электрически с контактной площадкой кристалла и механически с его поверхностью. Главным назначением вывода является обеспечение электрического контакта одной из цепей бескорпусной микросхемы при ее соединении с внешними электрическими цепями. По выводам от бескорпусной микросхемы отводится значительная часть тепла. Выводы бескорпусной микросхемы могут быть жесткими (шариковые, столбиковые, балочные) или гибкими (лепестковые, проволочные). Жесткие выводы могут использоваться для механического крепления бескорпусной микросхемы без ее приклеивания. Гибкие выводы бескорпусной микросхемы для механического крепления не применяются.

1.2.3. Простые и сложные микросхемы

В настоящее время стандартизированы количественные и качественные меры определения сложности микросхем. Количественный фактор соответствует порядку числа элементов на кристалле микросхемы или в ее корпусе.

В ГОСТ 17021—88 термин степень интеграции интегральной микросхемы определен как показатель степени сложности микросхемы, характеризуемый числом содержащихся в ней элементов и компонентов, причем степень интеграции микросхемы K=lg N, где K — коэффициент, показывающий степень интеграции, значение которого округляется до ближайшего большего целого числа; N — число элементов, в том числе содержащихся в составе компонентов, входящих в интегральную микросхему. В соответствии с этой формулой микросхема первой степени интеграции содержит до 10 элементов и компонентов, микросхема второй степени интеграции — от 11 до 100 элементов и компонентов. Соответственно микросхема, имеющая в своем составе от 101 до 1000 элементов и компонентов, называется микросхемой третьей степени интеграции. Аналогично микросхемы, имеющие число элементов и компонентов от 1001 до 10 000, — микросхемы четвертой степени интеграции, а от 10 001 до 100 000 и от 100 001 до 1 000 000 — микросхемы пятой и шестой степеней интеграции и т. д.

Количественную меру сложности цифровых микросхем определяют иногда числом логических элементов (ЛЭ), или вентилей, из которых состоит интегральная микросхема. Под логическим элементом в этом случае понимают устройства, выполняющие операции булевой (логической) алгебры в двоичной системе.

Логический элемент в зависимости от назначения, типа логики, технологии изготовления микросхемы может состоять из различного числа элементов (как правило, от 5 до 15). При качественной оценке понятий сложности микросхем (малая, средняя, большая, сверхбольшая) определения зависят от числа элементов и компонентов, технологии изготовления и функционального назначения микросхем. Взаимное соответствие качественной оценки и числа элементов микросхем представлено в табл. 1.1. Нетрудно отметить, что аналоговые БИС насыщены элементами во много раз меньше, чем цифровые (особенно униполярные).

Микросхема, имеющая время задержки распространения сигнала 2,5 нс/лэ или нижнюю границу рабочего диапазона тактовых частот не менее 300 МГц, называется сверхскоростной интегральной микросхемой (ССИС). При построении РЭА и при выборе ее элементной базы большое значение имеет плотность упаковки. Плотностью упаковки интегральной микросхемы называется отношение числа компонентов и элементов микросхемы, в том числе содержащихся в составе компонентов, к объему микросхемы без учета объема выводов.

1.2.4. Микросборки и микроблоки

Ряд терминов, связанных с применением микросхем, не включен в ГОСТ 17021—88. Однако они определены с целью однозначного их толкования.

Термин микросборка имел в литературе ряд синонимов. По ГОСТ

Таблица 1.1

Сложность интегральной микросхемы	Функциональное назначение микросхемы	Технология изготовления микросхемы	Число элементов и компонентов на кристалле или подложке
Малая	Цифровая	Биполярная, униполярная	1...100
	Аналоговая	Биполярная	1...30
Средняя	Цифровая	Униполярная	101...1000
	»	Биполярная	101...500
	Аналоговая	Биполярная, униполярная	31...100
Большая	Цифровая	Униполярная	1001...10 000
	»	Биполярная	501...2000
	Аналоговая	Биполярная, униполярная	101...300
Сверхбольшая	Цифровая	Униполярная	Более 10 000
	»	Биполярная	Более 2000
	Аналоговая	Биполярная, униполярная	Более 300

17021—75 *микросборка* — это микроэлектронное изделие, выполняющее определенную функцию и состоящее из элементов, компонентов и микросхем (корпусных и бескорпусных), а также других электрорадиоэлементов, находящихся в различных сочетаниях. Это изделие разрабатывается и изготовляется конструкторами РЭА с целью ее миниатюризации. Государственный стандарт не определяет микросборку как корпусное или бескорпусное изделие, т. е. микросборка может иметь или не иметь собственный корпус.

Микроблок — это микроэлектронное изделие, которое кроме микросборок может содержать интегральные микросхемы и компоненты

Уровень миниатюризации является количественной мерой совокупности технических решений, направленных на эффективное использование объема, массы и потребляемой аппаратурой энергии при обеспечении характеристик, определяющих пригодность ее применения заданному назначению Критериями уровня миниатюризации РЭА являются: соответствие современному техническому уровню микроэлектронных изделий; соответствие применяемых в РЭА изделий современному уровню миниатюризации; эффективность комплексной миниатюризации аппаратуры; техническая совместимость «других» изделий электронной техники и электротехники с интегральными микросхемами,

1.3. Классификация микросхем

В зависимости от технологии изготовления интегральные микросхемы могут быть полупроводниковыми, пленочными или гибридными. В ГОСТ 17021—88 даются следующие определения этим трем разновидностям микросхем.

Полупроводниковая микросхема — микросхема, все элементы и межэлементные соединения которой выполнены в объеме и на поверхности полупроводника.

Пленочная микросхема — микросхема, все элементы и межэлементные соединения которой выполнены только в виде пленок проводящих и диэлектрических материалов. Вариантами пленочных являются тонкопленочные и толстопленочные микросхемы.

Различие между тонкопленочными и толстопленочными микросхемами может быть количественным и качественным. К тонкопленочным условно относят микросхемы с толщиной пленок менее 1 мкм, а к толстопленочным — микросхемы с толщиной пленок свыше 1 мкм. Качественные различия определяются технологией изготовления пленок Элементы тонкопленочной микросхемы наносятся на подложку, как правило, с помощью катодного распыления и термовакуумного осаждения, а элементы толстопленочной микросхемы изготавливаются преимущественно методом шелкографии с последующим вжиганием.

Гибридная микросхема — микросхема, содержащая кроме элементов простые и сложные компоненты (например, кристаллы микросхемы полупроводниковых микросхем). Одним из видов гибридной микросхемы является многокристальная микросхема.

В зависимости от функционального назначения интегральные микросхемы делятся на аналоговые и цифровые. *Аналоговые микросхемы* предназначены для преобразования и обработки сигналов, изменяющихся по закону непрерывной функции. Частным случаем этих микросхем является микросхема с линейной характеристикой, или линейная микросхема. С помощью *цифровых микросхем* преобразуются и обрабатываются сигналы, изменяющиеся по закону дискретной функции. Частным случаем цифровых микросхем является логическая микросхема, выполняющая операции с двоичным кодом, которые описываются логической алгеброй

Одновременно с понятием БИС в ГОСТ 17021—88 присутствуют два термина: БИС и базовый комплект БИС. Это обстоятельство вызвано необходимостью совместной комплексной разработки и применения БИС, представляющих собой узлы и блоки РЭА. Большие интегральные схемы, составляющие комплект, хотя и выполняют различные функции, но совместимы по конструктивному исполнению и электрическим параметрам. Они позволяют использовать при построении микроэлектронной аппаратуры общие «архитектурные» приемы. Минимальный состав комплекта БИС, необходимый для решения определенного круга аппаратурных задач, называется базовым.

Как отклик на появление микропроцессорной техники в 1981 г. в ГОСТ 17021—88 были введены четыре термина. Микропроцессор определен как программно-управляемое устройство, осуществляющее процесс обработки цифровой информации и управления им. Это устройство изготовлено на основе одной или нескольких БИС.

Микропроцессорной названа микросхема, выполняющая функцию МП или его части. Совокупность этих и других микросхем, совмести-

мых по архитектуре, конструктивному исполнению и электрическим параметрам, названа микропроцессорным комплектом (МПК). По аналогии с базовым комплектом БИС базовым МПК называется минимальный состав такого комплекта, необходимый для построения основных узлов МП или контроллера.

В последнее время наряду с разработкой микросхем общего назначения широкое распространение получило создание сложных микросхем, в разработке и организации производства которых принимает участие как предприятие-заказчик, так и предприятие-исполнитель. Распределение работ между этими предприятиями регламентирует ГОСТ 27394—87.

Таким образом, в классификацию интегральных микросхем вводятся новые понятия. ГОСТ 27394—87 устанавливает определение микросхем общего назначения, заказных и полузаказных.

Заказная интегральная микросхема — микросхема, разработанная на основе стандартных и (или) специально созданных элементов и узлов по функциональной схеме заказчика и предназначенная для определенной РЭА.

Полузаказная интегральная микросхема — микросхема, разработанная на основе базовых (в том числе матричных) кристаллов и предназначенная для определения РЭА.

К микросхемам определенного функционального назначения, предназначенным для различных видов РЭА, относят микросхемы общего назначения.

1.4. Система условных обозначений микросхем

Аналоговые и цифровые микросхемы разрабатываются и выпускаются предприятиями-изготовителями в виде серий. Каждая серия отличается степенью комплектности и содержит несколько микросхем, которые, в свою очередь, подразделяются на типономиналы. К серии микросхем согласно ГОСТ 17021—88 относят совокупность типов микросхем, которые могут выполнять различные функции, но имеют единое конструктивно-технологическое исполнение и предназначены для совместного применения. Как правило, с течением времени состав перспективных серий расширяется

Тип интегральной микросхемы — интегральная микросхема конкретного функционального назначения и определенного конструктивно-технологического и схемотехнического решения, имеющая свое условное обозначение. Под типономиналом интегральной микросхемы понимается микросхема конкретного типа, отличающаяся от других микросхем того же типа одним или несколькими параметрами.

Группа типов микросхем — совокупность типов микросхем в пределах одной серии, имеющих аналогичные функциональное назначение и принцип действия, свойства которых описываются одинаковым или близким составом электрических параметров.

Все многообразие выпускаемых серий микросхем согласно принятой системе условных обозначений по конструктивно-технологическому исполнению делится на три группы: полупроводниковые, гибридные, прочие. К последней группе относят пленочные микросхемы, которые в настоящее время выпускаются в ограниченном количестве, а также вакуумные и керамические. Указанным группам микросхем в системе условных обозначений присвоены следующие цифры: 1,5—

Таблица 1.2

Подгруппа и вид микросхем	Обозначение
Формирователи:	
адресных токов (формирователи напряжения или токов)	АА
импульсов прямоугольной формы (ждущие мультивибраторы, блокинг-генераторы и др.)	АГ
разрядных токов (формирователи напряжения или токов)	АР
прочие	АП
импульсов специальной формы	АФ
Схемы задержки:	
пассивные	БМ
прочие	БП
активные	БР
Схемы вычислительных средств:	
сопряжения с магистралью	ВА
синхронизации	ВБ
управления вводом/выводом (схемы интерфейса)	ВВ
контроллеры	ВГ
микроЭВМ	ВЕ
специализированные	ВЖ
времязадающие	ВИ
комбинированные	ВК
микропроцессоры	ВМ
управления прерыванием	ВН
прочие	ВП
функциональные расширители (в том числе расширители разрядности данных)	ВР
микропроцессорные секции	ВС
управления памятью	ВТ
микропрограммного управления	ВУ
функциональные преобразователи информации (арифметические, тригонометрические, логарифмические, быстрого преобразования Фурье и др.)	ВФ
микрокалькуляторы	ВХ
Генераторы:	
прямоугольных сигналов (в том числе автоколебательные мультивибраторы, блокинг-генераторы и др.)	ГГ
линейно изменяющихся сигналов	ГЛ
шума	ГМ
прочие	ГП
гармонических сигналов	ГС
сигналов специальной формы	ГФ
Детекторы:	
амплитудные	ДА
импульсные	ДИ
прочие	ДП
частотные	ДС
фазовые	ДФ

Подгруппа и вид микросхем	Обозначение
Схемы источников вторичного электропитания:	
выпрямители	ЕВ
стабилизаторы напряжения импульсные	ЕК
преобразователи	ЕМ
стабилизаторы напряжения непрерывные	ЕН
прочие	ЕП
схемы источников вторичного электропитания	ЕС
стабилизаторы тока	ЕТ
управления импульсными стабилизаторами напряжения	ЕУ
Схемы цифровых устройств:	
арифметическо-логические	ИА
шифраторы	ИВ
дешифраторы	ИД
счетчики	ИЕ
комбинированные	ИК
полусумматоры	ИЛ
сумматоры	ИМ
прочие	ИП
регистры	ИР
Коммутаторы и ключи:	
напряжения	КН
прочие	КП
тока	КТ
Логические элементы:	
И—НЕ	ЛА
И—НЕ/ИЛИ—НЕ	ЛБ
расширители	ЛД
ИЛИ—НЕ	ЛЕ
И	ЛИ
И—ИЛИ—НЕ/И—ИЛИ	ЛК
ИЛИ	ЛЛ
ИЛИ—НЕ/ИЛИ	ЛМ
НЕ	ЛН
прочие	ЛП
И—ИЛИ—НЕ	ЛР
И—ИЛИ	ЛС
Модуляторы:	
амплитудные	МА
импульсные	МИ
прочие	МП
частотные	МС
фазовые	МФ
Набор элементов:	
диодов	НД
конденсаторов	НЕ
комбинированные	НК
прочие	НП

Подгруппа и вид микросхем	Обозначение
резисторов	НР
транзисторов	НТ
функциональные (в том числе матрицы резисторов типа R=2R)	НФ
Преобразователи:	
цифро-аналоговые	ПА
аналого-цифровые	ПВ
длительности	ПД
умножители частоты аналоговые	ПЕ
делители частоты аналоговые	ПК
синтезаторы частоты	ПЛ
мощности	ПМ
напряжения (тока)	ПН
прочие	ПП
код—код	ПР
частоты (в том числе перемножители аналоговых сигналов)	ПС
уровня (согласователи)	ПУ
делители частоты цифровые	ПЦ
Схемы запоминающих устройств:	
ассоциативные	РА
матрицы постоянных ЗУ	РВ
ПЗУ (масочные)	РЕ
матрицы оперативных ЗУ	РМ
прочие	РП
ПЗУ с возможностью многократного программирования	РР
ПЗУ с возможностью однократного программирования	РТ
ОЗУ	РУ
ПЗУ с ультрафиолетовым стиранием и электрической записью информации	РФ
ЗУ на цилиндрических магнитных доменах (ЦМД)	РЦ
Схемы сравнения:	
амплитудные (уровня сигналов)	СК
по напряжению (компараторы)	СА
по времени	СВ
прочие	СП
частотные	СС
Триггеры:	
типа JK (универсальные)	ТВ
динамические	ТД
комбинированные (типа DT, RST и др.)	ТК
Шмитта	ТЛ
типа D (с задержкой)	ТМ
прочие	ТП
типа RS (с раздельным запуском)	ТР
типа T (счетные)	ТТ

Подгруппа и вид микросхем	Обозначение
Усилители:	
высокой частоты[1]	УВ
операционные	УД
повторители	УЕ
импульсных сигналов[1]	УИ
широкополосные (в том числе видеоусилители)	УК
считывания и воспроизведения	УЛ
индикации	УМ
низкой частоты[1]	УН
прочие	УП
промежуточной частоты[1]	УР
дифференциальные[1]	УС
постоянного тока[1]	УТ
Фильтры:	
верхних частот	ФВ
полосовые	ФЕ
нижних частот	ФН
прочие	ФП
режекторные	ФР
Многофункциональные схемы:	
аналоговые	ХА
комбинированные	ХК
цифровые	ХЛ
цифровые матрицы[2]	ХМ
аналоговые матрицы	ХН
комбинированные (аналоговые и цифровые) матрицы	ХТ
прочие	ХП
Фоточувствительные схемы с зарядовой связью:	
линейные	ЦЛ
матричные	ЦМ
прочие	ЦП

[1] Усилители напряжения или мощности (в том числе малошумящие).
[2] В том числе программируемые матрицы.

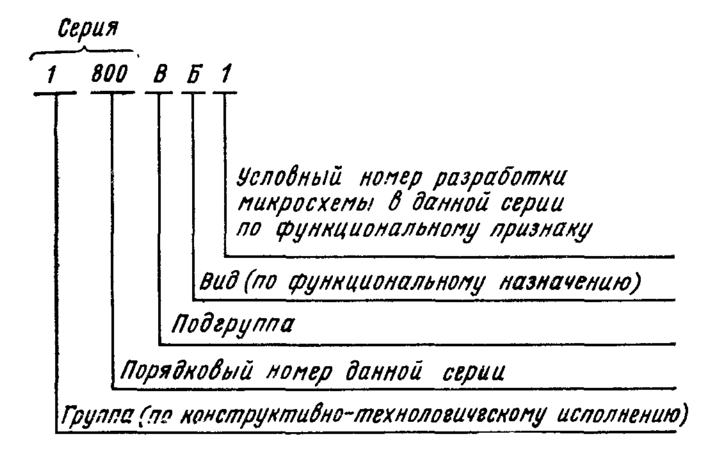
7 — полупроводниковые (обозначение 7 присвоено бескорпусным); 2, 4, 8 — гибридные; 3 — прочие микросхемы.

По характеру выполняемых функций в РЭА микросхемы подразделяются на подгруппы (генераторы, модуляторы, триггеры, усилители и др.) и виды (преобразователи частоты, фазы, длительности, напряжения и др.). Классификация микросхем по функциональному назначению приведена в табл. 1.2. Здесь буквенные обозначения расставлены по алфавиту.

По принятой системе обозначение микросхемы должно состоять из четырех элементов. Первый элемент — цифра, соответствующая конструктивно-технологической группе. Второй элемент — две-три цифры, присвоенные данной серии как порядковый номер разработки. Таким образом, первые два элемента составляют три-четыре цифры, определяющие полный номер серии микросхемы. Третий эле-

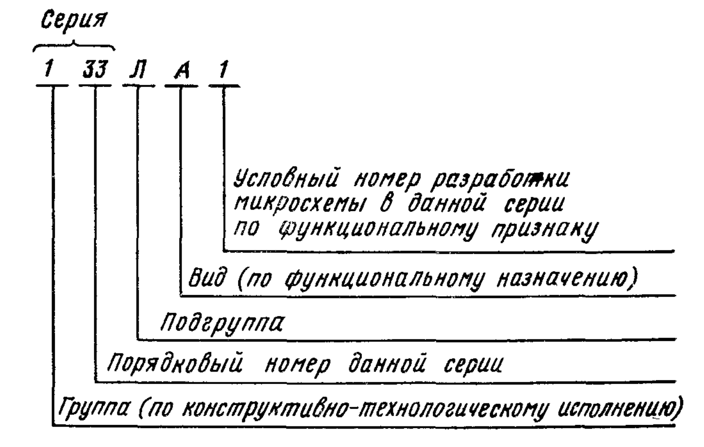
мент — две буквы, соответствующие подгруппе и виду (см. табл. 1.2). Четвертый элемент — порядковый номер разработки микросхемы в данной серии, в которой может быть несколько одинаковых по функциональному признаку микросхем. Он может состоять как из одной цифры, так и из нескольких.

Приведем пример условного обозначения полупроводниковой микросхемы — схемы синхронизации МПК с порядковым номером серии 800 и номером разработки микросхемы в данной серии по функциональному признаку 1



Полное обозначение микросхемы 1800ВБ1.

Пример условного обозначения полупроводниковой микросхемы: ЛЭ И—НЕ с порядковым номером серии 33 и номером разработки микросхемы в данной серии по функциональному признаку 1. Полное обозначение микросхемы 133ЛА1.



В последнее время при четырехзначном номере серии первую цифру порядкового номера серии (или вторую цифру номера серии) устанавливают в зависимости от функционального назначения микросхем, входящих в серию. Так, цифра 0 определяет, что данная серия микросхем предназначена для комплектации бытовой РЭА Цифра 1 присваивается микросхемам аналоговым, цифра 4 — микросхемам ОУ, цифра 5 — сериям цифровых микросхем; цифра 6 — серии микросхем памяти, как оперативной, так и постоянной, цифра 8 — сериям МП.

Иногда в конце условного обозначения добавляется буква, определяющая технологический разброс электрических параметров данного типономинала. Конкретные значения электрических параметров и отличия типономинала друг от друга приводятся в технической документации (например, параметры микросхемы 133ЛА1А отличаются от параметров микросхемы 133ЛА1Б).

Для микросхем, используемых в устройствах широкого применения, в начале обозначения ставится буква К: К133ЛА1. Микросхемы с шагом выводов корпуса 2,54 или 1,27 мм, предназначенные для экспорта, имеют в условном обозначении перед буквой К букву Э (например, ЭК561ЛС2).

Микросхемам, различающимся только конструктивным исполнением, присваивают, как правило, единое цифровое обозначение серии. Для характеристики материала и типа корпуса перед цифровым обозначением серии могут быть добавлены следующие буквы: Р — пластмассовый корпус типа ДИП; А — пластмассовый планарный корпус; М — металлокерамический корпус типа ДИП; Е — металлополимерный корпус типа ДИП; С — стеклокерамический корпус типа ДИП; И — стеклокерамический планарный корпус; Н — керамический «безвыводной» корпус.

В условных обозначениях микросхем, выпускаемых в бескорпусном варианте, перед номером серии добавляют букву Б. Таким образом, бескорпусные аналоги обычной серии 155 обозначаются Б155. Для бескорпусных микросхем в состав условного обозначения через дефис вводится цифра, характеризующая соответствующую модификацию конструктивного исполнения: с гибкими выводами 1, с ленточными (паучковыми) выводами, в том числе на полиимидной пленке 2; с жесткими выводами 3; на общей пластине (неразделенные) 4; разделенные без потери ориентировки (например, наклеенные на пленку) 5; с контактными площадками без выводов (кристалл) 6 (например, Б533ЛА1-1, Б533ЛА1-2). Самая большая по составу серия К155. Она содержит более 100 типономиналов.

1.5. Типовые корпуса микросхем

Корпус интегральной микросхемы предназначен для защиты ее от внешних воздействий и обеспечения нормальной работы в течение всего срока службы микросхемы. Для выполнения своего функционального назначения корпус и его конструкция должны отвечать определенным требованиям: обеспечивать необходимую электрическую связь между элементами схемы и выводами; гарантировать электрическую изоляцию между выводами; выполняться из материалов по возможности наиболее инертных по отношению к химическим агрессивным составляющим окружающей среды (кислороду, влаге, со-

лям); в некоторых случаях должны учитываться возможные электрохимические процессы, такие как коррозия в присутствии электролитов; иметь удобную для печатного монтажа конструкцию по габаритам и расположению выводов.

Немаловажно, что назначение корпуса — защищать кристалл микросхемы от влияния света (и по возможности другого внешнего излучения), а также поглощать собственное излучение элементов схемы и служить экраном от внешних магнитных полей (или создавать путь для замыкания магнитного потока)

Конструкция корпуса должна обеспечивать теплоизоляцию кристалла микросхемы, имея достаточную прочность, предохраняющую элементы микросхемы от различных повреждений во время монтажа и эксплуатации, быть технологичной в изготовлении и применении.

Наибольшее распространение получили четыре вида конструктивно-технологического исполнения корпусов микросхем. Металлостеклянный корпус имеет металлическую крышку и стеклянное (или металлическое) основание с изоляцией и креплением выводов стеклом, крышка присоединяется к основанию сваркой или пайкой Металлокерамический корпус располагает металлической крышкой и керамическим основанием, крышка соединяется с основанием свар-

Таблица 1.3

Корпус		Расположение выводов (выводных площадок) относительно плоскости основания
Тип	Подтип	
1	11	Перпендикулярное, в один ряд
	12	Перпендикулярное, в два ряда
	13	Перпендикулярное, в три ряда и более
	14	Перпендикулярное, по контуру прямоугольника
2	21	Перпендикулярное, в два ряда
	22	Перпендикулярное, в четыре ряда в шахматном порядке
3	31	Перпендикулярное, по одной окружности
	32	Перпендикулярное, по одной окружности
4	41	Параллельное, по двум противоположным сторонам
	42	Параллельное, по четырем сторонам
5	51	Перпендикулярное, для боковых выводных площадок; в плоскости основания для нижних выводных площадок

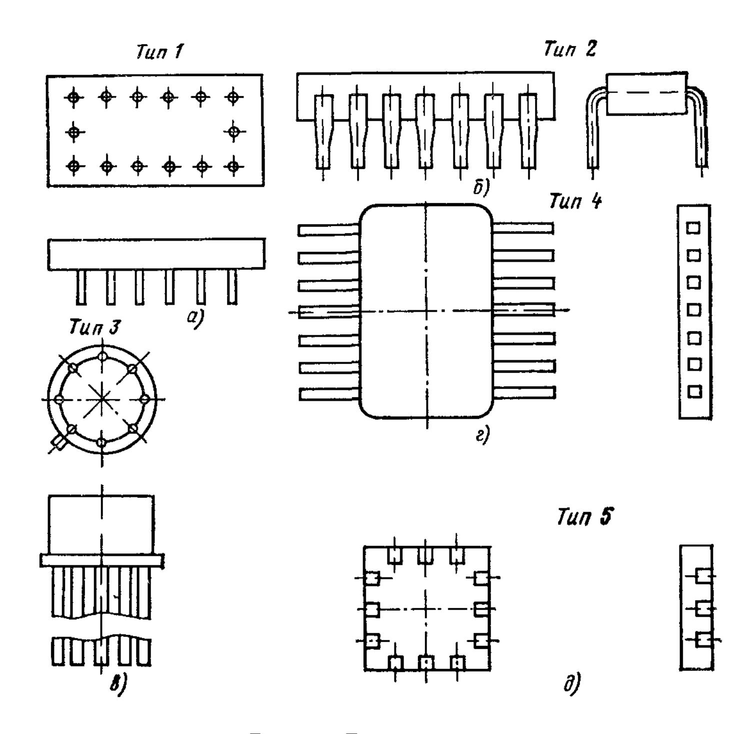


Рис 1 1 Типы корпусов

кой или пайкой. Стеклокерамический корпус снабжен керамическими крышкой и основанием, крышка соединяется с основанием стеклом. Пластмассовый корпус (наиболее дешевый) характерен пластмассовым телом, полученным опрессовкой кристалла и рамки выводов

С увеличением функциональной сложности микросхем увеличивается сложность их многовыводных корпусов Иногда стоимость корпуса превышает стоимость изготовления полупроводникового кристалла (или подложки с пленочными элементами)

Большую роль в повышении надежности микросхем и микроэлектронной аппаратуры играет стандартизация конструкций корпусов В настоящее время в СССР действует ГОСТ 17467—79 «Микросхемы интегральные Основные размеры», устанавливающии требования к формам и размерам корпусов и микросхем.

В соответствии с этим стандартом корпуса могут быть пяти типов (табл 1 3) На рис 1 1, *а* схематично показана конструкция прямоугольного корпуса с выводами, перпендикулярными плоскости основания и расположенными в пределах проекции тела корпуса на плоскость основания (корпус первого типа).

Корпус второго типа (типа ДИП) с прямоугольными выводами, перпендикулярными плоскости основания корпуса и выходящими за пределы проекции тела корпуса на плоскость основания, изобра-

Таблица 14

Условное обозначение корпуса по ГОСТ 17467—79	Габаритные размеры корпуса, мм (номинальное значение)	Размеры монтажной площадки, мм	Расстояние между рядами выводов, мм	Метод герметизации	Наличие металлизации	
					на монтажной площадке	на плоскости основания
			Металлостеклянные			
1203 15-1	19,5×14 5×5,0	14×6,2	10	Сварка	—	—
1203.15-2	19,5×14,5×4,0	14×6,2	10	»	—	—
1203 15-3	19,5×14 5×3,2	14×6 2	10	»	—	—
153 15-2	22×19,5×5	15,7×16,8	17,5	»	—	—
155 15-2	29,5×19,5×5	16,8×23,2	25	»	—	—
157 29-1	39×29×5	34×20	28,5	»	—	—
301 8-2	⌀9,5 4,6×13,5	⌀3,0	—	»	+	—
302 8-1	⌀9,5 6,5×13,5	⌀3,0	—	»	+	—
301 14-3*	39×25×7,5	⌀8	—	»	+	—
401 12-1	10×6,5×2,3	4,9×2	—	Пайка	—	—
401 14 4*	10×6,5×2,3	4,9×2	—	»	+	+
401 14-5	10×6,7×1,97	4,9×2	—	Сварка	+	+
			Металлокерамические			
201 8-1	19,2×7 3×5,0	5×3	7,5	Сварка	+	+
201 14-10	19,2×7 3×5 0	5×3	7,5	»	+	—
201А 16 1	19×9,7×4,63	6×5	10	»	+	—
201 16 8	19,0×7,3×5,0	5×3	7,5	»	+	—
201 16 13	19×7,2×5 15	4,4×2,2	7,5	»	+	—
201 16 17	19 2×7 3×5,0	7×3,5	7,5	«	+	—
238 18 1	21,85×7,3×5,0	5,5×3,7	7,5	»	+	—
2104 18 1	21,92×7,3×5 0	7×3,5	7,5	»	+	—
2104 18-2	21,92×7,3×5,0	7×3,5	7,5	»	—	—
2140 20-4	24,1×7 3×5,0	5,6×3 8	7,5	»	+	—
210А 22-1	27,9×9,8×5,0	5×4	10,0	»	+	—
2108 22-1	27,5×9,8×4,7	8×5	10,0	»	+	—
210Б 24-1	29 5×14,7×4,63	7 5×7 5	15,0	»	+	—
2120 24 1	29 1×14,7×4 55	4,5×4,5	15,0	»	+	—
2121 28-2	35×14 76×4 4	5×5	15,0	»	+	—
2121 28-3	35×14,76×4,4	5×5	15	»	—	—
2121 28 6	[illegible]6,0×14 7×6,0	7,5×7,5	15	»	+	—
212 32-1	39 5×12 14×5 0	6×5	12,5	»	+	—
212 32-4	39,5×12 14×5 0	6×5	12,5	»	—	—
2123 40-6	49,7×14,7×4,6	7,5×7,5	15	»	+	—
2126 48-1	59,1×14 7×4 6	7,5×7,5	15	»	+	—
2207 48-1	30,1×12,8×3,2	7,0×5 5	15	»	+	—
244 48 11	30,78×16 26×3	⌀8	20	»	+	—
2136 64-1	80×19,7×7,2	7,5×7,5	25 22 5	»	+	+
4112 16-1	12×9,4×2,6	5,5×4,5	—	»	—	—
4112 16-2	12×9,4×2 6	5,5×4,5	—	»	+	—
4112 16-3	12×9,4×2,6	5,5×4 5	—	»	+	+
4112 16 13 01	12×9,5×2,95	3×3	—	»	+	+
4112 16 15 01	12×9,5×3,12	3×3	—	»	+	+
402 16-21	11,5×9 3×2,5	5,1×3 1	—	»	+	—
402 16-23	11,5×9,3×2,5	5,1×3 1	—	»	—	—
402 16-25	11,5×9,3×2,5	5,1×3,1	—	»	+	+
402 16-32	11,5×9,3×2,5	4×3 2	—	»	+	—
402 16-33	11,5×9,3×2 5	4×3 2	—	»	—	—
427 18 1	12,5×12×3,21	7,2×6,2	—	»	+	—
427 18 2	12,5×12×3,21	7,2×6,2	—	»	—	—
4153 20-1 01	13×12×2,99	7×5	—	»	+	—
4153 20-1 02	13×12×2,99	7×5	—	»	—	—
4153 20-2 01	13×12×3,03	6×4,6	—	»	+	+
4153 20-2 02	13×12×3,03	6×4 6	—	»	—	—

Условное обозначение корпуса по ГОСТ 17467—79	Габаритные размеры корпуса, мм (номинальное значение)	Размеры монтажной площадки, мм	Расстояние между рядами выводов, мм	Метод герметизации	Наличие металлизации	
					на монтажной площадке	на плоскости основания
4153 20-3 01	13×12×3,21	7,9×5,2	—	Сварка	+	—
4117 22-1	15×12×3,21	7,2×6,2	—	»	+	—
4117 22-2	15×12×3,21	7,2×6,2	—	»	—	—
4117 22-4 01	14,5×12×3,21	5×4	—	»	+	+
4117 22-4 02	14,5×12×3,21	5×4	—	»	—	+
4118 24-1	15,4×12×3,2	5×5	—	»	+	—
4118 24-2	15,4×12×3,2	5×5	—	»	—	—
4118 24-3	15,4×12×3,2	5×5	—	»	+	—
4131 24-1	15,75×19,5×2,97	10,7×8,3	—	»	+	—
4131 24-2	15,75×19,5×2,97	10,7×8,3	—	»	+	—
4131 24-3	15,75×18,0×3,20	7,5×7,5	—	»	+	+
4119 28-1	18,25×12,75×3,03	5×5	—	»	+	+
4119 28-2	18,25×12,75×3,03	5×5	—	»	—	—
4119 28-3 01	18,25×12,75×3,26	6,8×6,8	—	»	+	+
4119 28-3 02	18,25×12,75×3,26	6,8×6,8	—	»	—	+
4119 28-6	18,3×12,7×3,46	10×7,5	—	»	+	—
4119 28-8	18,3×12,7×3,46	10×7,5	—	»	—	—
4122 40-1	25,75×12,75×3,03	6×5	—	»	+	—
4122 40-2	25,75×12,75×3,03	6×5	—	»	—	—
4122 40-3 01	25,75×12,75×3,25	6,8×6,8	—	»	+	—
4122 40-3 02	25,75×12,75×3,25	6,8×6,8	—	»	—	—
429 42-1	26,62×16,74×3,13	6,2×6,2	—	»	+	—
429 42-3	26,62×16,74×3,13	6,2×6,2	—	»	—	—
429 42-5	26,62×16,74×3,17	7,2×7	—	»	+	—
429 42-6	26,62×16,74×3,17	7,2×7	—	»	—	—
4138 42-1	26,5×19,5×2,97	10,7×8,3	—	»	+	—
4138 42-2	26,5×19,5×2,97	10,7×8,3	—	»	—	—
4138 42-3	26,62×16,74×3,13	6,2×6,2	—	»	+	—
4138 42-4	26,62×16,74×3,13	6,2×6,2	—	»	—	—
4138 42-5	26,5×19,5×3,1	11×10	—	»	+	+
4138 42-1[illegible]	26,5×19,5×3,1	11×11	—	»	—	—
4123 48-1.01	30,1×12,6×3,2	7,5×7,5	—	»	+	—
4134 48-2	30,1×16,2×3,2	7,5×7	—	»	+	—
4135 54-1	36,2×15,6×3,3	7×7	—	»	+	+
4135 54-2	36,2×15,6×3,3	7×7	—	»	+	—
4135 64-1	40,2×19,7×3,2	7,5×7,5	—	»	+	—
4135 64-2	40,2×19,7×3,2	7,5×7,5	—	»	—	—
4139 64-1	41,6×23×2,31	12,5×7,5	—	»	+	+
Н02 8-1В	6,5×6,5×2,9	2,5×2,3	—	»	—	—
Н02 8-2В	6,5×6,5×2,9	2,5×2,3	—	»	+	—
Н02 14-1В	6,5×6,5×2,9	2,5×2,3	—	»	—	—
Н02 14-2В	6,5×6,5×2,9	2,5×2,3	—	»	[illegible]	—
Н02 14-3В	6,5×6,5×2,9	0,7×[illegible],7*	—	»	[illegible]	—
Н02 16-1В	6,5×6,5×2,9	2,5×2,3	—	»		—
Н02 16-2В	6,5×6,5×2,9	2,5×2,3	—	»	+	—
Н04 16-1В	7,8×7,4×2,9	3,9×3,7	—	»	—	—
Н04 16-2В	7,8×7,4×2,9	3,9×3,7	—	»	+	—
Н04 16-3В	7,8×7,4×2,9	1,2×1,2	—	»	+	—
Н06.24-1В	9,2×7,6×2,9	5,3×3,7	—	»	—	—
Н06 24-2В	9,2×7,6×2,9	5,3×3,7	—	»	+	—
Н08 24-1В	12,0×12,0×2,9	6,7×6,7	—	»	—	—
Н08 24-2В	12,0×12,0×2,9	6,7×6,7	—	»	+	—
Н09 18-1В	9,4×9,4×2,9	5,3×5,3	—	»	—	—
Н09 18-2В	9,4×9,4×2,9	5,3×5,3	—	»	+	—
Н09.28-1В	9,4×9,4×2,9	5,3×5,3	—	»	—	—
Н14 42-1В	12,5×12,5×2,9	6,7×6,7	—	»	—	—
Н14 42-2В	12,5×12,5×2,9	6,7×6,7	—	»	+	—
Н15 42-2В	12,5×12,5×2,9	6,7×6,7	—	»	—	—
Н15 42-3В	12,5×12,5×2,9	6,7×6,7	—	»	+	—

Условное обозначение корпуса по ГОСТ 17467—79	Габаритные размеры корпуса мм (номинальное значение)	Размеры монтажной площадки мм	Расстояние между рядами выводов, мм	Метод герметизации	Наличие металлизации	
					на монтажной площадке	на плоскости основания
Н16 48 1В	14,2×14,2×2,9	8,5×8,5	—	Сварка	—	—
Н16 48 2В	14,2×14,2×2,9	8,5×8,5	—	»	+	—
Н18 64 1В	18,3×18,3×2,9	8,5×8,5	—	»	—	—
Н18 64 2В	18,3×18,3×2,9	8,5×8,5	—	»	+	—
Н23 16-1В	12,3×8,3×2,9	8,0×3,8	—	»	+	—
Стеклокерамические						
2102 14-2	19,5×6,7×5,6	3,0×2,0	7,5	Пайка стеклом	—	—
2102 14 3	19,5×6,7×5,6	3,0×2,0	7,5	»	+	—
201 14-8	19,5×6,5×5,5	3,5×2,5	7,5	»	—	—
201 14-9	19,5×6,5×5,5	3,5×2,5	7,5	»	+	—
2103 16 3	19,5×6,7×5,5	3,0×2,0	7,5	»	—	—
2103 16-4	19,5×6,7×5,5	3,0×2,0	7,5	»	+	—
2103 16 14	19,5×6,7×5,88	7,5×3,1	7,5	»	+	—
201 16 5	19,5×6,5×5,5	3,5×2,5	7,5	»	—	—
201 16 6	19,5×6,5×5,5	3,5×2,5	7,5	»	+	—
2104 18 8	21,9×5,88	8,2×3,8	7,5	»	+	—
2107 18 5 01	21,9×5,3	3,8×2,8	—	»	—	—
2107 18 5.02	21,9×5,3	3,8×2,8	—	»	+	—
239 24 4	30,7×5,5	6,0×5,0	15,0	»	+	—
2120 24 12 02	31×6,25	7,5×6,5	15,0	»	+	—
2120 24-14	30,7×5,8	5,9×4,5	15,0	»	+	—
2120 24-21	30,6×6,0	7,5×6,5	15,0	»	+	—
2121 28-14	36,5×5,8	5,9×4,9	15,0	»	+	—
2121 28 15	36,5×6,25	7,5×6,5	15,0	»	+	—
2207 48 3	30,7×5,5	7,5×3,1	15,0	»	+	—
4105 14 1	9,8×6,5×2,2	2,9×1,9	—	»	—	—
4105 14-2	9,8×6,5×2,2	3,2×2,2	—	»	+	—
4106 16-2	9,8×6,5×2,2	2,9×1,9	—	»	—	—
4106 16-3	9,8×6,5×2,2	2,9×1,9	—	»	+	—
4106 16-4	9,8×9,8×2,5	4,1×4,1	—	»	+	—
4108 16-1	9,8×6,5×2,5	3,2×2,2	—	»	—	—
4108 16-2	9,8×6,5×2,5	3,2×2,2	—	»	+	—
4112 16-17	9,8×9,8×2,5	4,1×4,1	—	»	+	—
4112 16 39	9,8×9,8×2,5	4,8×4,8	—	»	—	—
4112 16 19 01	9,8×9,8×2,5	4,8×4,8	—	»	+	—
4116 18-2	9,8×9,8×2,5	4,1×4,1	—	»	—	—
4116 18 3	9,8×9,8×2,5	4,1×4,1	—	»	+	—
4116 18 6	9,8×9,8×2,5	4,7×4,7	—	»	—	—
4116 18-6.01	9,8×9,8×2,5	4,7×4,7	—	»	+	+
4116 18-7	9,8×9,8×3,0	5,0×5,0	—	»	+	—
4153 20-4	12,5×12,0×3,0	6,6×6,6	—	»	+	-
4114 24-1	14,8×9,8×3,0	4,1×4,1	—	»	+	—
4114 24-2	15×9,8×3,0	4,1×4,1	—	»	—	—
4114 24-3	15×9,8×3,0	4,1×4,1	—	»	+	—
4204.24-2	9,8×9,8×2,5	5,2×5,2	—	»	—	—
4204 24-2 01	9,8×9,8×2,5	5,2×5,2	—	»	+	—

* К применению в новых разработках не разрешены

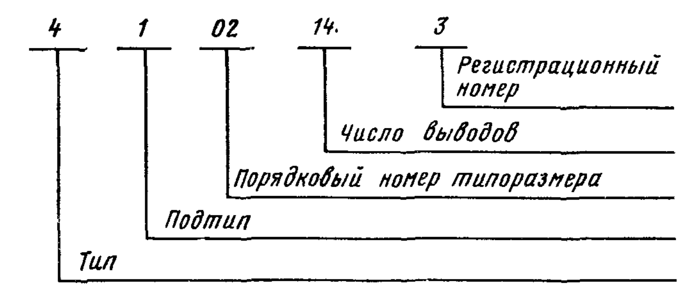
** В данном корпусе размещены четыре монтажные площадки 0,7×0,7

жен на рис. 1.1, *б*, а круглый корпус с выводами, перпендикулярными основанию корпуса и расположенными в пределах проекции тела корпуса на плоскость основания (корпус третьего типа), — на рис. 1.1, *в*. Прямоугольный корпус с выводами, расположенными параллельно плоскости основания и выходящими за пределы проекции его тела на плоскость основания (корпус четвертого типа), приведен на рис. 1.1, *г*.

Корпуса пятого типа — прямоугольные плоские «безвыводные» (за рубежом подобные корпуса называют «кристаллоносителями). Электрическое соединение микросхемы, размещенной в таком корпусе, осуществляется с помощью металлизированных контактных площадок по периметру корпуса (рис. 1.1, *д*).

Государственным стандартом 17467—79 каждому типоразмеру микросхем в соответствующих корпусах установлены конкретные минимальные и максимальные размеры и нормы. Систему условных обозначений корпусов, состоящую из четырех элементов, определяет ГОСТ 17467—79. Первый элемент — это две цифры, первая из которых определяет тип корпуса и его подтип (расположение выводов относительно плоскости основания, см. табл. 1.3). Второй элемент — две цифры, обозначающие порядковый номер типоразмера. Третий элемент — цифровой индекс, определяющий действительное число выводов корпуса. Четвертый элемент — порядковый регистрационный номер.

Приведем пример условного обозначения корпуса четвертого типа с 14 выводами, расположенными по двум противоположным сторонам корпуса второго типоразмера с регистрационным номером 3.



Характеристики металлостеклянных, металлокерамических и стеклокерамических корпусов для микросхем приведены в табл. 1.4.

Глава 2.

Цифровые интегральные микросхемы

2.1. Назначение и применение

Цифровые микросхемы представляют собой электронные устройства, позволяющие строить практически все узлы и блоки ЭВМ, в которых обрабатываемая информация представлена в виде дво-

ичных чисел. Переменные величины и функции от них, которые могут принимать только два значения 0 и 1, называются соответственно логическими переменными и логическими функциями. Свойства логических функций изучает алгебра логика, а устройства, реализующие логические функции, называются логическими или цифровыми. В основе цифровых микросхем, выпускаемых многомиллионными сериями, находятся простейшие комбинационные цифровые элементы. потенциальные, импульсные, импульсно-потенциальные. Наиболее широкое распространение получили потенциальные логические элементы (ЛЭ). Для них характерно наличие связи по постоянному току между входами и выходами схем Схемотехническая реализация потенциальных цифровых микросхем осуществляется на основе ряда типовых базовых ЛЭ.

Рассмотрим логические функции, реализуемые с помощью ЛЭ, включенных в состав серий цифровых микросхем и получивших наиболее широкое применение для построения узлов ЭВМ и устройств дискретной автоматики [1].

2.2. Логические функции, реализуемые с помощью цифровых микросхем

Простейшей логической функцией является функция НЕ (логическое отрицание или инверсия), которая записывается как $Y(X) = \bar{X}$. В электронных схемах отрицание реализуется с помощью ключевого элемента НЕ, построенного на усилительном приборе. Сигналы на выходе ключа инвертируются в зависимости от значений входных сигналов. По виду реализуемой логической функции базовые ЛЭ могут быть разделены на простейшие элементы одноступенчатой (И, ИЛИ, НЕ, И—НЕ, ИЛИ—НЕ) и двухступенчатой (И—ИЛИ, И—ИЛИ—НЕ) логики. Следует отметить, что все потенциальные цифровые элементы могут работать в двух логических режимах. Если за «1» принят высокий уровень сигнала, имеет место «положительная логика» работы элемента ИЛИ—НЕ. Если за «1» принят низкий уровень сигнала, получаем «отрицательную логику» работы элемента И—НЕ [1]. Как правило, паспортное обозначение ЛЭ соответствует функции, реализуемой для «положительной логики». Существуют цифровые ключи с тремя выходными состояниями (тристабильные). Выходной каскад такой схемы переводится в третье состояние «Разомкнуто», если по специальному входу управления подана команда [2].

На основе цифровых элементов одно- и двухступенчатой логики могут быть построены сложные функциональные узлы: комбинаторные схемы (например, сумматоры, мультиплексоры) и схемы с памятью (триггеры, счетчики, регистры). Все современные серии цифровых микросхем, как правило, включают различные типы триггеров, представляющих устройство с двумя устойчивыми состояниями, содержащее запоминающий бистабильный элемент (собственно триггер) и схему управления [3]. Наиболее широкое распространение получили триггеры типов R S, D и JK [1].

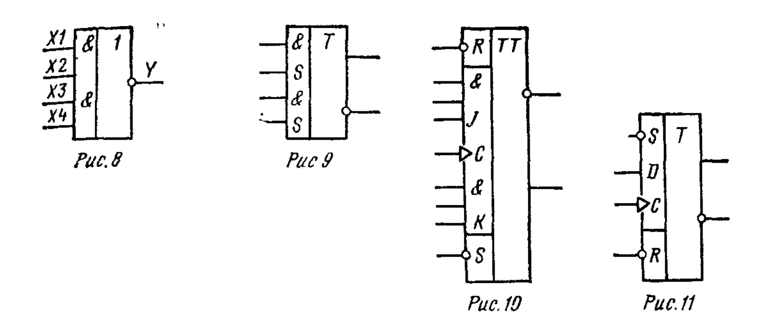
Триггер RS-типа имеет два информационных входа R и S. При $S=1$ (единичный вход) и $R=0$ (нулевой вход) на выходах триггера появляются сигналы: на прямом выходе $Q=1$, на инверсном $\bar{Q}=0$. При $S=0$ и $R=1$ выходные сигналы триггера принимают противопо-

Таблица 21

Элемент (схема)	Выполняемая функция	Номер рисунка
НЕ (инвертор)	$Y=\overline{X}$	1
И (конъюнктор)	$Y=X1X2$	2
И—НЕ (штрих Шеффера)	$Y=\overline{X1X2}$	3
ИЛИ (дизъюнктор)	$Y=X1+X2$	4
ИЛИ—НЕ (стрелка Пирса)	$Y=\overline{X1+X2}$	5
И—ИЛИ (схема на основе элементов И—НЕ)	$Y=X1X2+X3X4$	6
И—ИЛИ—НЕ (схема на основе элементов И—НЕ)	$Y=\overline{X1X2+X3X4}$	7
И—ИЛИ—НЕ	$Y=\overline{X1X2+X3X4}$	8
Асинхронный триггер (входы в группах R и S связаны по логике И)	—	9
JK-триггер, построенный по принципу двухступенчатого запоминания информации (входы в J- и K-группах связаны по логике И)	—	10
D-триггер с управляющим входом и входами R (установка «0») и S (установка «1»)	—	11

Рис. 1 Рис. 2 Рис. 3 Рис. 4 Рис. 5

Рис. 6 Рис. 7



ложные состояния (Q=0, $\bar{Q}$=1). Этот триггер не имеет тактового входа. При одновременном поступлении сигнала «1» на входы R и S выходные сигналы триггера не определены, поэтому в устройствах на основе RS-триггера необходимо исключать режим, при котором оба сигнала R и S равны единице. Триггер RS используется как устройство памяти в других типах триггеров.

Среди триггеров D-типа наибольшее распространение получили тактируемые триггеры, которые имеют информационный вход D и вход синхронизации C (тактовый). Различают два вида D-триггеров: триггер-защелку и триггер, синхронизируемый фронтом. В первом информация блокируется при высоком уровне сигнала даже в том случае, если сигнал на информационном входе D изменяется. После перехода сигнала с высокого уровня на низкий выходное состояние триггера повторяет уровень информационного сигнала D. В D-триггере второго вида информация фиксируется в тот момент, когда тактовый сигнал меняет низкий уровень на высокий [2].

Триггер JK-типа имеет два информационных входа J и K и тактовый вход синхронизации. В отличие от триггера RS-типа, при условии J=1, K=1, он осуществляет инверсию предыдущего состояния (т. е. переключается в новое состояние при одновременном поступлении J=1, K=1).

Кроме функциональной классификации триггеры могут различаться по способу записи информации [1]. Они могут быть асинхронные, когда запись информации осуществляется непосредственно с поступлением информационного сигнала, и тактируемые, когда запись информации производится только при подаче разрешающего тактирующего импульса (поступающего на специальный тактовый вход). Срабатывание триггера может происходить одновременно с поступлением тактирующего сигнала или после окончания его действия.

Условные обозначения (функциональные схемы) ЛЭ и триггеров, входящих в состав серий, получивших наиболее широкое распространение, и примеры реализации с помощью ЛЭ различных функций приведены в табл. 2.1.

2.3. Классификация и основные электрические параметры цифровых микросхем

Развитие микроэлектроники способствовало появлению малогабаритных, высоконадежных и экономичных вычислительных устройств на основе цифровых микросхем. Требование увеличения быстродействия и уменьшения мощности потребления вычислительных средств привело к созданию серий цифровых микросхем. Серия представляет собой комплект микросхем, имеющих единое конструктивно-технологическое исполнение. За 30 лет развития цифровых микросхем базовые электронные ключи развивались в следующей последовательности: резистивно-транзисторная логика (РТЛ), резистивно-емкостная транзисторная логика (РЕТЛ), диодно-транзисторная логика (ДТЛ), транзисторно-транзисторная логика (ТТЛ), эмиттерно-связанная логика (ЭСЛ), транзисторно-транзисторная логика с диодами Шотки (ТТЛШ), интегральная инжекционная логика ($И^2Л$). В этих обозначениях словом «логика» заменяется понятие «электронный ключ».

Наряду с биполярными схемами широкое распространение получили цифровые микросхемы на МОП-структурах (на транзисторах p- и n-типов с обогащенным каналом. КМОП-схемы на дополняющих транзисторах). Серии РТЛ, РЕТЛ и ДТЛ хотя и продолжают выпускаться промышленностью, но используются только для комплектации серийной РЭА и не применяются в новых разработках. Наиболее широкое распространение в современной аппаратуре получили серии микросхем ТТЛ, ТТЛШ, ЭСЛ и схемы на МОП-структурах. Опыт показал, что эти цифровые микросхемы отличаются лучшими электрическими параметрами, удобны в применении, имеют более высокий уровень интеграции и обладают большим функциональным разнообразием. Так, в состав серии К155 входит 103 микросхемы, различные по функциональному назначению, числу входов и нагру-

Таблица 2.2

Серия	Число микросхем в серии[1]	Назначение
133	78	Построение узлов ЭВМ и устройств дискретной автоматики среднего быстродействия (до 500 тыс. оп./с)
КМ133	20	
М133	6	
Н133	22	
155	89	
К155	103	
КМ155	91	
559	6	
КР559	12	
КМ559	7	
М559	10	
Н559	4	

Серия	Число микросхем в серии[1]	Назначение
134	44	Построение узлов ЭВМ и устройств дискретной автоматики с малым потреблением мощности (до 250 тыс. оп./с)
КР134	13	
1530	3	Построение быстродействующих узлов ЭВМ и устройств дискретной автоматики (до 10^6 оп./с)
КР1530	1	
Н530	27	Построение узлов ЭВМ и устройств дискретной автоматики с высоким быстродействием и малой потребляемой мощностью (до 10^6 оп./с)
530	58	
КР531	66	
К555	98	
КМ555	53	
КР556	15	
К556	6	
556	7	
Н556	4	
М556	5	
Р556	4	
533	102	
М533	45	
Н533	50	
КА533	7	
КР1531	11	
КР1533	4	
1533	56	
К1533	4	
КР541	4	
100	50	Построение вычислительных комплексов высокого быстродействия (до 10^7 оп./с)
500	51	
К500	60	
К1500	36	
1500	33	
193	8	
Н193	3	

Серия	Число микросхем в серии[1]	Назначение
К176	30	Построение малогабаритных устройств цифровой автоматики и вычислительной техники с малым потреблением мощности
К561	43	
564	60	
Н564	40	
537	19	
КР537	17	
КР188	2	
КР1561	25	
1564	30	

[1] Данные на 1987 г.

зочной способности. Перспективные серии цифровых микросхем, предназначенные для применения в аппаратуре промышленного и бытового назначения, перечислены в табл. 2.2. Можно выделить три этапа развития микросхем, входящих в состав стандартных серий для создания цифровых устройств различного назначения.

I этап (1969—1975 гг.) В состав стандартных серий входили микросхемы малой степени интеграции, выполнявшие простейшие логические функции, например серия К155.

II этап (1976—1980 гг.). Появились серии с улучшенными характеристиками, такие как 531, 555, 500, К561, К1561 и другие, что привело к ограниченному применению серий 131, 158, 137, 187.

III этап (1981—1987 гг.). Разработка микросхем большой степени интеграции, микропроцессорных комплектов (см. гл. 3), ЗУ, полузаказных БИС на основе матричных кристаллов (см. гл. 4).

Основные электрические параметры базовых ЛЭ определяют характеристики практически всех микросхем, входящих в состав конкретной серии, и определяют возможность совместной работы микросхем разных серий в составе аппаратуры. К таким параметрам относятся быстродействие, потребляемая мощность ($P_{пот}$); помехоустойчивость $U_{пом}$; коэффициент разветвления по выходу (нагрузочная способность) $K_{раз}$; коэффициент объединения по входу $K_{об}$ Быстродействие определяется динамическими параметрами цифровых микросхем, к которым относятся: $t^{1,0}$ — время перехода из «1» (высокий уровень) в «0» (низкий уровень); $t^{0,1}$ — время перехода из состояния низкого уровня в состояние высокого уровня; $t^{1,0}_{здр}$ — время задержки распространения при включении; $t^{1,0}_{зд}$ — время задержки включения; $t^{0,1}_{зд}$ — время задержки выключения; $t^{0,1}_{здр}$ — время задержки распространения при выключении; $t_{здрср}$ — среднее время за-

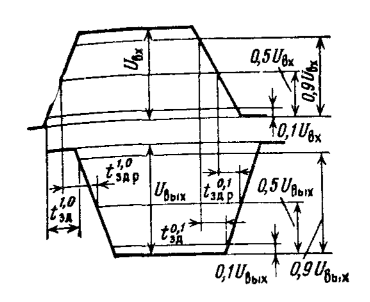


Рис. 2.1. Уровни отсчета, относительно которых определяются динамические параметры

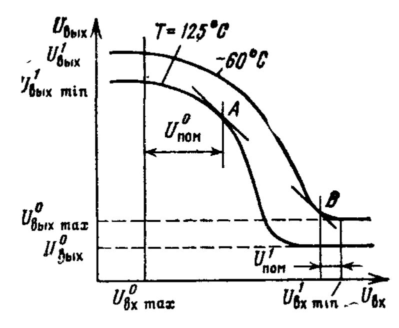


Рис. 2.2. Передаточные характеристики элемента НЕ, предельные для семейства передаточных характеристик, полученных при различных температурах

держки распространения сигнала; $\tau_и$ — длительность импульса; $f_р$ — рабочая частота. Среднее время задержки распространения $t_{здр\,ср} = 0{,}5\left(t^{1,0}_{здр}+t^{0,1}_{здр}\right)$ является усредненным параметром быстродействия, используемым при расчете временных характеристик последовательно включенных цифровых микросхем. В справочных данных наиболее часто приводятся следующие динамические параметры цифровых микросхем: $t^{1,0}_{зд}$, $t^{0,1}_{зд}$ и $t^{1,0}_{здр}$, $t^{0,1}_{здр}$. На рис. 2.1 показаны уровни отсчета, относительно которых определяются указанные динамические параметры.

Потенциальные ЛЭ при работе в составе цифрового устройства могут находиться либо в статическом режиме (в состоянии «0» или «1»), либо в динамическом (переходной процесс). В зависимости от вида технологии, по которой выполнены ЛЭ, мощность, потребляемая от источника питания, различна для каждого состояния. Одни элементы потребляют большую мощность в статическом режиме, которая лишь незначительно увеличивается в момент переключения, другие, наоборот, характеризуются значительным возрастанием потребляемого тока во время переключения. Средняя потребляемая мощность логических элементов в динамическом режиме

$$P_{пот\,ср} = 0{,}5\left(P^0_{пот} + P^1_{пот}\right),$$

где $P^0_{пот}$ — мощность, потребляемая микросхемой при выходном состоянии «0», $P^1_{пот}$ — мощность при выходном состоянии «1».

Логические элементы с возрастающим потреблением в динамическом режиме кроме статической средней мощности характеризуются мощностью, потребляемой на максимальной частоте переключения, когда во много раз возрастают токи в цепях питания. Примером таких схем являются микросхемы КМОП, которые потребляют микроамперные токи питания, если нет переключающих сигналов. Допустимый предел статической помехоустойчивости ЛЭ ограничивает

уровень входного напряжения, которое еще не вызывает ложного срабатывания.

В статическом режиме различают статическую помехоустойчивость по низкому $U^0_{пом}$ и высокому $U^I_{пом}$ уровням. Значения $U^0_{пом}$ и $U^1_{пом}$ определяют с помощью передаточных характеристик на рис. 2.2. Как видно из рисунка, параметр $U^I_{пом}$ определяется как разность минимального напряжения высокого уровня $U^1_{вх min}$ и напряжения в точке перегиба верхней кривой (точка В). Параметр $U^I_{пом}$ определяется как разность напряжения в точке перегиба нижней кривой (точка А) и максимального напряжения низкого уровня $U^0_{вх max}$.

Для более полной оценки помехоустойчивости схемы наряду со статической необходимо учитывать динамическую помехоустойчивость. Помехоустойчивость в динамическом режиме зависит от длительности, амплитуды и формы сигнала помехи, а также от запаса статической помехоустойчивости и скорости переключения ЛЭ.

Коэффициент разветвления по выходу (нагрузочная способность) $K_{раз}$ определяет число входов аналогичных элементов, которое может быть без нарушения работоспособности подключено к выходу предыдущего ЛЭ. С увеличением нагрузочной способности расширяются возможности применения цифровых микросхем и уменьшается число корпусов в разрабатываемом цифровом устройстве. Однако при этом ухудшаются некоторые параметры цифровых ИС: снижаются быстродействие и помехоустойчивость и возрастает потребляемая мощность

В состав ряда серий цифровых микросхем наряду с основными, имеющими нагрузочную способность $K_{раз}=4...10$, включаются мощные буферные элементы с $K_{раз}=20...30$. Это позволяет при проектировании цифровых устройств уменьшить число используемых корпусов микросхем и потребляемую мощность. Необходимо отметить, что нагрузочные входы микросхем РТЛ и РЕТЛ потребляют ток с выхода нагружаемого элемента, а микросхемы ДТЛ и ТТЛ в одном логическом состоянии («0» или «1») отдают ток в нагрузку, а в другом потребляют его от нагрузки. Для МОП-микросхем нагрузка имеет емкостный характер.

Коэффициент объединения по входу $K_{об}$ определяет максимальное число входов цифровых микросхем. Различают коэффициенты объединения по входу И($K_{обИ}$) и по входу ИЛИ ($K_{обИЛИ}$). Основные ЛЭ выполняются с небольшим числом входов ($K_{обИ}=2..4$; $K_{обИЛИ}=2..4$). Для увеличения числа входов в отдельных ЛЭ, входящих в серию, предусматривают специальные входы для организации схемы расширения (точнее, наращивания числа входов), обеспечивающей увеличение числа входов до 10 и более. При этом в серию цифровых микросхем вводится схема расширителя. В ряде серий имеются ЛЭ с числом входов, равным восьми, допускающие дальнейшее увеличение числа входов.

2.4. Схемы транзисторно-транзисторной логики

Транзисторно-транзисторные логические схемы появились как результат развития схем ДТЛ в результате замены матрицы диодов многоэмиттерным транзистором (МЭТ). Этот транзистор представля-

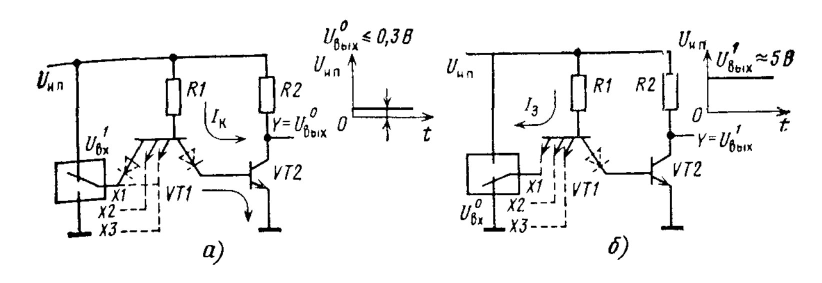


Рис. 2.3. Распределение токов в элементе И—НЕ с простым инвертором при подаче на вход высокого (*а*) и низкого (*б*) уровней напряжения

ет собой интегральный элемент, объединяющий свойства диодных логических схем и транзисторного усилителя. Функция И в схеме ТТЛ выполняется в общих для нескольких эмиттеров базовой и коллекторной областях. Основное структурное отличие МЭТ от обычных транзисторов заключается в том, что он имеет несколько эмиттеров, расположенных таким образом, что прямое взаимодействие между ними через разъединяющий их участок пассивной базы практически исключается. Таким образом, МЭТ представляет совокупность нескольких транзисторных структур, имеющих общий коллектор и непосредственно взаимодействующих друг с другом только за счет движения основных носителей. На рис. 2 3 представлен МЭТ как схема И—НЕ с простым инвертором (однополярным ключом) [3].

Схема ТТЛ с простым инвертором не нашли широкого применения из-за малых помехоустойчивости, нагрузочной способности, а также плохого быстродействия однополярного ключа при работе на емкостную нагрузку. Они используются лишь как схемы с открытым коллектором для реализации функции МОНТАЖНОЕ ИЛИ, а также для включения элементов индикации [3].

С развитием и совершенствованием технологии базовым для схем ТТЛ стал ключ со сложным инвертором — двухполярным ключом (рис. 2.4, *а*). Использование сложного инвертора позволило увеличить быстродействие (особенно в устройствах с многослойными печатными платами), помехоустойчивость, нагрузочную способность и снизить требования к параметрам транзисторов, что привело, в свою очередь к повышению процента выхода годных микросхем.

В настоящее время выпускается несколько серий микросхем ТТЛ. Это стандартные серии 133, К155 (функциональные аналоги микросхем серий SN54/SN74, разработанных фирмой Texas Instruments); микросхемы с высоким быстродействием серий 130[1] (функциональные аналоги серий SN54H, здесь H обозначает повышенное быстродействие); маломощные микросхемы серий 134, КР134 (функциональные аналоги серий SN54L/SN74L, здесь L обозначает малую потребляемую мощность); микросхемы с диодами Шотки серий 530,

---

[1] Микросхемы серии 130 не применяются в новой РЭА, так как являются неперспективными. Они приведены как этап развития схем ТТЛ, их заменили микросхемами серий 530, КР531.

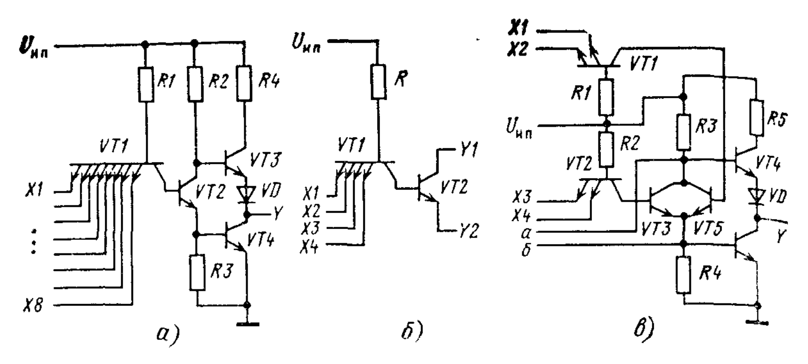


Рис. 2.4. Схема восьмивходового ТТЛ элемента И—НЕ (*а*), расширителя по ИЛИ (*б*) и элемента И—ИЛИ—НЕ (*в*)

КР531 (функциональные аналоги SN54S/SN74S, здесь S обозначает наличие в структурах диодов Шотки) и маломощные микросхемы с диодами Шотки серий 533. К555 (функциональный аналог SN54LS/SN74LS); усовершенствованные микросхемы с диодами Шотки серии 1530 (функциональные аналоги серии SN54AS), усовершенствованные маломощные микросхемы с диодами Шотки серий 1533, КР1533 (функциональные аналоги серий SN54ALS/74ALS); усовершенствованные микросхемы с высоким быстродействием и малым потреблением мощности серий 1531, КР1531 (функциональные аналоги серий 54F/74F), здесь F означает FAST (Fairchild Advanced Schottky TTL) — усовершенствованные ТТЛШ фирмы Fairchild.

Схемотехнически почти все ЛЭ, входящие в состав указанных серий, могут быть образованы комбинированием двух базовых схем: элемента И—НЕ (рис. 2.4, *а*) и расширителя по ИЛИ (рис. 2.4, *б*). Расширитель по ИЛИ совместно с элементом И—НЕ образует логический элемент И—ИЛИ—НЕ (рис. 2.4, *в*). Присоединением расширителя рис. 2.4, *б* к точкам а, б (см. рис. 2.4, *в*) можно увеличить число объединений по логическому входу ИЛИ.

Для всех схем ТТЛ, имеющих возможность расширения по ИЛИ, максимальное число объединений равно восьми. При присоединении одного расширителя задержка распространения схемы увеличивается примерно на 5 нс, а потребляемая мощность — на 5 мВт. Логические элементы ТТЛ обладают большой нагрузочной способностью ($K_{раз}=10$).

Большие выходные и сравнительно невысокие входные токи способствуют хорошему согласованию схем между собой. Как правило, в состав серий микросхем ТТЛ включаются схема с открытым коллекторным выходом (рис. 2.5, *в*) и ЛЭ с большим коэффициентом разветвления по выходу (повышенной нагрузочной способностью) (рис. 2.5, *б*). На рис. 2.5—2.8 приведены базовые схемы для каждой серии микросхемы ТТЛ. Рассмотрим принцип работы микросхемы ТТЛ на примере элемента И—НЕ, представленного на рис. 2.4, *а* [3]. Схема содержит простые n-p-n транзисторы (VT2—VT4), многоэмиттерный транзистор VT1, а также резисторы R1—R4 и диод VD. Такая схема обеспечивает возможность работы на большую емкостную нагрузку при высоких быстродействии и помехоустойчивости.

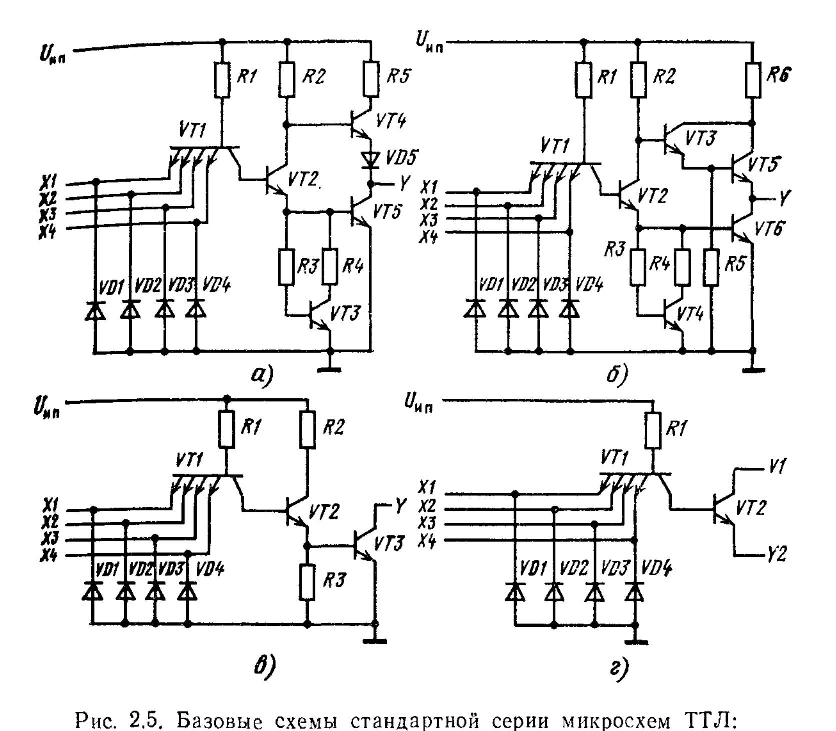


Рис. 2.5. Базовые схемы стандартной серии микросхем ТТЛ:

а — И—НЕ (ИС 133ЛА1, К155ЛА1); *б* — И—НЕ с большим коэффициентом разветвления по выходу (ИС 133ЛА6, К155ЛА6); *в* — схема с открытым коллектором (ИС133ЛА7, К155ЛА7); г — расширитель по ИЛИ (ИС133ЛД1, К155ЛД1)

Схема состоит из следующих каскадов: входного многоэмиттерного транзистора VT1 с малым инверсным коэффициентом усиления по току, фазорасщепляющего каскада, построенного на проходном транзисторе VT2 (этот каскад работает в режиме с малым рабочим током и имеет малые емкости p-n переходов); двухтактного выходного каскада (VT3, VT4). Транзистор VT4 рассчитан на большой рабочий ток и имеет малое время выхода из режима насыщения при переключении схемы. Через этот транзистор стекают на общую шину входные токи ключей-нагрузок.

Высокое быстродействие микросхем ТТЛ при большой емкостной нагрузке объясняется тем, что как заряд, так и разряд нагрузочной емкости происходят через низкоомную выходную цепь. Однако при переключении выходных транзисторов есть момент, когда они оба открыты. Из-за этого в цепи питания схемы возникают кратковременные, но мощные импульсы тока, которые могут привести к появлению импульсов помехи. Во избежание этого в аппаратуре, построенной с применением микросхем ТТЛ, необходимо создавать цепи питания цифровых микросхем с малой индуктивностью про-

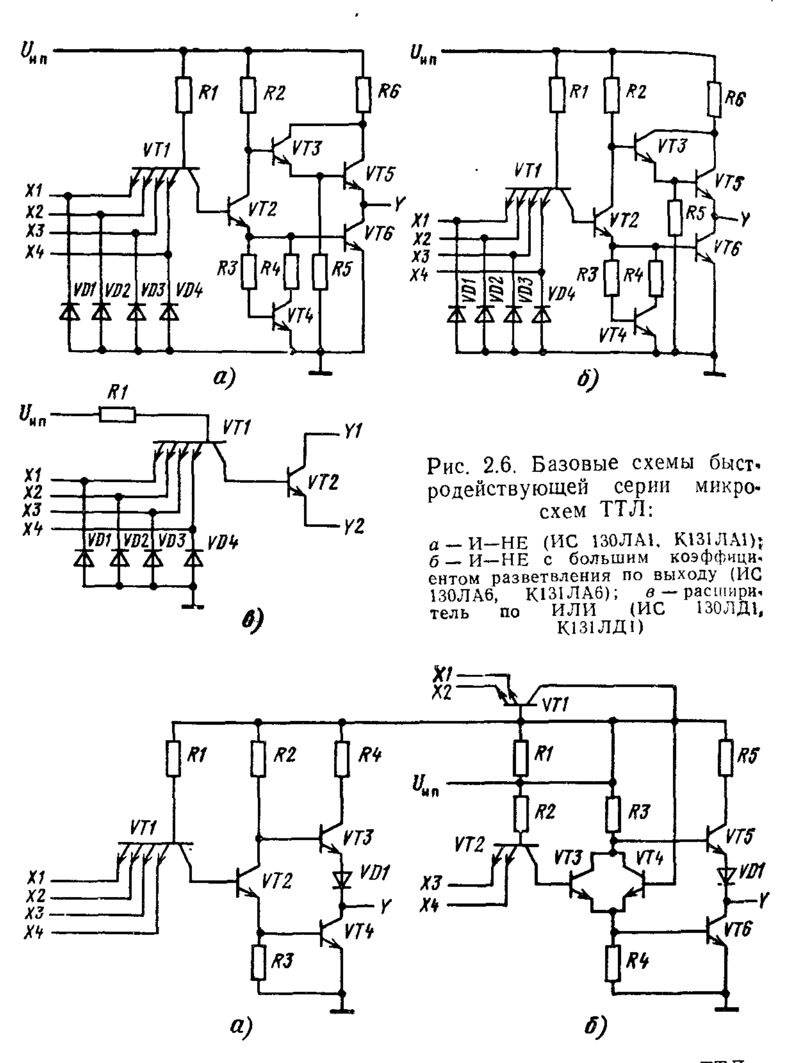


Рис. 2.6. Базовые схемы быстродействующей серии микросхем ТТЛ:

а — И—НЕ (ИС 130ЛА1, К131ЛА1); *б* — И—НЕ с большим коэффициентом разветвления по выходу (ИС 130ЛА6, К131ЛА6); *в* — расширитель по ИЛИ (ИС 130ЛД1, К131ЛД1)

Рис. 2.7. Базовые схемы микромощной серии микросхемы ТТЛ:

а — И—НЕ/ИЛИ—НЕ (ИС 134ЛБ2); *б* — И—ИЛИ—НЕ (ИС 134ЛР1)

водников и предусматривать развязку между соседними платами устройства.

Рассмотрим передаточную характеристику (рис. 2.9, *а*) ЛЭ И—НЕ, представленного на рис. 2.4, *а*. При $U_{вх1}=0$ (на один из эмиттеров транзистора VT1 подан потенциал «общий») переход ба-

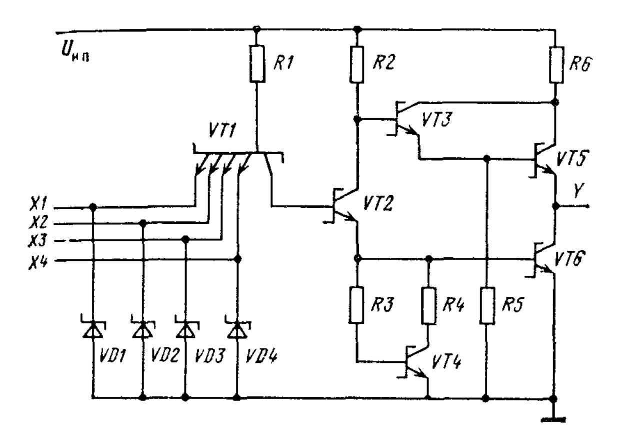


Рис. 2.8. Базовая схема ТТЛ-микросхем с диодами Шотки — элемент И—НЕ (ИС 530ЛА1, КР531ЛА1)

за—эмиттер транзистора VT1 открыт, но образующийся при этом потенциал $U_{БVT1} = 0,8$ В не может открыть три p-n перехода: база—коллектор транзистора VT1, база—эмиттер транзистора VT2 и VT4 (для открывания этой цепи необходим потенциал примерно $3 \times 0,6 = 1,8$ В). Потенциал на базе транзистора VT4 близок к нулю, и транзистор VT4 закрыт. Потенциал на коллекторе VT2 и базе VT3,

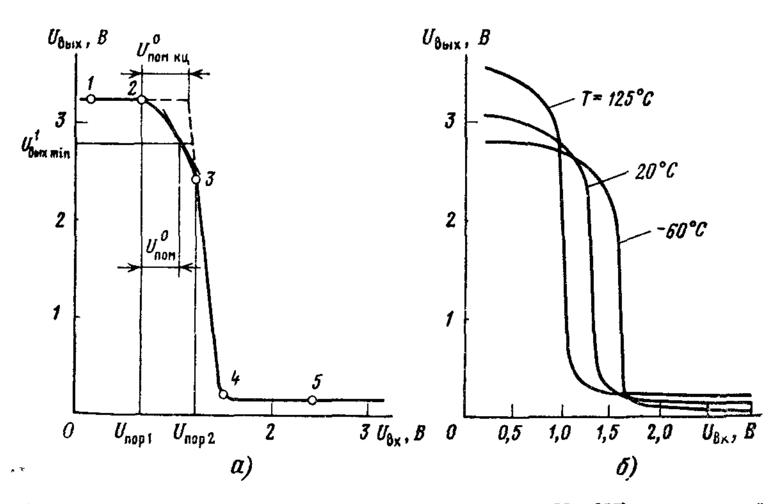


Рис. 2.9. Передаточная характеристика элемента И—НЕ стандартной серии ТТЛ для $T=25°$ (*а*) и в диапазоне температур (*б*) при $U_{ип}=5$, В, $K_{раз}=10$

близкий к напряжению источника питания +5 В, открывает переход база—эмиттер транзистора VT3 и диода VD, вызывая ток $I^1_{вых}$. Напряжение на коллекторе транзистора соответственно равно $U^1_{вых}$ (участок 1—2).

При увеличении $U_{вх}$ (на всех эмиттерных входах транзистора VT1) до значения порогового напряжения $U_{пор1}=0{,}8$ В (точка 2 на передаточной характеристике) транзистор VT2 начинает открываться, но транзистор VT4 еще закрыт, при дальнейшем увеличении $U_{вх}$ до значения $U_{пор2}=1{,}25$ В транзистор VT2 открывается, а транзистор VT4 только начинает открываться (точка 3 на передаточной характеристике).

Дальнейшее увеличение $U_{вх}$ приводит к увеличению потенциала на базе транзистора VT1 до 1,2 В. Этого вполне достаточно, чтобы открыть два перехода: база—коллектор транзистора VT1 и база—эмиттер транзистора VT2. Транзистор VT2 открывается, ток через резистор R2 увеличивается, что вызывает уменьшение напряжения U_{KVT2}. Увеличение тока через резистор R3 вызывает увеличение потенциала на базе транзистора VT4 и приводит к его открыванию. Открытый транзистор VT4 (участок 3—4 передаточной характеристики) шунтирует резистор R3, что резко увеличивает коэффициент передачи транзистора VT2 и вызывает дальнейшее уменьшение напряжения U_{KVT2}. Однако некоторое время транзистор VT4 уже открыт, а транзистор VT3 еще не закрыт, что приводит к броску тока и увеличению мощности, потребляемой от источника питания. Ток потребления ограничивается при этом резистором R4 и объемными сопротивлениями транзисторов VT3, VT4 и диода VD. Это так называемый ток короткого замыкания, который приводит к увеличению потребляемой мощности в динамическом режиме.

При дальнейшем увеличении $U_{вх}$ транзисторы VT2 и VT4 переходят в режим насыщения (участок 4—5 передаточной характеристики, см. рис. 2.9, *а*). Потенциалы U_{KVT3} и U_{KVT4} соответственно равны 1,2 и 0,3 В. Их разности, равной 0,9 В, недостаточно, чтобы открыть переход база — эмиттер транзистора VT3 и переход диода VD. Наличие диода VD (см. рис. 2.4, *а*) обеспечивает смещение напряжения открывания транзистора VT3 и надежное закрывание его при $U^0_{вых}=0{,}3$ В.

В реальных схемах ТТЛ стандартной серии (см. рис. 2.5, *а*), в отличие от упрощенной схемы И—НЕ (см. рис. 2.4, *а*), в базу выходного транзистора вместо резистора R3 включена корректирующая цепочка (КЦ), состоящая из резисторов R3 и R4 и транзистора VT3. Эта цепочка позволяет получить передаточную характеристику, по форме близкую к прямоугольной (см. штриховую кривую на рис. 2.9, *а*), и тем самым повысить помехозащищенность схемы в состоянии «1» по сравнению с помехозащищенностью схемы, представленной на рис. 2.4, *а* $\left(U^0_{помкц}>U^0_{пом}\right)$.

Сопротивление корректирующей цепочки имеет меньшую, чем резистор R3 зависимость от температуры, что обеспечивает ряд особых свойств схемы. При повышенной температуре (125 °С) время рассасывания для транзистора VT5 (см. рис. 2.5, *а*) мало, что способствует быстрому выключению схемы. Это, в свою очередь, уменьшает импульсный ток короткого замыкания (когда транзисторы VT4 и VT5 открыты одновременно), а значит, и динамическую мощность

потребления. При пониженной температуре (—60 °С) сопротивление КЦ превышает сопротивление резистора R3 (см. рис. 2.4, *а*), что увеличивает ток включения транзистора VT5 и приводит к уменьшению времени включения схемы.

С увеличением температуры происходит уменьшение помехоустойчивости схемы (см. рис. 2.9, *б*). В момент переключения схемы И—НЕ увеличивается ток потребления, что приводит к увеличению потребляемой мощности в динамическом режиме При увеличении частоты до 5 МГц потребляемая мощность увеличивается до 43 мВт (мощность в статическом режиме равна 20 мВт). Выбросы тока в цепи питания, имеющей индуктивный характер, могут вызвать наводки и ухудшить помехоустойчивость аппаратуры. При работе микросхемы важно не превышать входное напряжение $U_{вх}=5{,}5$ В, которое является предельно допустимым. Для большинства микросхем ТТЛ предельно допустимое отрицательное напряжение на входе составляет 0,4 В.

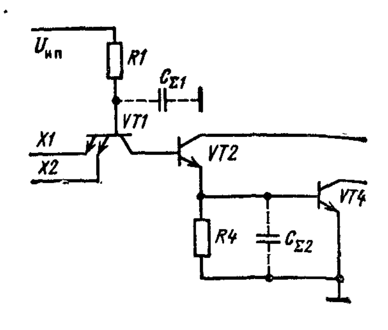
Реальные цифровые сигналы на входе микросхемы не имеют строгой прямоугольной или трапецеидальной формы. В момент окончания сигнала в монтажных цепях могут возникать затухающие колебания, следствием чего может быть ложное срабатывание схемы, на вход которой они попадают. Для исключения этого явления схемы ТТЛ подвергались доработке, в результате к каждому входу МЭТ были подключены так называемые демпфирующие диоды VD1—VD4 (см. рис. 2.5, *а*).

Если на входе нет выбросов напряжения, диод закрыт, при этом он дополнительно вносит емкость на входе схемы менее 1 пФ, что практически не ухудшает ее динамических характеристик. Первым отрицательным импульсом, амплитуда которого превышает 0,8 В, демпфирующий диод открывается, шунтирует паразитный колебательный контур, образованный монтажными цепями. Из-за этого последующий положительный выброс напряжения не может иметь существенную амплитуду.

Рассмотрим работу ЛЭ И—НЕ в динамическом режиме. Как уже отмечалось, быстродействие схемы характеризуется несколькими параметрами и, в частности, временем задержки распространения при включении $t^{1,0}_{здр}$ и выключении $t^{0,1}_{здр}$. При включении элемента И—НЕ (рис. 2.10) долей времени задержки распространения за счет транзистора VT1 можно пренебречь, считая, что ключ размыкается мгновенно. Тогда суммарная задержка распространения сигнала в схеме определяется задержкой за счет транзисторов VT2 и VT4: $t^{1,0}_{здр}=t^{1,0}_{здVT2}+t^{1,0}_{здVT4}$. В свою очередь, задержка, обусловленная транзистором VT2, определяется в основном временем заряда паразитной емкости $C_{\Sigma 1}$, представляющей собой сумму паразитных емкостей резистора R1, коллектора транзистора VT1 и перехода база—эмиттер транзистора VT1. Задержка из-за транзистора VT4 определяется временем заряда паразитной емкости $C_{\Sigma 2}$, представляющей собой сумму емкостей структуры резистора R4 и перехода база—эмиттер резистора VT4.

При выключении задержка распространения сигнала для ЛЭ И—НЕ $t^{0,1}_{здр}$ определяется главным образом временем рассасывания неосновных носителей в базах транзисторов VT2 и VT4. Для стандартных микросхем ТТЛ при температуре 25 °С, $K_{раз}=10$ и $C_{н}=$

Рис. 2.10. Эквивалентная схема формирования динамических параметров



=15 пФ типовые значения времени задержки распространения при включении и выключении соответственно составляют $t^{1,0}_{здр}=7$ нс, $t^{0,1}_{здр}=13$ нс. С ростом температуры время задержки распространения при включении несколько уменьшается, а время задержки распространения при выключении, напротив, увеличивается, особенно в диапазоне температур 20...120 °С. С ростом нагрузки задержки распространения несколько увеличиваются. Увеличение емкости нагрузки оказывает на быстродействие более значительное влияние, чем увеличение числа входов микросхем, подключаемых к выходу ТТЛ-ключа.

Как уже отмечалось, наряду с простыми ЛЭ в состав серий цифровых микросхем вводятся триггеры различных типов и схемы, построенные на их основе: регистры, счетчики, матрицы памяти.

Быстродействующие микросхемы ТТЛ, представленные серией 130, позволяют получить типовое значение задержки распространения 7 нс при мощности потребления, приходящейся на ЛЭ 44 мВт. Логический элемент этой серии (см. рис. 2.6) отличается от ЛЭ стандартной, самой массовой серии К155 (см. рис. 2.5, *а*) сниженными номиналами резисторов и уменьшенными паразитными емкостями элементов. В выходном каскаде (рис. 2.6, *а*, *б*) применена схема Дарлингтона (транзисторы VT3 и VT5) [4], позволяющая повысить коэффициент усиления выходного транзистора по току и поэтому обеспечить примерно равные значения выходных сопротивлений схемы при ее включении (определяется верхним эмиттерным повторителем VT5) и выключении (определяется насыщенным транзистором VT6). Это дает почти одинаковые задержки распространения сигнала при включении и выключении схемы.

Низкие выходные и входные сопротивления микросхем ТТЛ обусловливают малые постоянные времени заряда и разряда нагрузочных паразитных емкостей проводников печатных плат, что позволяет увеличить тактовую частоту до 30 МГц. Как было указано выше, микросхемы серии 130 являются неперспективными и не рекомендуются для применения в новых разработках. Они приведены как определенный этап развития микросхемы ТТЛ. Их заменили микросхемы с диодами Шотки серий 530, КР531, рассмотренные ниже.

Микросхемы ТТЛ маломощных серий 134, КР134 при температуре 25 °С имеют для ЛЭ среднее значение мощности потребления

2 мВт. Схемы ЛЭ этой серии (см. рис. 2.7) отличаются от схем стандартной серии отсутствием демпфирующих диодов и корректирующей цепи, а также значительно увеличенными номиналами резисторов, чем определяются малые уровни токов и мощности потребления при одновременном уменьшении быстродействия микросхем. Время задержки включения и выключения составляет 100 нс. Широкое применение получили микросхемы, в которых используются диоды и транзисторы с эффектом Шотки (см. рис. 2.8). Микросхемы серии 530 позволяют при температуре 25±10 °С, сопротивлении нагрузки $R_н$=280 Ом и емкости нагрузки $C_н$=15 пФ получить типовое значение времени задержки распространения 5 нс на ЛЭ при средней мощности потребления 19 мВт (ср. с параметрами микросхем серии 130, приведенными в табл. 2.4).

Повышение быстродействия здесь получено снижением степени насыщения транзисторов за счет применения диодов Шотки, шунтирующих переход коллектор—база насыщенного транзистора. Диоды Шотки имеют существенно меньшее пороговое напряжение открывания, чем переход коллектор—база, поэтому во время действия входного импульса диоды Шотки открываются раньше, чем переход коллектор—база, таким образом предотвращается накопление избыточных зарядов в базовой области транзисторов. Накопления заряда в самих диодах Шотки не происходит, так как протекающий в них ток вызван переносом основных носителей.

Работа транзисторов Шотки в ненасыщенной области приводит к увеличению падения напряжения на их переходах база—эмиттер, что уменьшает в статическом режиме ток потребления и соответственно потребляемую мощность. В выходном каскаде применена схема Дарлингтона (VT3 и VT5), позволяющая обеспечить при выключении схемы повышенный ток заряда емкостной нагрузки, что уменьшает время задержки фронта выходного сигнала. Благодаря малому падению напряжения на переходе база—эмиттер транзистора VT3, а также низкому выходному сопротивлению схемы в обоих логических состояниях схема Дарлингтона позволяет получить в микросхемах этих серий более высокий уровень выходного напряжения $U^1_{вых}$.

Были разработаны также маломощные микросхемы с диодами Шотки серий 533, К555 (функциональные аналоги SN54LS, SN74LS). В последнее десятилетие широкое применеиие получили различные модификации микросхем ТТЛ с диодами Шотки. Это, как уже было указано выше, микросхемы серий 533, К555, 1530, 1533, КР1533. Рассмотрим этапы их развития. Усилия технологов и разработчиков микросхем этих серий постоянно направлены на расширение их функционального состава, усложнение выполняемых функций (т. е. повышение степени интеграции) и улучшение рабочих характеристик за счет увеличения быстродействия и уменьшения потребляемой мощности. Усовершенствование технологии позволило в последние годы освоить два новых вида микросхем ТТЛ с диодами Шотки. Это серии 1530 (аналог SN54AS); 533, К555 (аналоги SN54LS/74LS); 1533, КР1533 (аналоги SN54ALS/SN74ALS). Микросхемы серии 1533 имеют более высокое быстродействие, чем микросхемы серии 533, значительно меньшее потребление мощности и, что очень важно, совместимы со стандартными сериями ТТЛ.

Напомним, что микросхемы стандартных серий 133, К155 позволяют получить быстродействие 10 нс при мощности рассеивания 22 мВт на ЛЭ, а микросхемы серии 1533, КР1533 — быстродействие

Таблица 2.3

Технология	Серия SN	Логические элементы			Триггеры
		Время задержки распространения, нс	Мощность рассеивания, мВт	Произведение быстродействия на мощность рассеивания, нс·мВт	Частота переключения, мГЦ
ТТЛ	54/74	10	10	100	До 35
	54H/74H	6	22	132	До 50
	54L/74L	33	1	33	До 3
ТТЛ с диодами Шотки	54S/74S	3	19	57	До 125
	54LS/74LS	9,5	2	19	До 45
	54AS/74AS	1,5	20	30	До 200
	54ALS/74ALS	4	1	4	До 50

4 нс при мощности рассеивания 1 мВт на ЛЭ. Для оценки эффективности цифровых микросхем и рабочих характеристик применяется показатель, равный произведению быстродействия в наносекундах на рассеиваемую мощность в милливаттах. Типовые рабочие характеристики различных модификаций ЛЭ И—НЕ серий SN54/SN74 и частота переключения триггеров приведены в табл. 2.3.

Данные в табл. 2.3 приведены при $C_н = 15$ пФ и $R_н = 2$ кОм. Как видно из таблицы, микросхемы серий AS и ALS значительно улучшены по сравнению с остальными микросхемами серий ТТЛ и ТТЛШ. Схема AS обладает меньшей задержкой распространения и более высокой частотой переключения, чем любая схема других серий при незначительном увеличении мощности рассеивания. Стабильность параметров по постоянному току и времени переключения достигается во всем диапазоне температур. Серии микросхем AS и ALS совместимы между собой.

Таким образом, можно сделать вывод, что серия AS 1530 является целесообразной заменой для высокоскоростных видов логических схем даже серии ЭСЛ, а серии ALS — 1533, КР1533 наиболее эффективны в системах с низкими скоростями и могут конкурировать с микросхемами КМОП. Рассмотрим более подробно технологию усовершенствованных маломощных схем с диодами Шотки (ALS).

В отличие от технологии обычных маломощных микросхем с диодами Шотки (LS) технология схем ALS отличается применением ионной имплантации примесей вместо диффузии. Это дает возможность осуществлять точный контроль над глубиной легирования и разрешающей способностью. Отсюда более тонкий эпитаксиальный слой и геометрия более малых размеров, снижающих паразитные емкости. Применение окисной изоляции между транзисторами вместо изоляции p-n-переходом также улучшает рабочие характеристики, уменьшая емкость коллектор—подложка. Рассмотрим инвертор серии 54ALS/74ALS, созданный на основе усовершенствованной схемы ТТЛ (рис. 2.11). Схема имеет следующие преимущества по сравне-

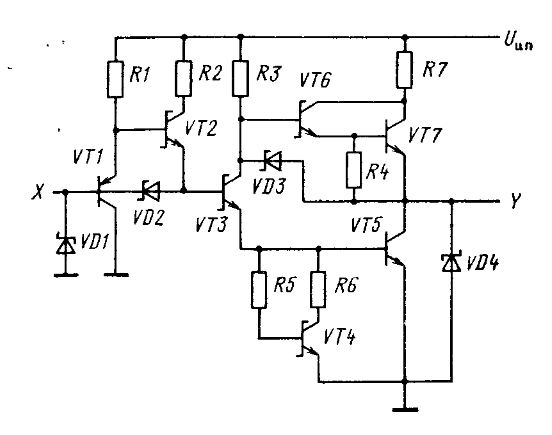


Рис. 2.11. Базовая схема инвертора усовершенствованной маломощной серии с диодами Шотки типа ALS

нию со схемами 54LS/74LS: полное ограничение диодом Шотки всех насыщающихся транзисторов, что способствует исключению накопления излишнего базового заряда и значительно уменьшает время выключения транзисторов; устранение излишнего накопления заряда, что позволяет получить более стабильное время переключения в диапазоне температур; обеспечение улучшения динамической помехоустойчивости при высоком логическом уровне за счет активного выключения выходного транзистора.

Входной порог переключения устанавливается транзисторами при следующем соотношении: $U_{пор} = U_{БЭVT2} + U_{БЭVT3} + U_{БЭVT5} - U_{БЭVT1} = 1{,}3$ В. В схеме 54LS/74LS в отличие от приведенной выше отсутствует транзистор VT2. Когда открывается выходная схема Дарлингтона (см. рис. 2.11, транзисторы VT6, VT7), позволяющая осуществить формирование сигнала на выходе с сохранением низкого выходного сопротивления при высоком и низком логических уровнях, на выходе устанавливается напряжение высокого уровня $U^{I}_{вых}$ при выходном сопротивлении, равном 10 Ом.

При небольших токах нагрузки схема Дарлингтона находится в ненасыщенном состоянии. При увеличении тока нагрузки она насыщается и выходное сопротивление возрастает до 58 Ом, определяясь в основном сопротивлением $R_7 = 50$ Ом. Это сопротивление обеспечивает защиту каскада от короткого замыкания. Стабильность выходного напряжения высокого уровня $U^{I}_{вых}$ осуществляется благодаря активному выключению транзистора VT5 транзистором VT4. Выходное напряжение определяется как

$$U^{I}_{вых} = U_{ип} - (I_{БVT6} R_3 + U_{БЭVT6} + U_{БЭVT7})$$

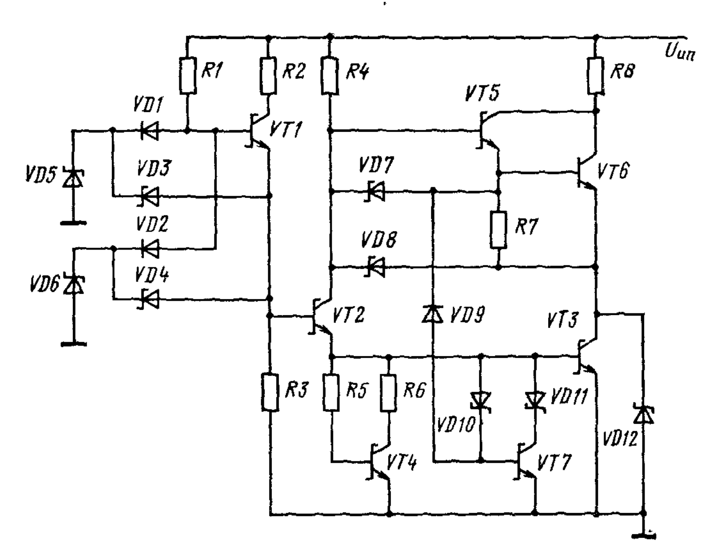


Рис 2.12. Базовая схема 2И—НЕ микросхемы FAST

Выходное напряжение низкого уровня $U^0_{вых}$ устанавливается транзистором VT5, когда он включен. Этот транзистор включается цепью VT3, R3, когда на входе схемы высокий логический уровень, а транзистор VT2 включен. Коэффициент разветвления по выходу схемы равен 10 для микросхем серии 1533 и 20 для микросхем серии КР1533 при работе схем друг от друга. При этом гарантированный выходной ток $I^0_{вых}=4$ мА.

Наибольшим быстродействием среди схем ТТЛ обладают микросхемы серий 1531, КР1531 (функциональные аналоги 54F/74F), созданные на основе модернизированного технологического процесса Isoplanaz II, позволяющего получать транзисторы с очень высокой, хорошо управляемой скоростью переключения и малыми паразитными емкостями. Частота переключения у этих схем достигает 5 ГГц. Изопланарная технология была разработана фирмой Fairchild и широко используется для производства биполярных ЗУ, микросхем КМОП и ЭСЛ высокого быстродействия и ИЗЛ БИС.

Изопланарная технология предусматривает изоляцию компонентов селективно выращенным слоем окисла в отличие от изоляции p^+-областями, свойственной планарной технологии, и позволяет значительно сократить размеры компонентов и кристалла. Следует отметить, что из-за тонких слоев окисла и мелких диффузионных областей схемы типа FAST, как и указанные выше схемы ALS, AS, более чувствительны к повреждениям, вызванным электростатическими разрядами и требуют применения мер предосторожности. Запрещается размещать эти схемы на непроводящих пластмассовых поверхностях, в пластмассовой таре, необходимо заземлять оборудование и самих работников, занятых монтажом и испытанием микросхем. Рассмотрим (рис. 2.12) некоторые особенности логической

схемы 2И—НЕ типа FAST. Схема имеет три ступени усиления VT1, VT2, VT3. Это повышает значение порогового напряжения на входе, что, в свою очередь, позволяет применить p-n диоды VD1 и VD2 для реализации на входе $U_{вх}=1,5$ В.

Диоды Шотки на входе схемы VD3 и VD4 обеспечивают разрядку паразитных емкостей база—эмиттер транзисторов VT1 и VT2. При включении VT2 напряжение на его коллекторе падает и диод VD7 обеспечивает разрядку емкости база—эмиттер VT6, т. е. диоды VD3, VD4 и VD7 увеличивают скорость переключения транзисторов VT1, VT2, VT6. Диод VD8 обеспечивает быструю разрядку емкости нагрузки через VD8 и VT2 с увеличением тока на базе VT3, что способствует его быстрому переключению при переходе от высокого к низкому уровню выходного напряжения. В отличие от типовой схемы ТТЛ с диодами Шотки схема типа FAST включает диоды VD9—VD11 и транзистор VT7, которые кратковременно обеспечивают низкий импеданс на базе транзистора VT3 при переходе от низкого к высокому уровню выходного напряжения. Увеличение напряжения на эмиттере транзистора VT5 вызывает прохождение тока смещения через VD9 и кратковременное включение VT7, что, в свою очередь, снижает напряжение на базе VT3 и вызывает поглощение тока смещения, проходящего через емкость коллектор—база транзистора VT3. При этом уменьшается время его выключения. Введение дополнительных элементов в схему FAST позволило уменьшить время нарастания напряжения на выходе и снизить до минимума динамическую мощность потребления. Диод VD10 обеспечивает разряд емкости VD9 через VD7. Диод VD11 ограничивает снижение напряжения базы VT3 под влиянием VT7 до необходимого уровня без уменьшения скорости переключения на больших частотах. Фиксирующий диод VD12 на выходе ограничивает значение отрицательных выбросов напряжения во всем диапазоне температур и при изменении напряжения питания. При увеличении тока нагрузки выходное сопротивление определяется сопротивлением $R_8=45$ Ом (у схем ALS это значение составляет 50 Ом). Таким образом, схемы FAST более приспособлены к работе на емкостные нагрузки, чем схемы ALS. Схемы типа FAST не только более быстродействующие по сравнению со схемами ТТЛ, но и менее подвержены влиянию емкости и имеют стабильное значение задержки распространения при переключении схемы, которое изменяется всего на 0,5 нс в широком диапазоне значений емкости нагрузки. Рассмотрим микросхемы ТТЛ более подробно.

2.4.1. Основные электрические параметры микросхем серий ТТЛ

Как было отмечено в § 2.2, к числу основных электрических параметров, которые достаточно полно характеризуют все виды ТТЛ и позволяют сравнивать их между собой, относятся: быстродействие, потребляемая мощность, нагрузочная способность, помехоустойчивость и коэффициент объединения по входу. К этим параметрам следует добавить также напряжения в состояниях «0» и «1», так как они определяют возможность совместной работы схем ТТЛ разных серий. Эти уровни важно знать при сопряжении сигналов микросхем ТТЛ с сигналами других цифровых и аналоговых схем. Все микро-

Таблица 24

Параметр	Серии микросхем							
	Стандартные (133, К155)	Высокого быстродействия (130)	Маломощные 134	С диодами Шотки (530, КР531)	Маломощные с диодами Шотки (533, К555)	Усовершенствованные с диодами Шотки (1530)	Маломощные усовершенствованные с диодами Шотки (1533, КР1533)	Типа FAST (1531, КР1531)
$I^0_{вх}$, мА, не более	—1,6	2,3	—0,18	—2	—0,4	—2,4	—0,2	0,6
$I^1_{вх}$, мА, не более	0,04	0,07	0,012	0,05	0,02	0,4	0,02	0,02
$U^0_{вых}$, В, не более	0,4	0,35	0,3	0,5	0,4	0,5	0,4	0,8
$U^1_{вых}$, В, не менее	2,4	2,4	2,3	2,7	2,5	2,0	2,5	2,0
$K_{раз}$	10	10	10	10	10	30	20	30
$K_{об}$	8	8	2					
$t^{1,0}_{здр}$, нс, не более	15 ($C_н$=-15 пФ)	10 ($C_н$=—30 пФ)	100 ($C_н$==40 пФ)	5 ($C_н$==15 пФ)	10	2,5	4	3,8
$t^{1,0}_{здр}$, нс, не более	22 ($C_н$==15 пФ)	10 ($C_н$==30 пФ)	100 ($C_н$==40 пФ)	4,5 ($C_н$==15 пФ)	10	2,5	4	3,9
$P_{пот}$, мВт, не более	22	44	2	19	2	19	1,0	4
$U_{пом}$, В, не более[1]	0,4	0,4	0,35	0,5	0,7	0,5	0,8	0,8
f, МГц, не более[2]	10	30	3	50	15	50	100	5 ГГц

[1] Приведено наименьшее из двух значений допустимого уровня помехи.
[2] f — частота переключения

Таблица 2.5

Параметр	Серии микросхем												
	Стандартные		Высокого быстро-действия	Мало-мощные	С диодами Шотки		Маломощные с диодами Шотки		Усовер-шенство-ванные с диодами Шотки	Маломощные усовершенст-вованные с диодами Шотки		Типа FAST	
	(133)	(К155)	(130)	(134)	(531)	(КР531)	(533)	(К555)	(1530)	(1533)	(КР1533)	(1531)	(КР1531)
Максимальиое напряженне питания, В	6	6	6	6	5,5	6	5,5	5,25	6,0	6,0	5,25	6,0	5,25
Максимальное напряжение на входе, В	5,5	5,5	5,5	5,5	5,0	5,0	5,0	4,5	5,5	5,5	4,5	5,5	4,5
Максимальное напряженне, приложенное к выходу закрытой схемы, В	5,5	5,25	5,5	5,5	5,5	5,25	5,5	5,25	5,25	5,25	5,25	5,5	5,25
Минимальное напряженне на входе, В	—0,4	—0,4	—0,4	—1,56	—0,4	—0,4	—0,4	0,4	—0,5	—0,4	—0,4	—0,5	—0,5
Максимальная емкостная нагрузка, пФ	200	200	200	200	150	200	150	150	150	200	50	200	200

схемы ТТЛ имеют одинаковое напряжение питания $U_{ип}=5$ В±10 % и близкие значения логических уровней.

Основные эксплуатационные электрические параметры базовых схем — ТТЛ различных серий, указанные в диапазоне температур, сравниваются в табл. 2.4.

При разработке аппаратуры необходимо учитывать также предельно допустимые режимы эксплуатации микросхем, превышение которых может привести к выходу их из строя. В табл. 2.5 сравниваются предельно допустимые режимы эксплуатации микросхем ТТЛ различных серий.

2.4.2. Функциональный состав микросхем серий ТТЛ

Серии цифровых микросхем ТТЛ продолжают оставаться основой построения вычислительных устройств. Одним из определяющих преимуществ является наличие в их составе таких схем, как JK- и D-триггеры, дешифраторы, регистры сдвига, счетчики, сумматоры и элементы памяти (ОЗУ и ПЗУ) со схемами управления. Наличие схем, представляющих собой готовые узлы ЭВМ на несколько двоичных разрядов, позволяет значительно уменьшить число корпусов цифровых микросхем и получить существенный выигрыш в объеме аппаратуры. Так, микросхемы ТТЛ серии К155 нашли широкое применение в единой системе электронно-вычислительных машин (ЕС ЭВМ). Функциональный состав стандартных, быстродействующих, маломощных серий, серий с диодами Шотки и типа FAST, разработанных к 1988 г., приведен в табл. 2.6. Там же указаны функциональные аналоги этих микросхем. Полное условное обозначение микросхем серий ТТЛ образуется из номера серии, указанного в графе «Функциональное назначение», и обозначения, приведенного в графе «Подгруппа, вид, ...», например 133ЛА1. Полное условное обозначение функционального аналога образуется из обозначения соответствующей серии (SN 54 или SN 74H) и номера, приведенного в графе «Обозначение функционального аналога», например микросхема типа SN5420 или SN74H50.

2.4.3. Некоторые особенности применения микросхем серий ТТЛ

При конструировании аппаратуры на микросхемах большое значение имеет тип корпуса. Условные обозначения различных типов корпусов микросхем ТТЛ приведены в табл. 2.7.

Особенности микросхем ТТЛ, а именно наличие в выходном каскаде ЛЭ двухтактной схемы, увеличивает импульсный ток потребления при переключении. Тем самым с ростом частоты переключения увеличивается динамическая мощность потребления и ограничивается время нарастания и спада входных импульсов до 150 нс (кроме схем с открытым коллекторным выходом, для которых это время не нормируется).

При монтаже аппаратуры для повышения устойчивости работы схем ТТЛ их свободные входы необходимо подключать к источнику питания 5 В$\pm$10 % через резистор 1 кОм или непосредственно к отдельному источнику питания 4 В$\pm$10 %. К каждому резистору допускается подключение 20 свободных входов.

Таблица 2.6

Функциональное назначение	Подгруппа, вид и порядковый номер разработки	Обозначение функционального аналога	Номер рисунка
Четыре логических элемента 2И—НЕ (133, 533, 1531, КР1531, 1533, КР1533, К155, КМ155, 530, КР531, К555, КМ555)	ЛА3	00	1
Четыре 2-входовые схемы И—НЕ с открытым коллекторным выходом (элементы контроля) (133, 134, КР134, К155, КМ155)	ЛА8	01	2
Четыре логических элемента 2ИЛИ—НЕ (133, К155, 533, 1531, КР1531, КМ155, 530, КР531, К555, КМ555)	ЛЕ1	02	3
Четыре элемента 2И—НЕ с открытым коллекторным выходом (530, КР531, К555, 533, КМ555)	ЛА9	03	4
Шесть логических элементов НЕ (133, К155, КМ155, 533, 1531, КР1531, 1533, КР1533, 530, КР531, К555, КМ555)	ЛН1	04	5
Шесть логических элементов НЕ с открытым коллектором (133, К155, 530, КР531, К555, КМ555, 533, 1533)	ЛН2	05	6
Шесть буферных инверторов с повышенным коллекторным напряжением (133, К155)	ЛН3	06	7
Шесть буферных формирователей с открытым коллектором (133, КМ155, К155)	ЛП9	07	8
Четыре логических элемента 2И (133, К155, КМ155, 533, 1531, 1531, 1533, КМ155, КР531, К555, КМ555)	ЛИ1	08	9
Четыре логических элемента 2И с открытым коллекторным выходом (К555)	ЛИ2	09	10
Три логических элемента 3И—НЕ (133, К155, 533, 1531, КР1531, КМ155, 530, КР531, К555, КМ555)	ЛА4	10	11
Три логических элемента 3И (530, КР531, К555, КМ555, 533, КР1531)	ЛИ3	11	12
Три логических элемента 3И—НЕ с открытым коллектором (133, К155, КМ155, 533, К555)	ЛА10	12	13

Функциональное назначение	Подгруппа, вид и порядковый номер разработки	Обозначение функционального аналога	Номер рисунка
Два триггера Шмитта с логическим элементом на выходе (133, К155)	ТЛ1	13	14
Шесть триггеров Шмитта с инверторами (133, К155, К555, 533, КМ555)	ТЛ2	14	15
Шесть буферных элементов НЕ (133, К155)	ЛН5	16	16
Шесть буферных элементов с открытым коллекторным выходом (К155, КМ155)	ЛП4	17	17
Три логических элемента 3И с открытым коллекторным выходом (К555, КМ555)	ЛИ4	18	18
Два логических элемента 4И—НЕ (533, 1531, КР1531, 1533, КР1533, 133, К155, КМ155, 530, КР531, К555, КМ555)	ЛА1	20	19
Два логических элемента 4И (К555, КМ555, 533)	ЛИ6	21	20
Два логических элемента 4И—НЕ с открытым коллекторным выходом и повышенной нагрузочной способностью (133, К155, КМ155, КР531, К555, 533)	ЛА7	22	21
Два логических элемента ИЛИ—НЕ со стробированием на одном элементе и возможностью расширения по ИЛИ на другом (К155)	ЛЕ2	23	22
Два логических элемента 4ИЛИ—НЕ со стробированием (133, К155, КМ155)	ЛЕ3	25	23
Четыре высоковольтных логических элемента 2И—НЕ с открытым коллектором (133, К155, К555, КМ155)	ЛА11	26	24
Четыре буферных логических элемента 2ИЛИ—НЕ (133, К155)	ЛЕ5	28	25
Логический элемент 8И—НЕ (133, 134, К155, КМ155, КР134, 530, КР531, 533, 1533, КР1533, К555, КМ555)	ЛА2	30	26
Четыре логических элемента 2ИЛИ (133, 533, 1531, КР1531, К155, КМ155, 530, К555, КМ555)	ЛЛ1	32	27

Функциональное назначение	Подгруппа, вид и порядковый номер разработки	Обозначение функционального аналога	Номер рисунка
Четыре буферных логических элемента 2И—НЕ (133, К155, КМ155, КР531, 533, К555, КМ555)	ЛА12	37	28
Четыре буферных логических элемента 2И—НЕ с открытым коллектором (К155, КМ155, 533, КР531, 530, КР555, К555)	ЛА13	38	29
Два логических элемента 4И—НЕ с большим коэффициентом разветвления по выходу (133, К155, КМ155, 533, К555)	ЛА6	40	30
Дешифратор 4×10 (134, КМ555, 533)	ИД6	42	31
Преобразователь входных цифровых сигналов двоичного кода в сигналы семисегментного кода (133)	ПП4	49	32
Два элемента 2И—2ИЛИ—НЕ, один расширяемый по ИЛИ (133, 134, К155, КМ155)	ЛР1	50	33
Два логических элемента 4—2—3—2И—ИЛИ—НЕ (530, КР531, К555, 533, 1533, КМ555)	ЛР11	51	34
Логический элемент 2—2—2—3И—4ИЛИ—НЕ с возможностью расширения по ИЛИ (133, К155, КМ155)	ЛР3	53	35
Логический элемент 2—3—3—2И—4ИЛИ—НЕ (К555, 533, 1533, КМ555)	ЛР13	54	36
Логический элемент 4—4И—2ИЛИ—НЕ с возможностью расширения по ИЛИ (133, 134, К155, КМ155, КР134, 533, К555, 1533)	ЛР4	55	37
Два 4-входовых логических расширителя по ИЛИ (133, К155, КМ155)	ЛД1	60	38
Логический элемент 4—2—3—2И—4ИЛИ—НЕ (530, КР531, 1531, КР1531)	ЛР9	64	39
Логический элемент 4—2—3—2И—4ИЛИ—НЕ с открытым коллекторным выходом (530, КР531)	ЛР10	65	40
Три логических элемента 3ИЛИ—НЕ (К155, К555, 533, КМ555)	ЛЕ4	66	41

Функциональное назначение	Подгруппа, вид и порядковый номер разработки	Обозначение функционального аналога	Номер рисунка
Триггер JK с логическими элементами И на входе (133, 134, К155, КМ155)	ТВ1	72	42
Два D-триггера (133, 134, К155, 533, 1531, КР1531, 1533, 530, КР531, К555, КР134)	ТМ2	74	43
Четыре D-триггера с прямым и инверсным выходами (133, К155, КМ155, К555, 533, КМ555)	ТМ7	75	44
Четыре D-триггера (133, К155, КМ155) (рис. 45)	ТМ5	77	45
Двойной JK-триггер (134)	ТВ14	78	46
Одноразрядный полный сумматор (133, К155, КМ155)	ИМ1	80	47
ОЗУ на 16 бит со схемами управления (133)	РУ1	81	48
Двухразрядный (двоичный) полный сумматор (133, К155, КМ155)	ИМ2	82	49
Двухразрядный (двоичный) сумматор (133, К155, КМ155)	ИМ3	83	50
Четырехразрядная схема сравнения чисел (134, КР134, 530, КР531, 533, 1533, К555)	СП1	85	51
Четыре 2-входовых логических элемента Исключающее ИЛИ (133, К155, КМ155, 533, 1531, КР1531, 1533, 530, КР531, К555, КМ555)	ЛП5	86	52
ОЗУ на 64 бита с произвольной выборкой (К155, КМ155, 530, КР531)	РУ2	89	53
Двоично-десятичный 4-разрядный счетчик (133, 134, К155, КМ155, К555, КР134)	ИЕ2	90	54
8-разрядный сдвигающий регистр (134)	ИР2	91	55
Счетчик-делитель на 12 (133, К155, КМ155)	ИЕ4	92	56
Двоичный счетчик (133, 134, К155, КМ155, 533, К555)	ИЕ5	93	57
Четырехразрядный универсальный сдвигающий регистр (133, 134, К155, КМ155)	ИР1	95	58
Делитель частоты с переменным коэффициентом деления (133, К155, КМ155)	ИЕ8	97	59

Функциональное назначение	Подгруппа, вид и порядковый номер разработки	Обозначение функционального аналога	Номер рисунка
Четырехразрядный селективный регистр (134, КР134)	ИР5	98	60
Два JK-триггера со сбросом (К555, 533)	ТВ6	107	61
Два JK-триггера (133, К155, 1531, КР1531, 1533)	ТВ15	109	62
Два JK-триггера (530, КР531, К555, 533)	ТВ9	112	63
Два JK-триггера (530, КР531, 1531) с установкой в «1»	ТВ10	113	64
Сдвоенный JK-триггер с установкой в «1». общей установкой в «0» (530, КР531)	ТВ11	114	65
Одновибратор с логическим элементом на входе (133, К155)	АГ1	121	66
Сдвоенный одновибратор с повторным запуском (133, К155, КМ155, КМ555, К555, 533)	АГ3	123	67
Схема управления напряжения генератора (КР531, 530)	ГГ1	124	68
Четыре буферных логических элемента с тремя состояниями на выходе (133, К155, КМ155, 533, К555)	ЛП8	125	69
Четыре логических элемента 2ИЛИ—НЕ (магистральный усилитель) (133, К155)	ЛЕ6	128	70
Четыре триггера Шмитта (К155, КР531, 133, 530)	ТЛ3	132	71
Логический элемент 12И—НЕ с тремя состояниями на выходе (КР531)	ЛА19	134	72
Логический элемент Исключающее ИЛИ (К555, КМ555)	ЛП12	136	73
Двоичный дешифратор на восемь направлений (КР531, 530, К555, 533, 1531, КР1531, 1533)	ИД7	138	74
Два дешифратора-демультиплексора (530, КР531, 1531, КР1531)	ИД14	139	75
Два логических элемента 4И—НЕ (магистральный усилитель) (530, КР531)	ЛА16	140	76
Высоковольтный дешифратор управления газоразрядными индикаторами (К155, 133, КМ155)	ИД1	141	77

Функциональное назначение	Подгруппа, вид и порядковый номер разработки	Обозначение функционального аналога	Номер рисунка
Дешифратор на 10 выходов с открытым коллектором (133, К155, 533, К555, КМ555)	ИД10	145	78
Приоритетный шифратор 10—4 (К555, 533)	ИВ3	147	79
Приоритетный шифратор 8—3 (133, К155, К555, КМ555)	ИВ1	148	80
Селектор-мультиплексор данных на 16 каналов со стробированием (133, К155)	КП1	150	81
Селектор-мультиплексор на 8 каналов со стробироваинем (133, К155, КМ155, 533, 1531, КР1531, 1533, КР531, 530, К555)	КП7	151	82
Селектор-мультиплексор данных на 8 каналов без стробирования (133, К155, КМ155)	КП5	152	83
Сдвоенный цифровой селектор-мультиплексор 4—1 (133, К155, КМ155, 533, 1531, КР1531, 1533, 530, КР531, К555)	КП2	153	84
Дешифратор-демультиплексор 4—16 (133, 134, КР134, К155, 533, 1533)	ИД3	154	85
Сдвоенный дешифратор-мультиплексор 2—4 (133, К155, КМ155, К555, КМ555, 533, 1533)	ИД4	155	86
Сдвоенный дешифратор 2—4 с открытым коллекторным выходом (К555, 533)	ИД5	156	87
Селектор-мультиплексор 2—1 (КР531, К555, 533, КР1531)	КП16	157	88
Четыре мультиплексора 2—1 с инверсными выходами (КР531, КР1531)	КП18	158	89
Синхронный десятичный 4-разрядный счетчик (К155, 533, КМ555)	ИЕ9	160	90
Двоичный 4-разрядный счетчик (К555, 533, КМ555, КР531)	ИЕ10	161	91
Асинхронный 4-разрядный двоичный счетчик (КР531, К555)	ИЕ18	163	92
Восьмиразрядный последовательный сдвигающий регистр с параллельным выходом (134, КР134, КМ555, 533)	ИР8	164	93

Функциональное назначение	Подгруппа, вид и порядковый номер разработки	Обозначение функционального аналога	Номер рисунка
Восьмиразрядный регистр сдвига с параллельным вводом информации (К555, 533, КМ555)	ИР9	165	94
Восьмиразрядный регистр сдвига с возможностью синхронного параллельного ввода информации (К555, 533, КМ555)	ИР10	166	95
Синхронный 4-разрядный декадный реверсивный счетчик (530, КР531)	ИЕ16	168	96
Синхроннный 4-разрядный двоичный реверсивный счетчик (530, КР531)	ИЕ17	169	97
Четыре регистра на четыре разряда с открытым коллекторным выходом (К155, 533, КМ533)	ИР32	170	98
Шестнадцатиразрядное регистровое ЗУ с тремя состояниями на выходе (133, К155)	РП3	172	99
Четырехразрядный регистр с тремя состояниями иа выходе К155, КМ155, 533, К555, КМ555)	ИР15	173	100
Шесть D-триггеров (530, КР531, К555, КМ555, 533, 1531, КР1531)	ТМ9	174	101
Счетверенный D-триггер (К155, 533, 1531, КР1531, 530, КР531, К555, КМ555)	ТМ8	175	102
Восьмиразрядная схема контроля четности и нечетности (133, 134, КР134, К155, КМ155)	ИП2	180	103
Арифметическо-логическое устройство (133, 134, К155, 530, 533, 1531, 1533, К555)	ИП3	181	104
Схема быстрого переноса для арифметическо-логического узла (133, К155, КР531, КМ155, 530, КМ555, 533, 134, 1531, 1533)	ИП4	182	105
Сдвоенный полный сумматор с ускоренным переносом (134, КР134, 533, К555)	ИМ5	183	106
Преобразователь двоично-десятичного кода в двоичный (К155, КМ155)	ПР6	184	107
Преобразователь двоичного кода в двоично-десятичный (К155, КМ155)	ПР7	185	108

Функциональное назначение	Подгруппа, вид и порядковый номер разработки	Обозначение функционального аналога	Номер рисунка
ПЗУ на 1024 бита с использованием в качестве преобразователя двоичного кода в код русского, латинского алфавита, код арифметического и дополнительных знаков (К155)	РЕ21, РЕ22, РЕ23, РЕ24	187	109
ОЗУ на 64 бит (КР531)	РУ8	189	110
Параллельный реверсивный двоичный счетчик (К555, 533)	ИЕ13	191	111
Двоично-десятичный реверсивный счетчик (133, К155, КМ155, 533, К555)	ИЕ6	192	112
Четырехразрядный двоичный реверсивный счетчик (133, К155, КМ155, К555, 533)	ИЕ7	193	113
Четырехразрядный универсальный регистр сдвига (КР531, 530, КМ555, 533, КР1531, 1533)	ИР11	194	114
Четырехразрядный регистр сдвига с параллельным вводом информации (530, КР531)	ИР12	195	115
Асинхронный двоично-десятичный счетчик с предварительной установкой (133, КР531, К555, К155, 530, 533)	ИЕ14	196	116
Асинхронный двоичный счетчик с предварительной установкой (530, 533, КР531, К555)	ИЕ15	197	117
Реверсивный 8-разрядный регистр сдвига (133, К155)	ИР13	198	118
Статическое ОЗУ емкостью свыше 65К бит (134)	РУ6, РУ6А, РУ6Б	214	119
Сдвоенный моностабильный мультивибратор с триггером Шмитта на выходе (533, К555, КМ555)	АГ4	221	120
Двухканальный 8-разрядный формирователь с тремя состояниями на выходе и инверсией сигнала (530, КР531, К555, 533, 1531, КР1531)	АП3	240	121
Двухканальный 8-разрядный формирователь с тремя состояниями на выходе (530, КР531, К555, 533, 1531, КР1531)	АП4	241	122

Функциональное назначение	Подгруппа, вид и порядковый номер разработки	Обозначение функционального аналога	Номер рисунка
Четырехшинный приемопередатчик с инверсными выходами (К555)	ИП6	242	123
Четырехразрядный приемопередатчик (К555, 533, КМ555)	ИП7	243	124
Восьмиканальный однонаправленный формирователь с симметричным управлением (К555, 533, 1531)	АП5	244	125
Восьмиканальный двунаправленный формирователь (К555, 533)	АП6	245	126
Дешифратор двоично-десятичного кода в семисегментный (К555, 533, КМ555)	ИД18	247	127
Восьмивходовый селектор-мультиплексор с тремя состояниями на выходе (КР531. К555, 533, 1531, 1533, КМ555, 530)	КП15	251	128
Двухразрядный 4-канальный коммутатор с тремя состояниями на выходе (К555, КР531. 533, 1531, 1533)	КП12	253	129
Четырехразрядный селектор 2—1 с тремя состояниями (530, 533, КР531, К555, 1533)	КП11	257	130
Четырехразрядный селектор 2—1 с тремя состояниями и инверсией сигналов на выходе (530, КР531, 533, К555, 1533)	КП14	258	131
Восьмиразрядный регистр хранения с адресацией (К555, 533)	ИР30	259	132
Два элемента 5ИЛИ—НЕ (КР531)	ЛЕ7	260	133
Параллельный двоичный умножитель 2×4 разряда (К555, 533)	ИП8	261	134
Восьмиразрядный регистр с установкой в ноль (К555, 533)	ИР35	273	135
Четыре RS-триггера-защелки (К555, КМ555, 533, 1533)	ТР2	279	136
Девятиразрядная схема контроля четности и нечетности (530, 533, 1533, КР531, К555)	ИП5	280	137
Четырехразрядный двоичный сумматор с ускоренным переносом (К555, 533, КР1531, КМ555)	ИМ6	283	138
ОЗУ на 64 бит с открытым коллекторным выходом (КР531)	РУ9	289	139

Функциональное назначение	Подгруппа, вид и порядковый номер разработки	Обозначение функционального аналога	Номер рисунка
Универсальный 4-разрядный сдвиговый регистр (К555, 533)	ИР16	295	140
Четыре 2-входовых мультиплексора с запоминанием (К555, 533, 1533)	КП13	298	141
Восьмиразрядный универсальный регистр сдвига (530, КР531)	ИР24	299	142
Восьмиразрядный последовательно-параллельный регистр сдвига (533)	ИР28	322	143
Приоритетный шифратор с восемью входами, тремя выходами и тремя состояниями на выходе (533ИВ2)	ИВ2	348	144
Сдвоенный инверсный мультиплексор 4—1 с тремя состояниями на выходе (К555, 533, КМ555)	КП17	353	145
Шесть формирователей на три состояния с элементом управления по входу (К155)	ЛП10	365	146
Шесть инверторов с тремя состояниями на выходе (К155)	ЛН6	366	147
Шесть формирователей на три состояния с раздельным управлением по входу (К155)	ЛП11	367	148
Восьмиразрядный регистр на триггерах-защелках с тремя состояниями на выходе (КР531, 533, К555, 530, КМ555)	ИР22	373	149
Восьмиразрядный регистр на триггерах-защелках с тремя состояниями на выходе (530, 533, К555, КМ555, КР531)	ИР23	374	150
Восьмиразрядный регистр с регулированием записи информации (К555, 533)	ИР27	377	151
Арифметическо-логическое устройство (КР531)	ИК2	381	152
Восьмиразрядный последовательно-параллельный двоичный умножитель (533)	ИП9	384	153
Четырехразрядный сумматор-вычислитель (К555, 533)	ИМ7	385	154
Два 4-разрядных двоичных счетчика (К555, 533, КМ555)	ИЕ19	393	155

Функциональное назначение	Подгруппа, вид и порядковый номер разработки	Обозначение функционального аналога	Номер рисунка
Четырехразрядный параллельный регистр сдвига (533)	ИР25	395	156
Схема контроллера (КР531)	ВГ1	482	157
Восьмиразрядный буферный регистр (1533ИР33)	ИР33	573	158
Шестнадцатиразрядная схема контроля по коду «Хемминга» (533, К555)	ВЖ1	630	159
Регистровый файл 4×4 с тремя состояниями на выходе (К555, 533, КМ555)	ИР26	670	160
Шесть элементов 2ИЛИ—НЕ (1530)	ЛЕ8	805	161
Шесть элементов 2И (1530)	ЛИ7	808	162
Шесть элементов 2ИЛИ (1530)	ЛЛ3	832	163
Два 4-разрядных буферных регистра с тремя устойчивыми состояниями на выходе (1533)	ИР34	873	164
Два логических элемента 2И—НЕ с общим входом и двумя мощными транзисторами (133, К155)	ЛП7	75450	165
Два логических элемента 2И—НЕ с мощным открытым коллекторным выходом (К155)	ЛА18	75452	166
Два логических элемента 2ИЛИ с мощным открытым коллекторным выходом (К155)	ЛЛ2	75453	167
Быстрый умножитель 2×4 (КР531)	ИК1	АМ25505	168
Шестиразрядный параллельный регистр с D-триггером (КР531)	ИР18	АМ25507	169
Четырехразрядный параллельный регистр с D-триггером (КР531)	ИР19	АМ25508	170
Четырехразрядный двухвходовый регистр (КР531)	ИР20	АМ25509	171
Двенадцатиразрядная схема контроля четности и нечетности (КР531)	ИП10	АМ93S48RC	172
Двенадцатиразрядный регистр последовательного приближения (133, К155)	ИР17	АТ2504	173
ОЗУ на 1024 бит (133, К155)	РУ7	93425	174
Программируемое ПЗУ на 1024 бит (530)	РТ1, РТ1А	МС 9001	175
Двунаправленный усилитель-формирователь (530, КР531)	АП2	—	176

Функциональное назначение	Подгруппа, вид и порядковый номер разработки	Обозначение функционального аналога	Номер рисунка
Элемент сопряжения МОП ЗУ ТТЛ (четыре логических элемента 2И—НЕ) (133)	ЛА15	—	177
Два логических элемента 4И—НЕ с тремя состояниями на выходе (530, КР531)	ЛА17	—	178
Четыре элемента 2И—НЕ/2ИЛИ—НЕ (134)	ЛБ1	—	179
Два логических элемента 4И—НЕ/4ИЛИ—НЕ и логический элемент НЕ (134)	ЛБ2	—	180
Восьмивходовый расширитель по ИЛИ (133, К155, КМ155)	ЛД3	—	181
Два логических элемента 2И с мощным открытым коллекторным выходом (133, К155)	ЛИ5	—	182
Мажоритарный элемент (134, КР134, 533, 1533)	ЛП3	—	183
Логический элемент 2—2—3—4И—4ИЛИ—НЕ (134)	ЛР2	—	184
Три схемы переключателя (134)	КП8	—	185
Сдвоенный коммутатор четырех каналов на один (134)	КП9	—	186
Коммутатор на 8 каналов (134)	КП10	—	187
Дешифратор для управления матрицей 7×5 на дискретных светоизлучающих диодах (К155, КМ155)	ИД8А, ИД8Б	—	188
Дешифратор 3—8 для управления шкалой с заполнением (КМ155, К155)	ИД11	—	189
Дешифратор 3—8 для управления шкалой со сдвигом одной точки (КМ155, К155)	ИД12	—	190
Дешифратор 3—8 для управления шкалой со сдвигом двух точек (КМ155, К155)	ИД13	—	191
Дешифратор для управления линейной светоизлучающей шкалой красного цвета (133, К155)	ИД15	—	192а
Дешифратор для управления линейной светоизлучающей шкалой зеленого или желтого цвета (133)	ИД16	—	192б
Декадный счетчик с фазово-импульсным представлением информации (К155)	ИЕ1	—	193

Функциональное назначение	Подгруппа, вид и порядковый номер разработки	Обозначение функционального аналога	Номер рисунка
Четырехразрядный полусумматор (134)	ИМ4	—	194
ПЗУ на 256 бит со схемами управления (К155)	РЕ3	—	195
ПЗУ на 16К бит (К155, К555)	РЕ4	—	196
Четыре накопительных элемента (134)	РМ1	—	197
ОЗУ на 256 бит со схемами разрядного и адресного управления (133, К155)	РУ5	—	198
JК-триггер (134)	ТВ13	—	199
Многофункциональный логический элемент для ЭВМ (К155, КР531)	ХЛ1	—	200
Многоцелевой элемент цифровой структуры (МЭЦС-2) (134, КР134)	ХЛ2	—	201
Многоцелевой элемент цифровой структуры (МЭЦС) (134)	ХЛ3	—	202
Четырехразрядный приемопередатчик (533)	ИП12	—	203
Четырехразрядный приемопередатчик с инверсными выходами (533)	ИП13	—	204
Двадцатичетырехразрядный последовательный регистр сдвига (1533)	ИР31	—	205
Дешифратор состояний (1533)	ИД17	—	206

Примечания:

1. Ниже приведено соответствие серий микросхем, указанных в табл. 2.6, их функциональным аналогам: 133/К155, КМ155—SN54/SN74; 134/КР134—SN54L/SN74L; 530/КР531—SN54S/SN74S; 533/К555, КМ555—SN54LS/SN74LS;, 1530—SN54AS; 1533/КР1533—SN54ALS/SN74ALS; 1531/КР1531—54F/74F. Микросхемы серий КМ155 и КМ555 выполнены в керамических корпусах, серий К155 и К555 — в пластмассовых.

2. Все микросхемы серии К531, выпущенные до 1983 г., имели в конце условного обозначения букву П (признак пластмассового корпуса, например, К531ЛА19П). В соответствии с новой системой условных обозначений во вновь разрабатываемых сериях микросхем,

выполненных в пластмассовом корпусе, перед цифровым обозначением серии добавляется буква Р (например, КР565). Соответственно изменено обозначение серии К531П на КР531.

3. На рисунках, приведенных в табл. 2 6, а также в табл. 2 9 и 2 13, где не указаны номера выводов $U_{ип}$ и «общий», следует руководствоваться следующим положением: для микросхем в 14-выводном корпусе выводы 7—OV (общий), 14—U($U_{ип}$); для микросхем в 16-выводном корпусе выводы 8—OV, 16—U; для микросхем в 20-выводном корпусе выводы 10—OV, 20—U; для микросхем в 24-выводном корпусе выводы 12—OV, 24—U; для микросхем в 8-выводном корпусе выводы 4—OV, 8—U, например К155ЛА18. Полное условное обозначение микросхемы образуется из номера серии и обозначения, указанного в графе «Подгруппа, вид, ...», например К155ЛА1. Полное условное обозначение функционального аналога образуется из обозначения соответствующей серии SN54 и номера 20, приведенного в графе «Обозначение функционального аналога», например микросхема типа SN5420.

4. Указанные на рисунках обозначения основных функций микросхем и основных меток выводов, соответствующих ГОСТ 2.743—82 «Обозначения условные графические в схемах. Элементы цифровой техники», а также меток, отсутствующих в ГОСТ 2.743-82 и составленных на основании его рекомендаций, приведены в приложении.

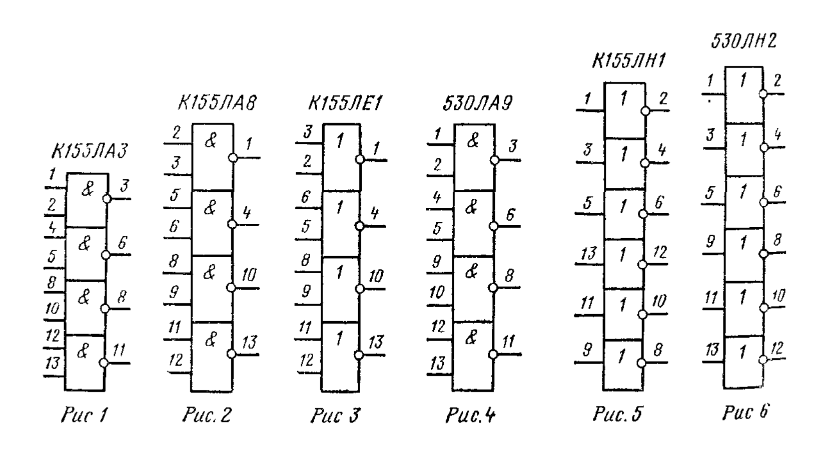


Рис 1 Рис. 2 Рис 3 Рис. 4 Рис. 5 Рис 6

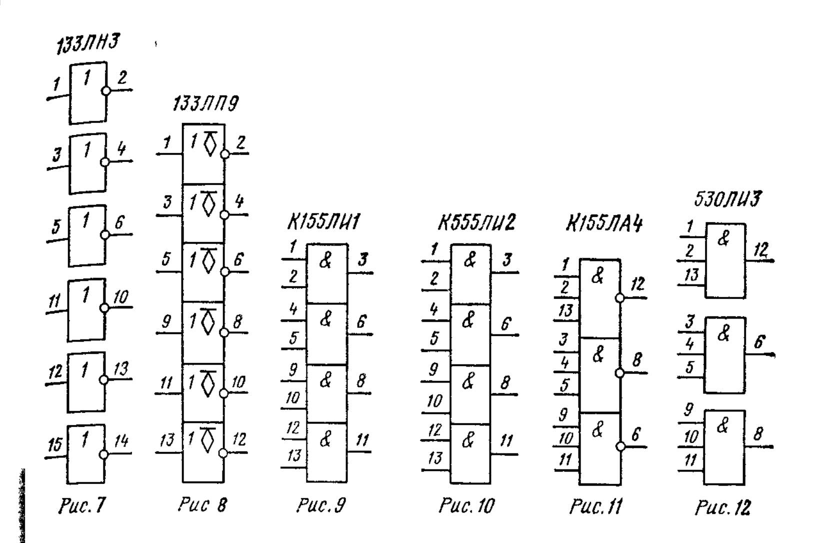


Рис.7 Рис 8 Рис.9 Рис.10 Рис.11 Рис.12

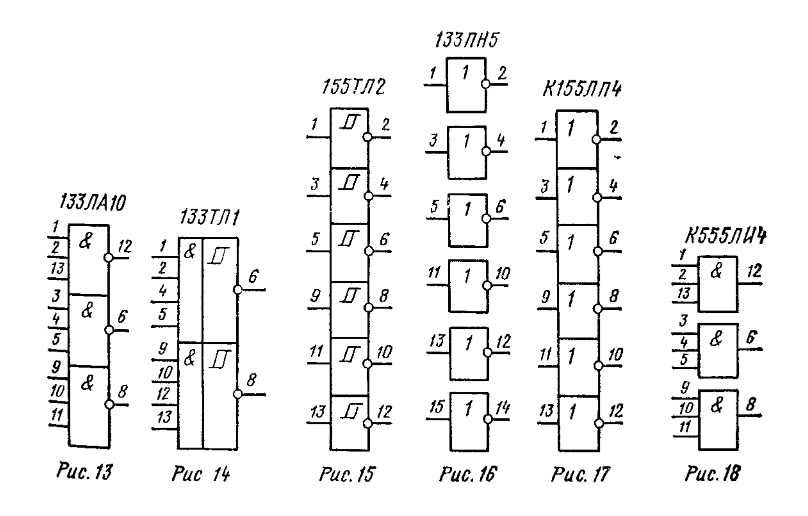


Рис.13 Рис 14 Рис.15 Рис.16 Рис.17 Рис.18

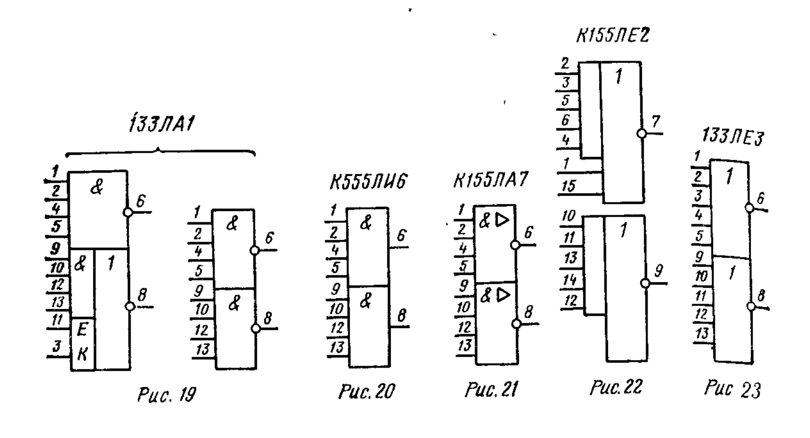


Рис. 19 Рис. 20 Рис. 21 Рис. 22 Рис. 23

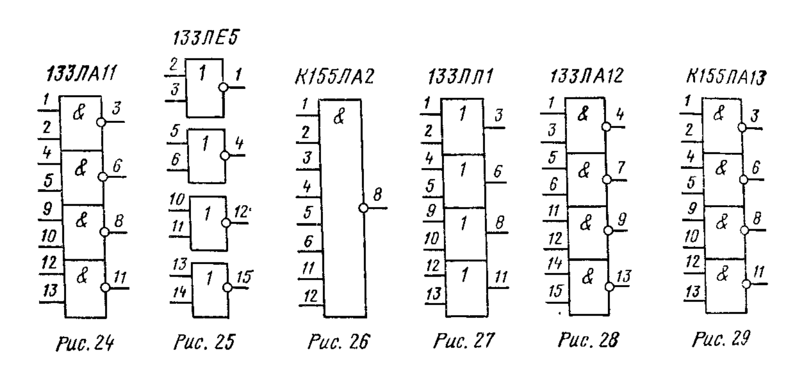


Рис. 24 Рис. 25 Рис. 26 Рис. 27 Рис. 28 Рис. 29

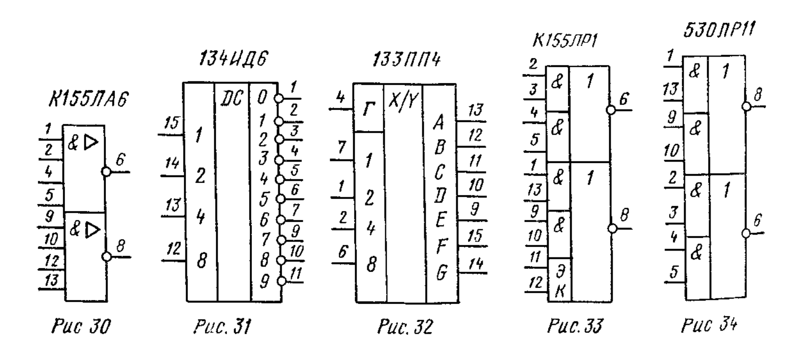


Рис 30 Рис. 31 Рис. 32 Рис. 33 Рис 34

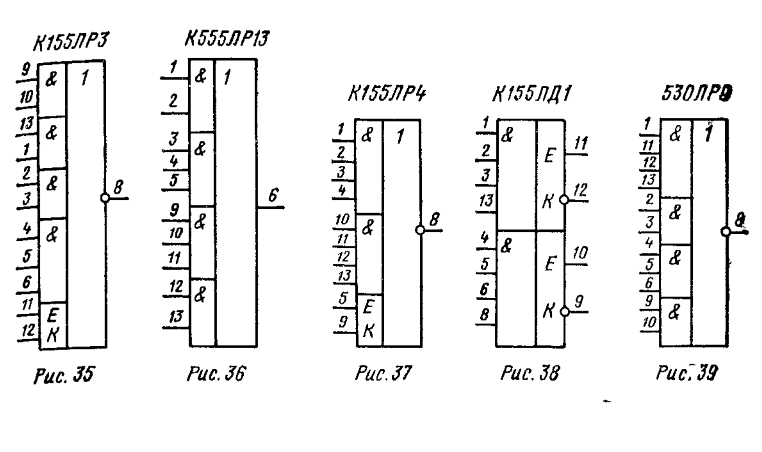


Рис. 35 Рис. 36 Рис. 37 Рис. 38 Рис. 39

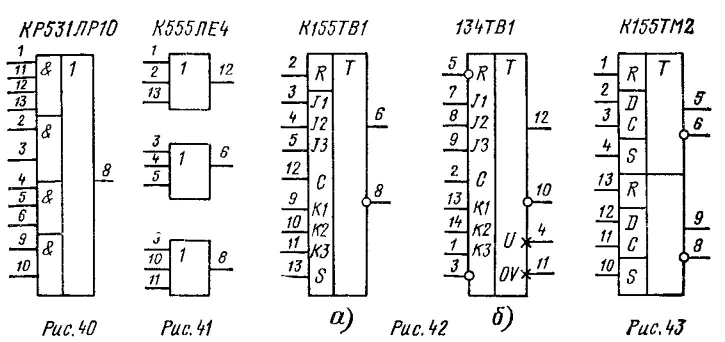


Рис. 40 Рис. 41 а) Рис. 42 б) Рис. 43

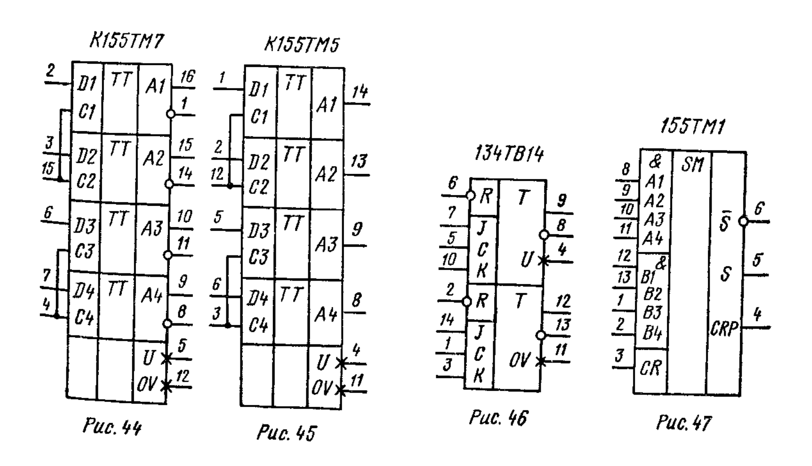


Рис. 44 Рис. 45 Рис. 46 Рис. 47

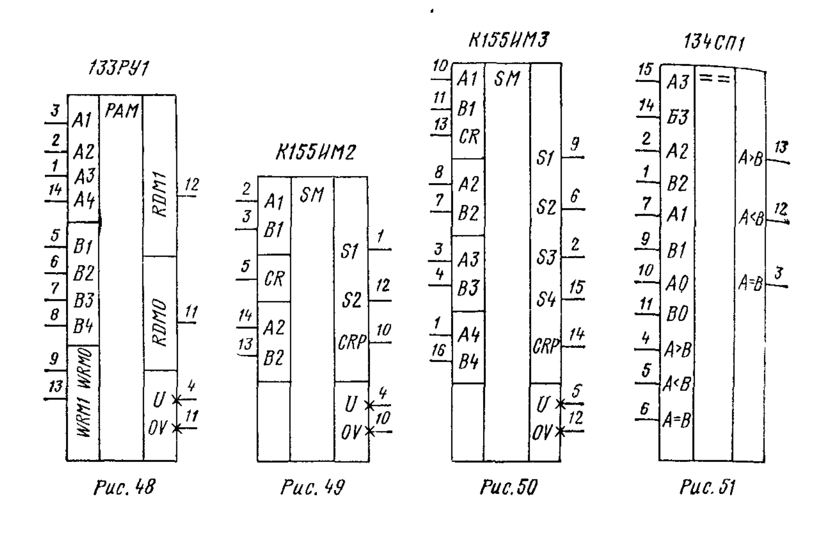


Рис. 48

Рис. 49

Рис. 50

Рис. 51

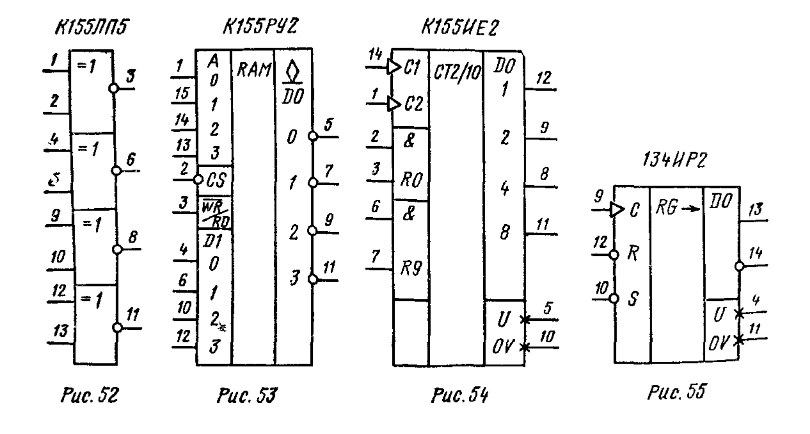


Рис. 52

Рис. 53

Рис. 54

Рис. 55

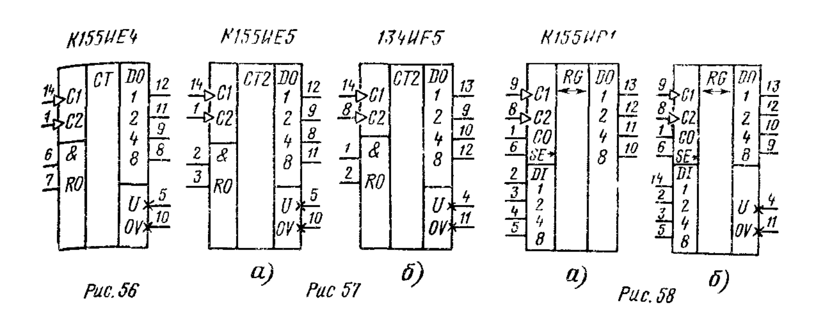


Рис. 56 а) Рис 57 б) а) Рис. 58 б)

133ТВ15

К155ИЕ8

134ИР5

К555ТВ6

Рис 59 Рис. 60 Рис. 61 Рис. 62

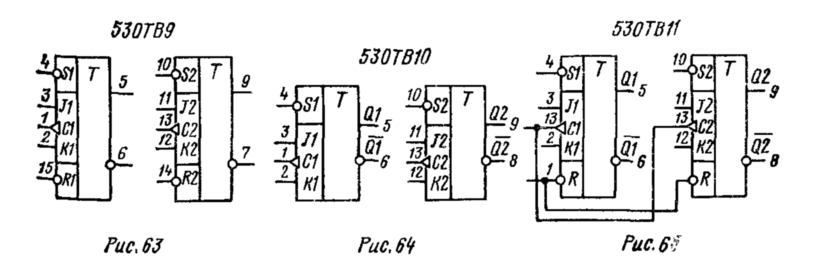


Рис. 63 Рис. 64 Рис. 65

133АГ1

Рис 66

К155АГ3

Рис 67

КР531ГГ1

Рис 68

133ЛП8

Рис 69

133ЛЕ6

Рис 70

К155ТЛ3

Рис 71

К531ЛА19П

Рис. 72

К555ЛП12

Рис 73

КР531ИД7

Рис 74

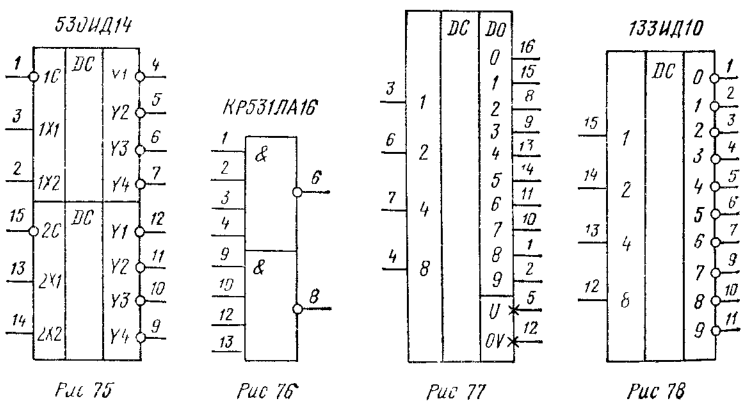


Рис 75

Рис 76

Рис 77

Рис 78

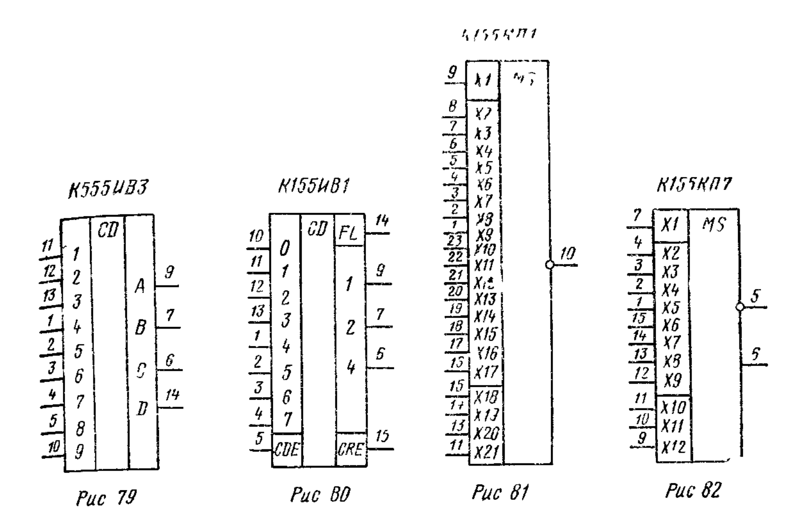


Рис 79

Рис 80

Рис 81

Рис 82

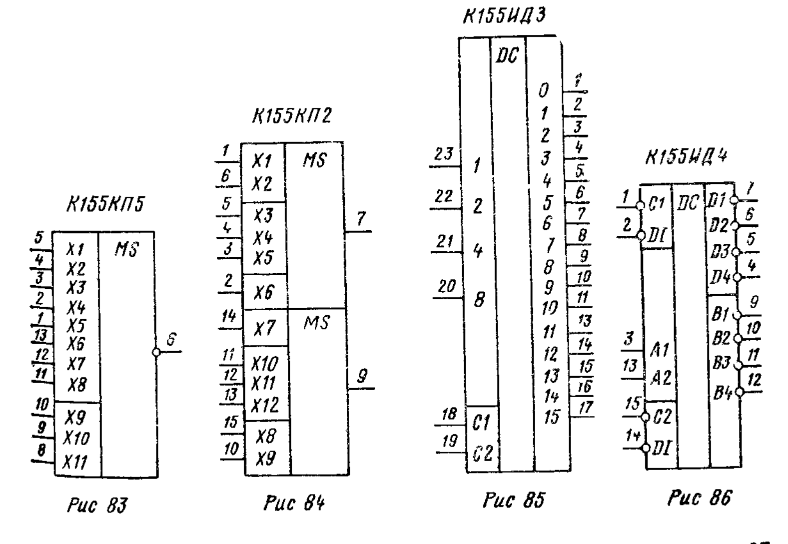


Рис 83

Рис 84

Рис 85

Рис 86

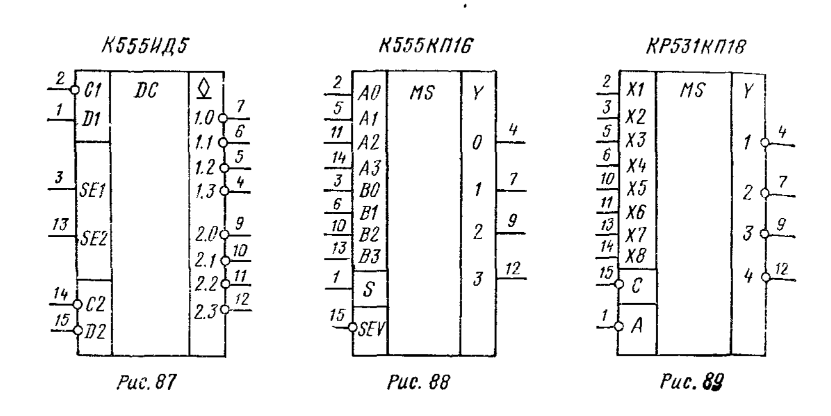


Рис. 87

Рис. 88

Рис. 89

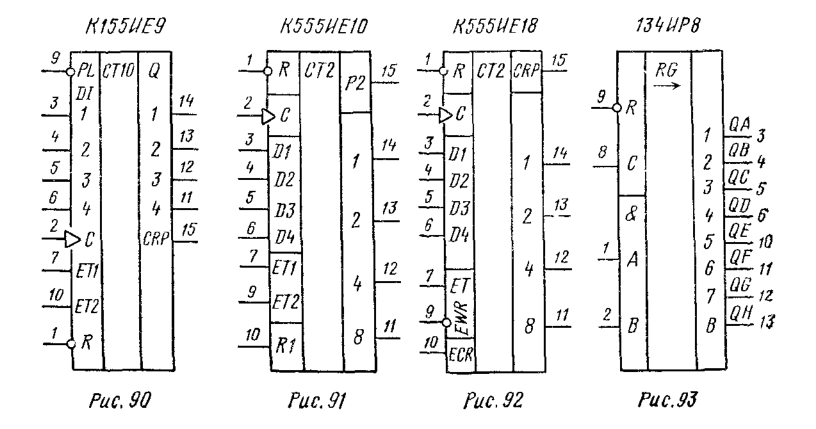


Рис. 90

Рис. 91

Рис. 92

Рис. 93

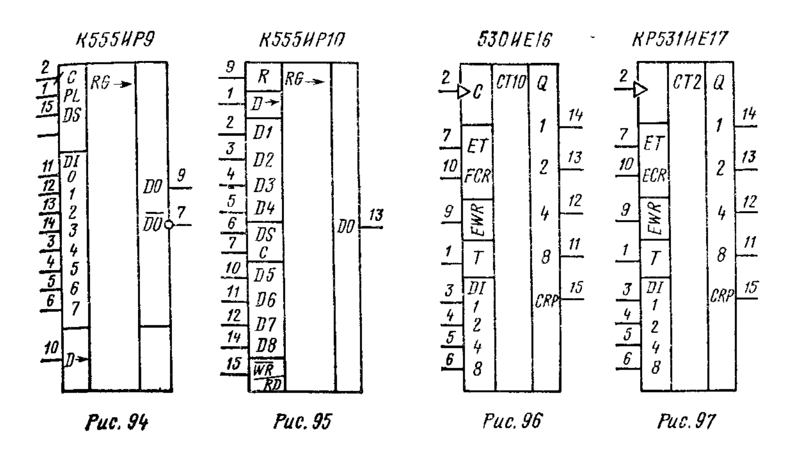


Рис. 94 Рис. 95 Рис. 96 Рис. 97

К555ИР32

Рис. 98

К155РП3

Рис. 99

К155ИР15

Рис. 100

530ТМ9

Рис. 101

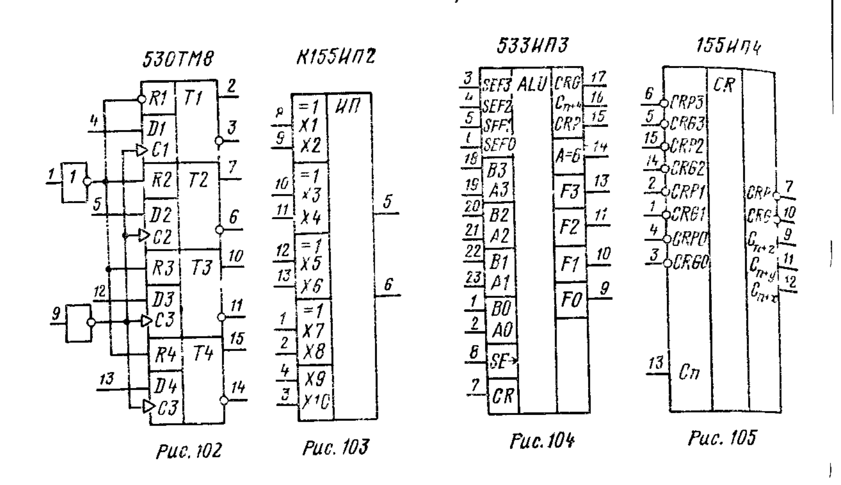


Рис. 102 Рис. 103 Рис. 104 Рис. 105

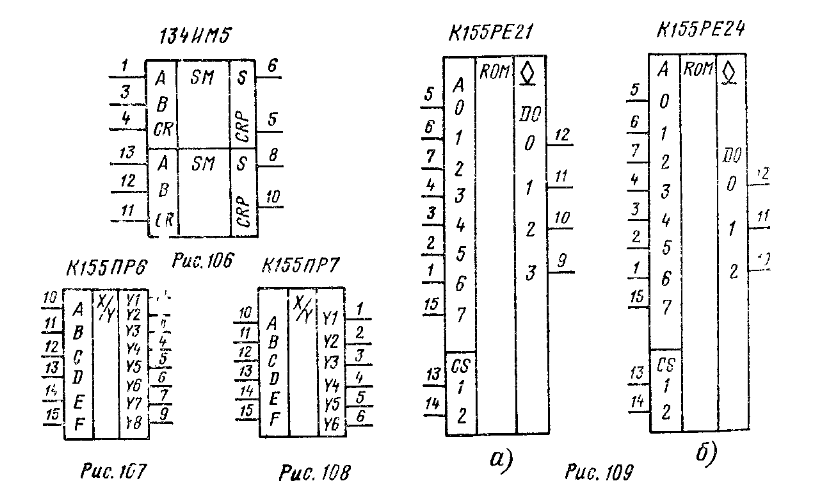


Рис. 106

Рис. 107 Рис. 108 а) Рис. 109 б)

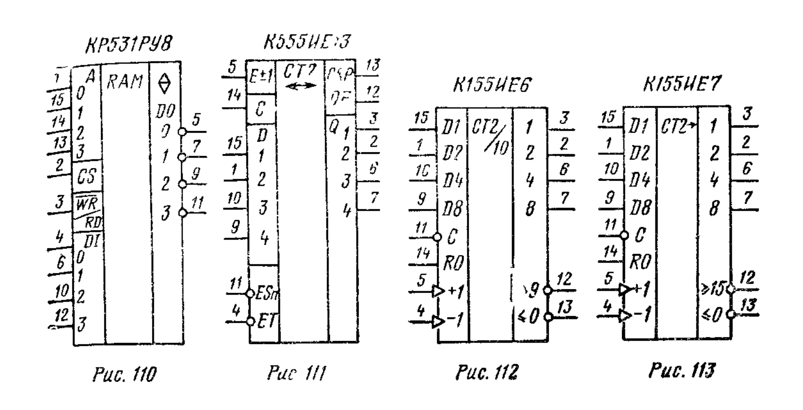


Рис. 110 Рис. 111 Рис. 112 Рис. 113

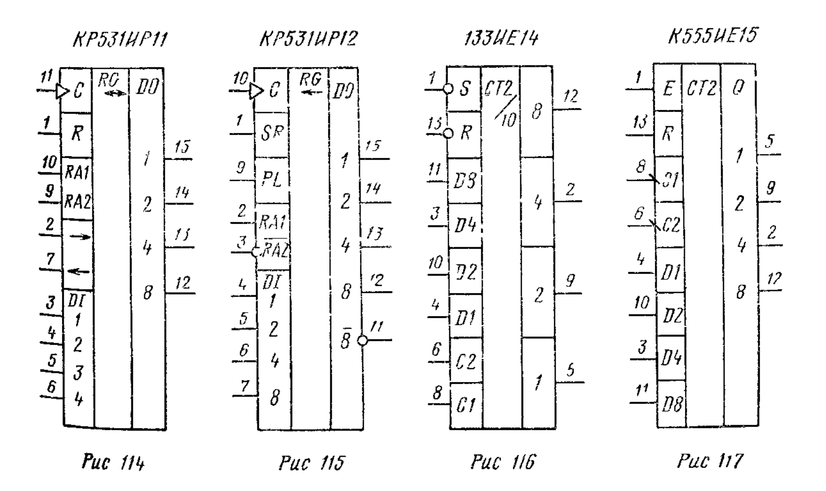


Рис 114 Рис 115 Рис 116 Рис 117

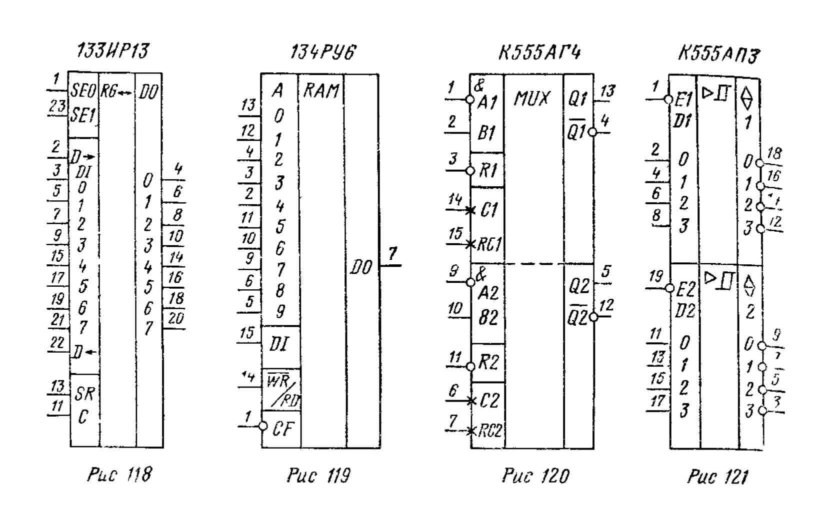


Рис 118 Рис 119 Рис 120 Рис 121

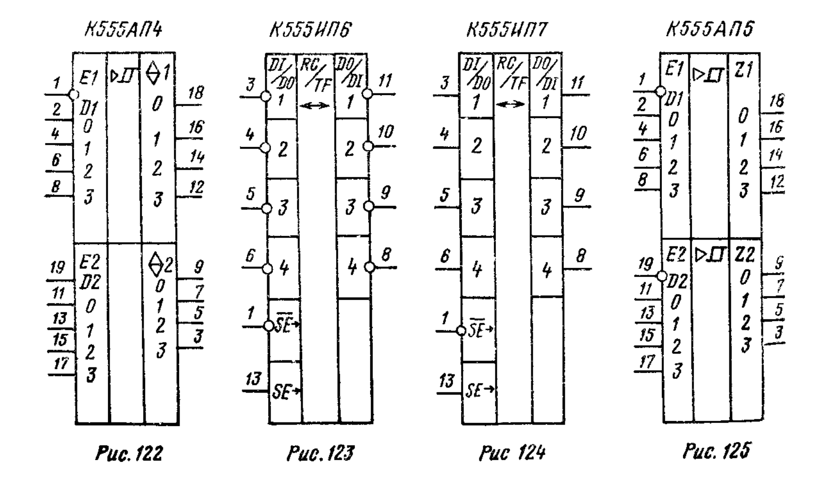


Рис. 122 **Рис. 123** **Рис 124** **Рис. 125**

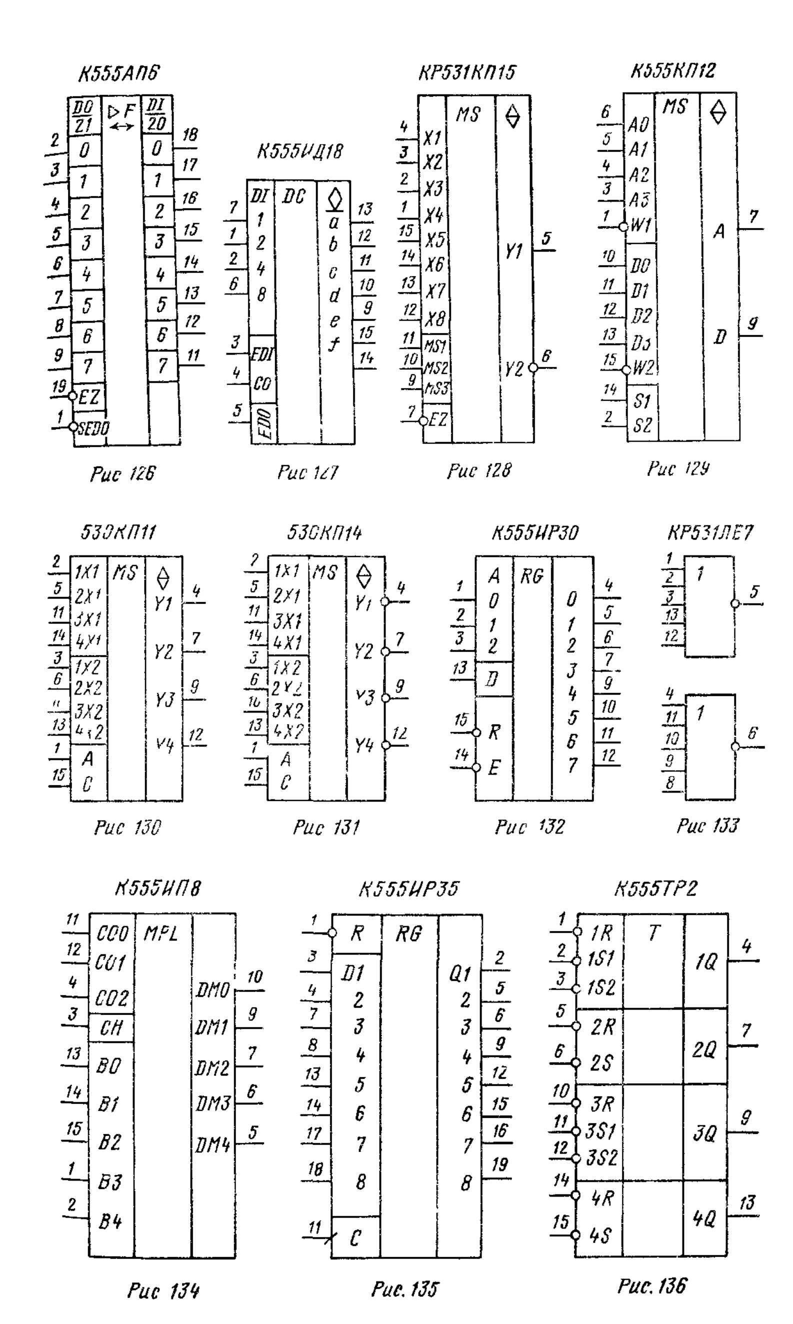


Рис 126

Рис 127

Рис 128

Рис 129

Рис 130

Рис 131

Рис 132

Рис 133

Рис 134

Рис. 135

Рис. 136

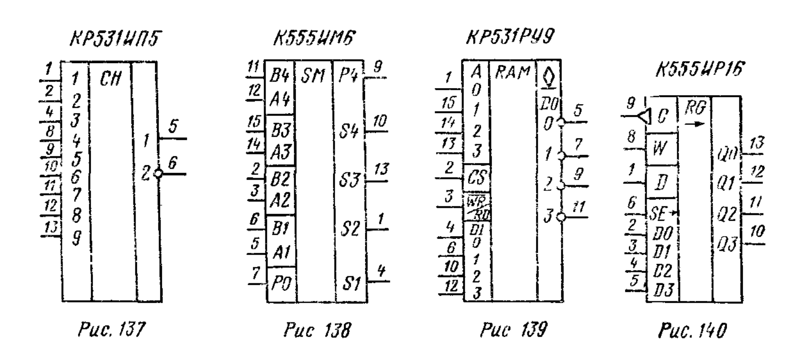


Рис. 137 Рис. 138 Рис. 139 Рис. 140

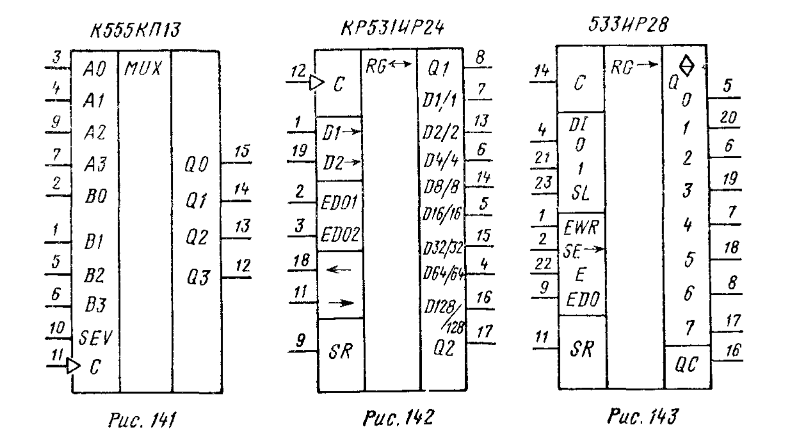


Рис. 141 Рис. 142 Рис. 143

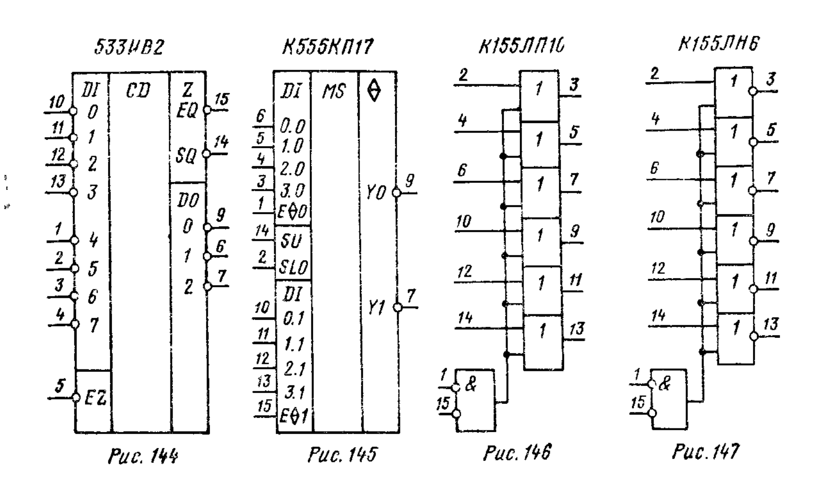


Рис. 144 Рис. 145 Рис. 146 Рис. 147

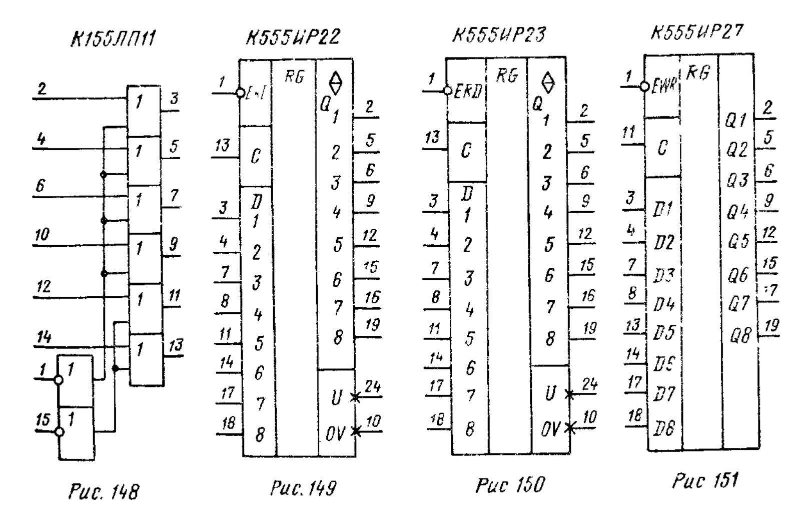


Рис. 148 Рис. 149 Рис 150 Рис 151

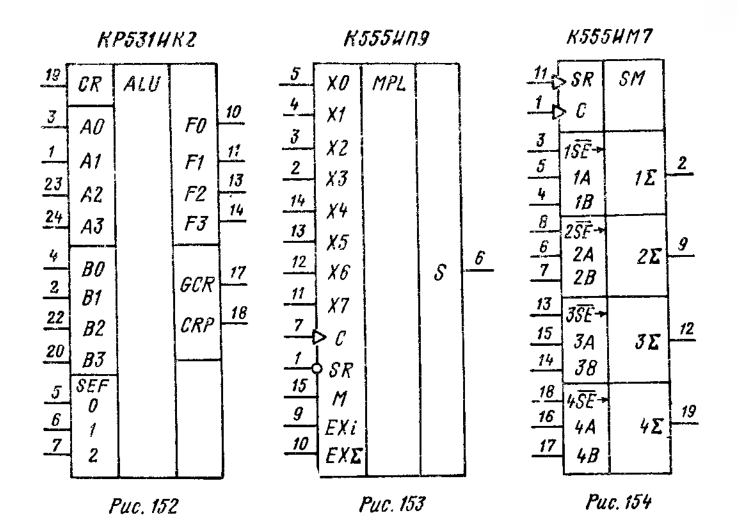


Рис. 152 Рис. 153 Рис. 154

КМ555ИЕ19
T CT2 Q 1 2 3 4
SR
T CT2 Q 1 2 3 4
SR

533ИР25
C RG Q A B C D
D
CH
A B C D
SR
QC

КР531ВГ1
DI 0 1 2 3 CH DO 0 1 2 3
CO1 CO2 CO3 CO4 CO5 CO6
CR SR C
CRP

1533ИР33
DI 0 1 2 3 4 5 6 7 RG Z 0 1 2 3 4 5 6 7
EDI SR EZ

Рис. 155 Рис. 156 Рис. 157 Рис. 158

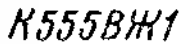


Рис. 159

533ИР26

Рис 160

1530ЛЕ8

Рис 161

1530ЛИ7

Рис 162

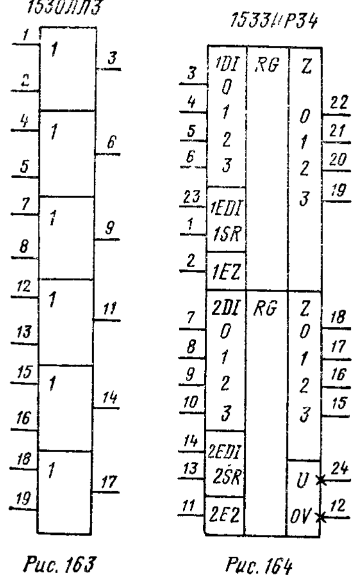


Рис. 163

Рис. 164

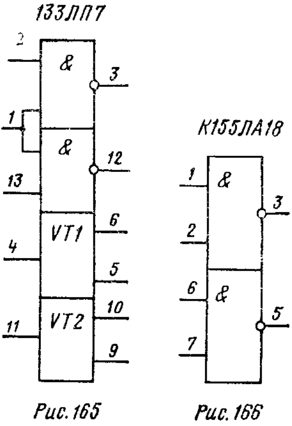


Рис. 165

Рис. 166

К155ЛЛ2

Рис 167

КР531ИК1

Рис 168

КР531ИР18

Рис 169

КР531ИР19

Рис 170

КР531ИР20

Рис. 171

КР531ИП10

Рис 172

К155ИР17

Рис. 173

К155РУ7

Рис. 174

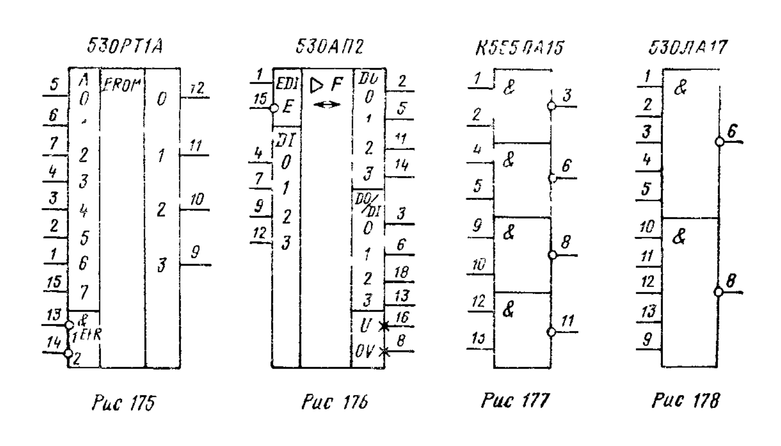


Рис 175 Рис 176 Рис 177 Рис 178

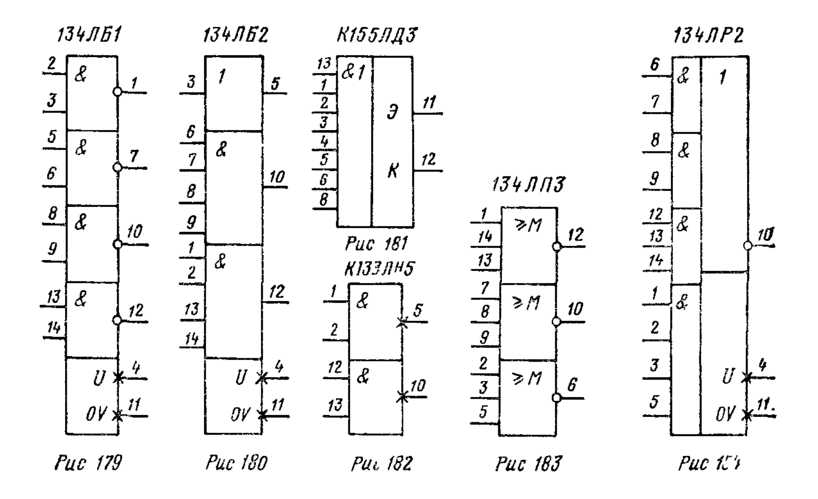


Рис 181

Рис 179 Рис 180 Рис 182 Рис 183 Рис 184

134КП8

Рис 185

134КП9

Рис 186

134КП10

Рис 187

КМ155ИД8

Рис. 188

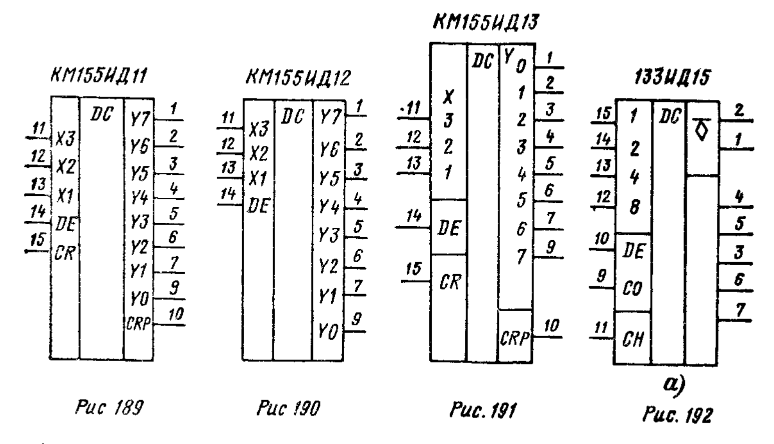


Рис 189

Рис 190

Рис. 191

Рис. 192

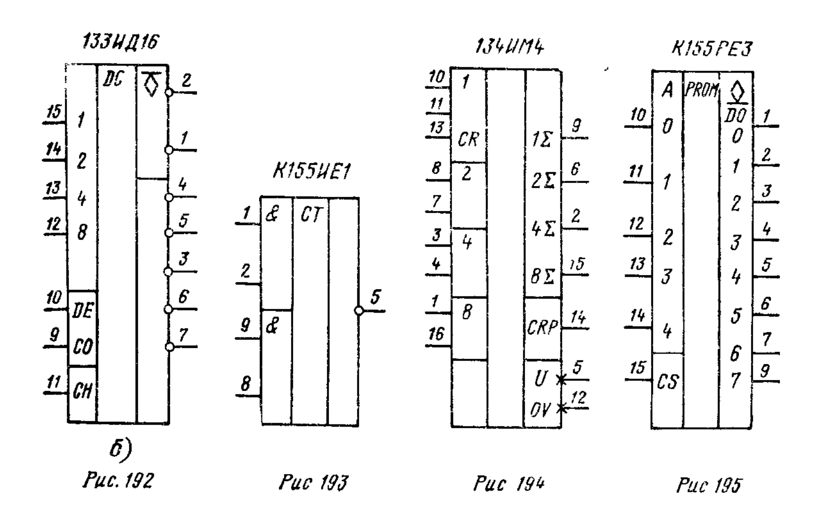


Рис. 192 Рис 193 Рис 194 Рис 195

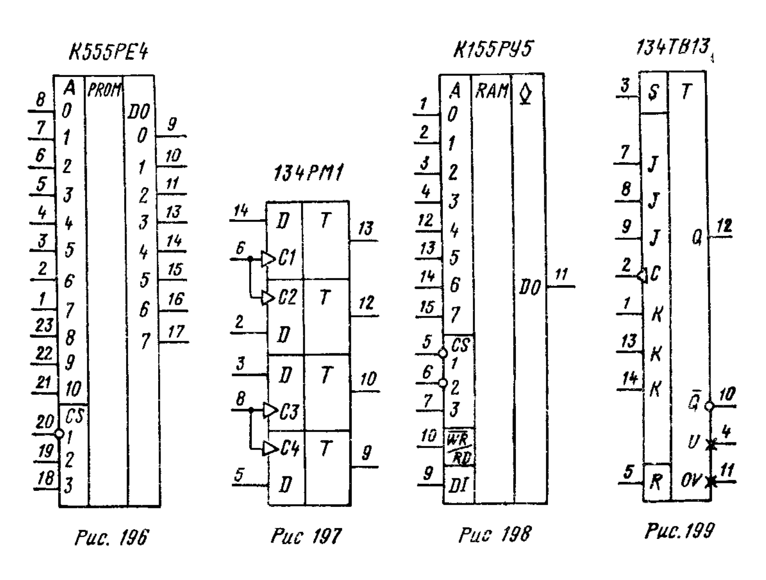


Рис. 196 Рис 197 Рис 198 Рис. 199

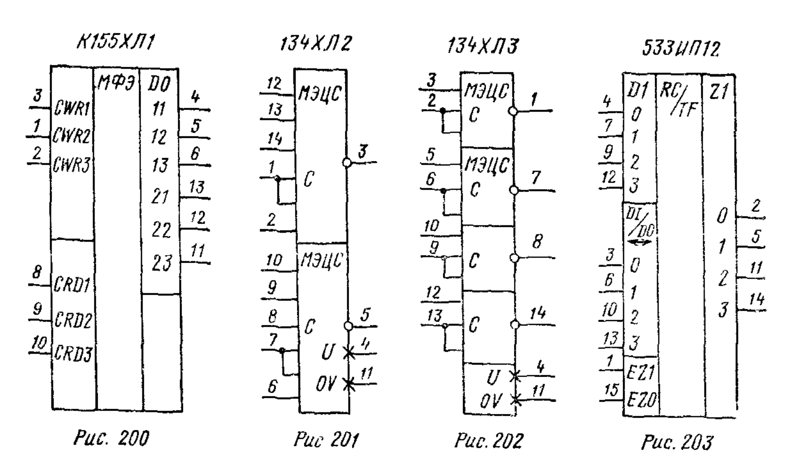


Рис. 200

Рис 201

Рис. 202

Рис. 203

1533ИР31

RG

Y

C

X

Рис. 205

533ИП13

DI

Z1

DI/DO

EZ1

EZ0

Рис. 204

1533ИД17

DC

00 01 02 03 04 05 06 07 C1 SR CO1 CO2 CO3 C2 SYN COH C3

001 $\overline{001}$ 002 $\overline{002}$ MUXO CT01 CT02 SYNO

Рис. 206

Таблица 2.7

Серия микросхем	Условное обозначение корпуса
133	401.14-4; 401.14-5; 402.16-32; 402.16-6; 402.16-16; 405.24-1; 405.24-2; 402.16-33; 402.16-25; 402.16-18; 4118.24-1
К155	201.14-1; 201 14-2; 238.16-1; 238.16-2; 239.24-1; 239.24-2; 2101.8-1
КМ155	201.14-8; 201.14-9; 201.16-5; 201.16-6
130	401.14-4
530	401.14-5; 402.16-25; 405.24-2; 4118.24-3; 4152Ю.20-1; 4112.16-3
КР531	201.14-1; 201.16-12; 201.16-16; 238.16-2; 238 24-7; 239.24-7; 201.14-13; 2140Ю.20-1
К555	201.14-1; 201.14-2; 2102.14-1; 238.16-1; 238.16-2; 2140Ю.20-1; 2121.28-1
КМ555	2140Ю.20-2; 2103.16-3; 201.16-5; 201.16-6; 201.14-8; 2103.16-4; 2102.14-2
134	401.14-3; 401.14-4; 402.16-6; 402.16-11; 4112.16 2; 405.24 2
КР134	201.14-1; 201.14-2; 238.16-2; 239.24-2

Большое внимание при монтаже аппаратуры следует обращать на обеспечение помехоустойчивости микросхем. Как было указано выше (см. табл. 2.4), допустимый уровень статической помехи для большинства ТТЛ-вентилей составляет 0,4В (в полном диапазоне рабочих температур). Однако в линиях связи и логических цепях, составленных из ряда работающих друг на друга микросхем, могут возникать импульсные помехи Допустимая импульсная помеха зависит от ее длительности. Из графика зависимости $U_{пом}(\tau_{ипом})$ для микросхемы типа 155ЛА3 (рис. 2 13) видно, что при длительности импульса 15 нс допустимое значение импульсной положительной помехи может достигать 2 В Импульсная помехоустойчивость практически зависит не от напряжения питания, а от числа нагрузок $К_{раз}$ и коэффициента объединения по ИЛИ $К_{об}$. Худшим является случай, когда в логической цепи чередуется элемент с $К_{раз}=10$, $К_{об}=1$ и элемент с $К_{раз}=$

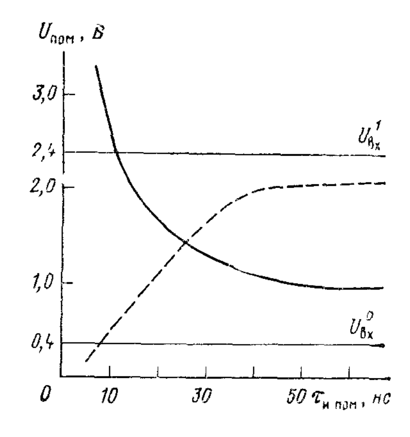


Рис. 2 13 Зависимость допустимой динамической помехи от ее длительности:

—— положительная помеха при Т=125 °С; — — — отрицательная помеха при Т=—60 °С

$=1$ и $K_{об}=8$. Такие цепи наиболее чувствительны к импульсным помехам.

Чтобы исключить низкочастотные помехи при монтаже микросхем на печатных платах, необходимо предусмотреть вблизи разъема установку развязывающих конденсаторов из расчета не менее 0,1 мкФ на одну микросхему. Для исключения высокочастотных помех развязывающие емкости (не менее 0,002 мкФ на одну микросхему) рекомендуется размещать по площади печатной платы из расчета один конденсатор на группу не более чем из 10 микросхем.

Для увеличения помехоустойчивости узлов и блоков, выполненных на микросхемах с достаточно высоким быстродействием, к которым можно отнести практически все серии микросхем ТТЛ, следует обращать внимание на разводку питающего напряжения. При использовании многослойных печатных плат разводку шин «питание» рекомендуется производить в одном слое, а шин «общая» — в другом, соседнем, и шины располагать одна под другой. При наличии в слое свободной площади ее используют для увеличения поверхности общей шины.

Рассмотрим на примере серии К155 рекомендуемые правила выполнения электрических линий связи между корпусами микросхем на печатной плате. Электрические линии связи предназначены для передачи сигналов информации, синхронизации, индикации, коммутации и, как упоминалось выше, для использования в качестве шины питания и общей шины. Информационные линии связи в пределах платы выполняются как дорожки печатного монтажа. При этом необходимо, чтобы проводники, расположенные на различных сторонах платы в соседних слоях, перекрещивались под углом 45 или 90°. Максимально допустимая длина параллельных проводников, расположенных на одной стороне платы или в одном слое (при ширине печатных проводников 0,5...1,5 мм), не должна превышать значений, указанных в табл. 2.8. При этом следует иметь в виду, что длина печатных проводников, не выходящих за пределы печатной платы, может быть увеличена на 40 % относительно значений, указанных в табл. 2.8. Информационные линии связи между платами могут быть осуществлены с помощью специальной монтажной панели (кросс-поля), выполненной в виде печатной платы.

Длина линий связи на монтажной панели определяется как сумма значений длины, полученной с помощью табл. 2.8, и длины связи на монтажной панели. Если длина информационных линий связи превышает 20 см, их рекомендуется выполнять с помощью объемного монтажа. При длине линий связи до 20 см для асинхронных устройств

Таблица 2.8

Число параллельных проводников	Длина проводников, мм при интервалах между проводниками, мм				
	0,5	1,0	1,5	3,0	5,0
2	100	120	130	150	170
3	60	70	75	90	100
4	50	60	65	70	80
5	40	50	60	65	70

и до 30 см для синхронных их выполняют одиночным проводом. К выходу одного передающего элемента допускается подключать до пяти радиальных линий l_i общей длины не более 50 см. На панелях длиной от 0,2 до 1 м линии связи должны выполняться несогласованными витыми парами проводов. К выходу одного передающего элемента допускается подключение не более трех витых пар общей длиной не более 2 м. Следует иметь в виду, что при организации связи с помощью несогласованных витых пар время задержки распространения сигналов увеличивается пропорционально длине такой линии. На выходе передающего элемента приращение задержки распространения при включении $\Delta t^{1,0}_{здр}=6l_\Sigma$, при выключении $\Delta t^{0,1}_{здр}=8l_\Sigma$, где l_Σ — суммарная длина линий связи, подключаемых к выходу передающего элемента. Здесь значения $\Delta t^{0,1(1,0)}_{здр}$ вычисляются в наносекундах, если длина линии l_Σ измеряется в метрах. На выходе линии связи l_i приращение задержки распространения еще более увеличивается и составляет $\Delta t^{0,1}_{здр}=8l_\Sigma+5l_i\Delta t^{1,0}_{здр}=6l_\Sigma+6l_i$.

Обратные провода витых пар должны быть заземлены на передающем и приемном концах. При этом длина разделенной части витой пары не должна превышать 3 см. От несогласованной пары допускается делать отводы одиночным проводом. Суммарная длина отводов может достигать 20 см.

Линии связи от 1 до 3 м, не выходящие за пределы цифрового устройства, должны выполняться согласованными витыми парами проводов. При длине более 3 м линии связи необходимо выполнять с помощью коаксиального кабеля с волновым сопротивлением 100 Ом Линия связи согласуется с помощью включаемого последовательно резистора R=82 Ом с допустимым отклонением сопротивления ±5 %. Резистор должен устанавливаться непосредственно у выхода передающей микросхемы. Длина коаксиального кабеля не должна превышать 30 м. При согласованной линии связи приращение задержки распространения на выходе передающего элемента при включении $\Delta t^{1,0}_{здр}=6$ нс, а при выключении $\Delta t^{0,1}_{здр}=8$ нс. На выходе линии связи задержка распространения (в наносекундах) увеличивается пропорционально длине линии связи l (в метрах): $\Delta t^{1,0}_{здр}=6+5l$; $\Delta t^{0,1}_{здр}=8+5l$. В отличие от рассмотренного последовательного согласования возможна работа на коаксиальный кабель с параллельным согласованием. В этом случае резистор с сопротивлением, равным волновому сопротивлению кабеля, включается «параллельно» в конце линии связи. Для работы на кабель могут быть использованы микросхемы 109ЛИ1 и магистральные усилители К155ЛЕ6, К531ЛА16.

Микросхема 109ЛИ1 — это шестивходовый логический элемент И, предназначенный для работы на низкоомную нагрузку в качестве магистрального усилителя Он работает непосредственно от микросхем ТТЛ и может быть нагружен на ТТЛ-входы через коаксиальный кабель с волновым сопротивлением 75 Ом.

Пример совместной работы микросхем типов 155ЛА3 и 109ЛИ1 через кабель с волновым сопротивлением 75 Ом при последовательном и параллельном согласовании показан на рис. 2.14. Длительность импульса на выходе микросхемы типа 109ЛИ1 при параллельном согласовании (рис. 2.14, *а*) должна быть не менее 200 нс, а при последовательном согласовании (рис. 2.13, *б*) — не менее 1 мкс. Макси-

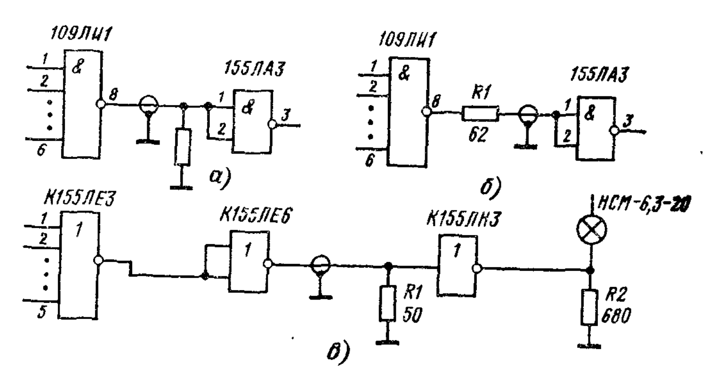


Рис. 2.14. Схемы связи для коаксиального кабеля при параллельном (*а*) и последовательном (*б*) согласовании, а также при работе на кабель с волновым сопротивлением 50 Ом (*в*)

мальная длина кабеля выбирается таким образом, чтобы падение напряжения в кабеле не превышало 50 мВ. Схема работы ИС К155ЛЕ6 на согласованный кабель с волновым сопротивлением 50 Ом представлена на рис. 2.14, *в*.

Передача информационных сигналов может быть осуществлена с помощью экранированного провода с обязательной посылкой стробирующего сигнала по коаксиальному кабелю. При этом стробирующий сигнал должен быть задержан относительно информационного на время действия переходных процессов, а длительность импульсов информационных сигналов должна выбираться из условия $t_и > t_{здрстр} + t^{0,1(1,0)}$, где $t_{здрстр}$ — время задержки стробирующего сигнала относительно информационного; $t^{0,1(1,0)}$ — время переключения схемы, принимающей информацию.

При печатном монтаже линии связи сигналов синхронизации должны быть удалены от информационных линий и от линий синхронизации другой фазы на расстояние не менее 2,5 мм. Линии связи от выходов микросхем до элементов индикации рекомендуется выполнять одиночными проводами, которые можно укладывать в жгут. Длина линии связи в этом случае определяется из условия обеспечения максимально допустимого напряжения, приложенного к выходу микросхемы.

Коммутационные линии связи (линия между переключательными тумблерами, контактами реле и микросхемой) рекомендуется выполнять экранированным проводом. Допускается применение одиночных проводников длиной до 0 3 м и витых пар длиной до 3 м.

Расширенный в последние годы функциональный состав микросхем серий ТТЛ, особенно К155, К555, за счет включения счетчиков, регистров, сумматоров и элементов запоминающих устройств значительно упростил построение цифровых устройств, позволил уменьшить число внешних монтажных соединений, что в конечном счете привело не только к сокращению объема аппаратуры на микросхемах, но и к повышению ее надежности.

Однако кроме стандартных схем, представляющих собой типовые узлы и блоки ЭВМ и устройств дискретной автоматики для построения аппаратуры, необходимо иметь специализированные схемы с от-

крытым коллектором, обеспечивающие работу на нестандартную нагрузку, такую как реле, индикационные лампы накаливания, светодиоды, линии задержки. С учетом этого в состав серий 133, К155 были включены микросхемы с открытым коллектором: 133ЛА7, К155ЛА7, 133ЛА8, К155ЛА8. Микросхемы 133ЛА7, К155ЛА7, 133ЛА8, К155ЛА8 могут быть использованы и как логические элементы И—НЕ при подключении их выходов через внешний резистор к источнику питания 5 В±5 %. В этом режиме времена включения и особенно выключения входного сигнала не оговариваются в отличие от остальных логических элементов микросхем серии ТТЛ, у которых, как уже отмечалось, это время ограничено значением 150 нс.

Разработка микропроцессорных схем и объединение их в мини-ЭВМ с помощью шин магистральной системы привели к созданию микросхем ТТЛ с тремя состояниями на выходе (К155ЛП8, К155ИР15, К155ЛП10, КР531ЛА17, КР531АП4). Кроме того, широко применяются элементы со стробированием серий К155ЛЕ3, К155КП1, К155КП5, К155КП7. Коды в общий провод шины данных можно передавать через ЛЭ с открытым коллектором. Многие микросхемы памяти имеют выходы с открытым коллектором, что дает возможность собирать штабели (стеки) памяти большой емкости.

2.5. Микросхемы эмиттерно-связанной логики

Цифровые микросхемы эмиттерно-связанной логики (ЭСЛ) представляют собой транзисторные схемы с объединенными эмиттерами и обладают по сравнению с другими типами цифровых ЛЭ наибольшими быстродействием и потребляемой мощностью. Большое быстродействие (по-другому — малое среднее время задержки распространения) для схем ЭСЛ обусловливается тем, что в этих элементах транзисторы работают в ненасыщенном (линейном) режиме. На выходах применяются эмиттерные повторители, ускоряющие процесс заряда емкости нагрузки. Уменьшение времени задержки распространения достигается также за счет ограничения перепада выходного напряжения, что, однако, приводит к уменьшению помехоустойчивости схем ЭСЛ. Из разработанных в последние годы цифровых микросхем ЭСЛ наибольшее распространение получили серии 100 и К500, являющиеся аналогами широко известной зарубежной серии МС10000 (первоначальный разработчик — фирма Motorola)

Рассмотрим принцип построения схем ЭСЛ на примере базового ЛЭ серии 100, выполняющего одновременно функции ИЛИ—НЕ и ИЛИ (рис. 2.15). Схема состоит из дифференциального усилителя, собранного на транзисторах VT1—VT5. В этом усилителе при подаче на входы перепада напряжения ток $I_э$ может протекать либо через транзистор VT5, на базу которого постоянно подано опорное напряжение $U_{оп}$=—2,09 В (в это время на входах X1—X4 имеется отрицательное запирающее напряжение), либо через транзисторы VT1—VT4, когда на их базы попадает потенциал, больший опорного напряжения

Выходные эмиттерные повторители (транзисторы VT7 и VT8) подключаются к источнику смещения уровня $U_{сму}$=—2 В±5 % через внешние нагрузочные резисторы $R_{н1}$ и $R_{н2}$ с номиналами 51 Ом. Малое выходное сопротивление схем ЭСЛ обеспечивает согласование выходных и входных напряжений уровней ЛЭ при их совместной работе и возможность непосредственно подавать сигналы в кабель

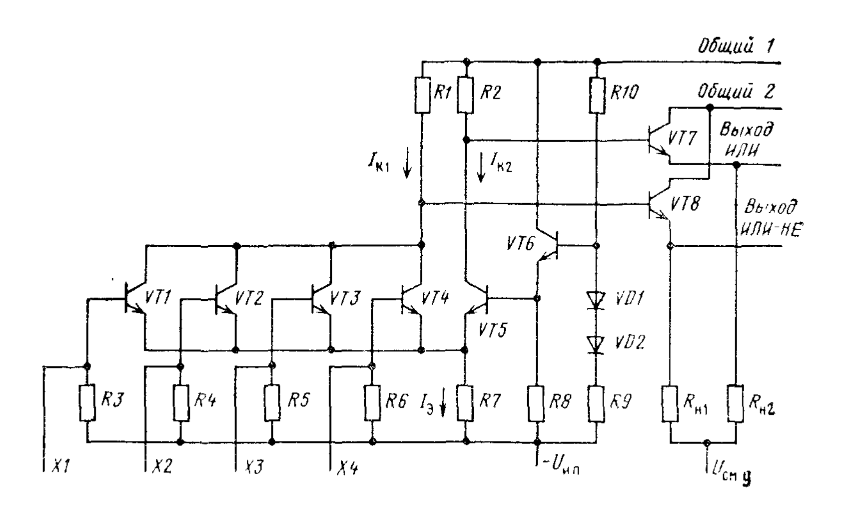


Рис. 2.15. Базовый элемент ИЛИ—НЕ/ИЛИ микросхемы ЭСЛ

с волновым сопротивлением 50 Ом. Схема ЭСЛ подключается к источнику отрицательного напряжения питания $U_{ип}=-5{,}2$ В± 5 %. Коллекторные цепи заземляются. Такое включение обеспечивает меньшую зависимость выходного напряжения от наводок по цепи питания и лучшую помехоустойчивость. Значение перепада напряжения для схем ЭСЛ составляет 0,69 В, а запас помехоустойчивости 125 мВ. Отрицательные и малые по величине логические уровни схем ЭСЛ ($U^1_{вых}=-0{,}96$ В; $U^0_{вых}=-1{,}65$ В) не позволяют обеспечить их непосредственную стыковку со схемами ТТЛ. Совместная работа микросхем ТТЛ и ЭСЛ осуществляется с помощью специальных схем взаимных преобразователей уровней, входящих в состав всех указанных схем серий ЭСЛ.

Все входы базового ЛЭ через резисторы утечки R3—R6 с сопротивлением примерно 50 кОм подключены к источнику отрицательного напряжения $U_{ип}=-5{,}2$ В± 5 %. Такое включение позволяет оставлять в аппаратуре неиспользованные входы неприсоединенными. Для исключения влияния на логическую часть схемы импульсных помех, возникающих в коллекторных цепях эмиттерных повторителей в момент переключения схемы при работе на низкоомную нагрузку, используются две общие шины: одна для выходных эмиттерных повторителей, другая — для внутренней логической части схемы.

Опорное напряжение $U_{оп}=-2{,}09$ В создается специальной температурно-компенсированной схемой (транзистор VT6, диоды VD1, VD2, резисторы R8—R10) и выбирается таким образом, чтобы оно было ниже минимального напряжения «1».

Наличие на выходах схемы эмиттерных повторителей, имеющих низкое выходное сопротивление, обеспечивает как высокое быстродействие, так и значительную нагрузочную способность схем ЭСЛ ($K_{раз}\geq 15$). Для повышения нагрузочной способности в состав циф-

ровых микросхем серий ЭСЛ включены специальные схемы с большим коэффициентом разветвления ($K_{раз}$=50...100 при $C_н$>100 пФ). Увеличение коэффициента объединения по входам может быть достигнуто за счет подключения к базовой схеме логического расширителя, однако это приводит к существенному снижению быстродействия схемы из-за значительных паразитных емкостей, поэтому схемы расширителей не включаются в состав схем ЭСЛ [1]. Рассмотрим схемы ЭСЛ более подробно.

2.5.1. Функциональный состав микросхем серий ЭСЛ

Функциональные возможности микросхем серий ЭСЛ велики. В этих сериях наряду с ЛЭ и D-триггерами имеются дешифраторы, мультиплексоры, ЗУ и узлы арифметических устройств. Это обеспечивает их широкое применение в быстродействующих вычислителях. Функциональный состав цифровых микросхем ЭСЛ и их аналоги приведены в табл. 2.9.

Рассмотрим подробнее назначение и особенности работы некоторых микросхем серии 100. Микросхемы 100ЛМ101, 100ЛМ102, 100ЛМ105, 100ЛМ109, 100ЛЕ106 (и соответствующие микросхемы серий К500, 1500, К1500) выполняют функции ИЛИ—НЕ/ИЛИ и построены на базе основного ЛЭ.

Микросхемы 100ЛП115 и 100ЛП116 могут быть использованы как приемники парафазного сигнала с двухпроводной линии связи (при этом выводы встроенных в корпус источников опорного напряжения не используются) и как ЛЭ с постоянными напряжениями «0» и «1» на выходе (при внешнем соединении вывода источника опорного напряжения с определенными входными выводами).

Микросхема 100НР400 представляет собой матрицу нагрузочных резисторов (четыре резистора с номиналами 500 Ом и четыре резистора с номиналами 800 Ом), которые при соответствующей коммутации используются в качестве нагрузки на несогласованных входах логических схем серии.

Микросхема 100ТМ130 (рис. 220, табл. 2.9) представляет собой два D-триггера, снабженных входами установки (S), сброса (R), сихронизации ($\overline{C}_E$) и общим входом синхронизации (C). Прием информации с входа D осуществляется в течение времени, когда C=0, $\overline{C}_E$=0, при этом любое изменение информации на входе D передается на выходы триггера. Запоминание информации осуществляется в момент перехода сигнала на входе C из состояния «0» в состояние «1». При $\overline{C}_E$=1 триггер блокируется по входу C. Принудительная установка триггера в состояние «1» (вход S) и сброс (вход R) производятся при C=$\overline{C}_E$=1, при этом сигнал на входе D не влияет на состояние триггера. При управлении триггером по входам R и S импульсы установки и сброса не должны перекрываться по времени.

Микросхема 100ТМ134 в отличие от 100ТМ130 имеет два информационных входа D1 и D2 и дополнительный селекторный вход S. При подаче «1» на вход S записывается информация только по входу D1, при подаче «0» на вход S запись информации происходит только по входу D2.

Таблица 29

Функциональное назначение	Подгруппа, вид и порядковый номер разработки	Обозначение функционального аналога	Номер рисунка
Четыре логических элемента 2ИЛИ—НЕ/2ИЛИ (100, 500, К500, К1500)	ЛМ101	101	1
Три логических элемента 2ИЛИ—НЕ и логический элемент 2ИЛИ—НЕ/2ИЛИ (100, 500, К500. К1500, 1500)	ЛМ102	102	2
Два логических элемента 2ИЛИ—НЕ/2ИЛИ и логический элемент 3ИЛИ—НЕ/3ИЛИ (100, 500, К500, К500М, К500Т)	ЛМ105	105	3
Два логических элемента 3ИЛИ—НЕ и логический элемент 4ИЛИ—НЕ (100, 500, К500, К500М, К500Т)	ЛЕ106	106	4
Три логических элемента ИСКЛЮЧАЮЩЕЕ ИЛИ—НЕ/ИЛИ (100, 500. К500, К500М, К1500, 1500)	ЛП107	107	5
Два логических элемента 5ИЛИ—НЕ/5ИЛИ, 4ИЛИ—НЕ/4ИЛИ (100, 500, К500, К500М)	ЛМ109	109	6
Два логических элемента ИЛИ с мощным выходом (100, 500, К500, К500М, К500Т)	ЛЛ110	110	7
Два логических элемента ИЛИ—НЕ с мощным выходом (100, 500, К500)	ЛЕ111	111	8
Три приемника с линии (500, К500, К500М, К1500, 1500)	ЛП114	114	9
Четыре приемника с линии (100, 500, К500)	ЛП115	115	10
Три приемника с линии (100, 500, К500, К500М, К500Т)	ЛП116	116	11
Два логических элемента 2—3ИЛИ—2И—НЕ/2—3ИЛИ—2И (100, 500, К500, К500М, К1500)	ЛК117	117	12
Два логических элемента 3—3ИЛИ—2И (100, 500, К500, К1500, 1500)	ЛС118	118	13
Логический элемент 3—3—3—4ИЛИ—4И (100, 500, К500, К1500)	ЛС119	119	14
Логический элемент 3—3—3—3ИЛИ—4И—НЕ/3—3—3—3ИЛИ—4И (100, 500, К500, К500М)	ЛК121	121	15
Преобразователи уровня (100, 500, К500, К1500)	ПУ124	124	16
Преобразователи уровня (100, 500, К500, К1500, 1500)	ПУ125	125	17
Возбудитель линии (100, 500, К500)	ЛП128	128	18
Приемник с линии (100, 500, К500)	ЛП129	129	19

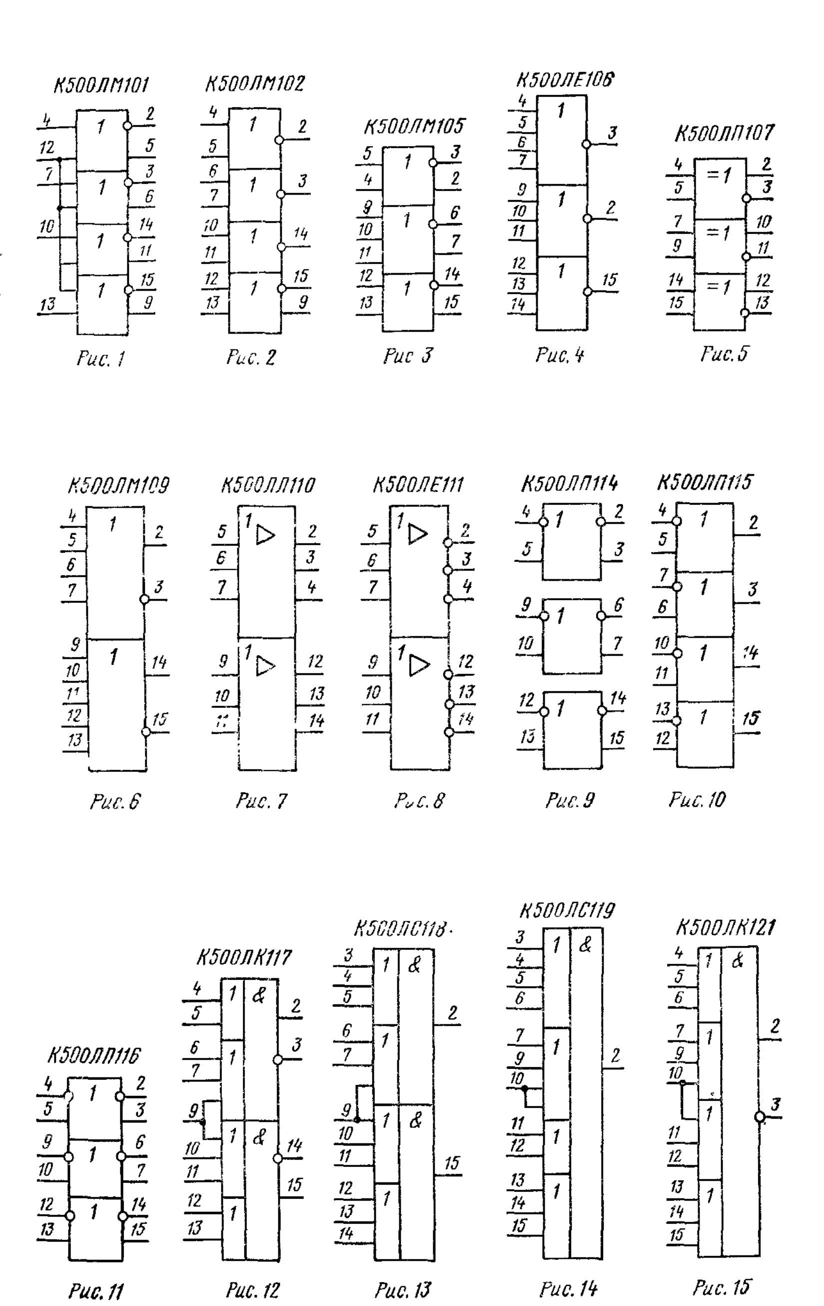
Функциональное назначение	Погруппа, вид и порядковый номер разработки	Обозначение функционального аналога	Номер рисунка
Два D-триггера (100, 500, К500, К500М, К1500, 1500)	ТМ130	130	20
Два D-триггера (100, 500, К500, К500М, К500Т, К1500)	ТМ131	131	21
Четыре D-триггера-защелки (100, 500, К500, К500М, К500Т)	ТМ133	133	22
Два D-триггера (100, 500, К500, К500М)	ТМ134	134	23
Два JK-триггера (100, К500, К500М)	ТВ135	135	24
Универсальный двоичный счетчик (100, 500, К500, К1500)	ИЕ136	136	25
Универсальный десятичный счетчик (100, 500, К500)	ИЕ137	137	26
Универсальный регистр сдвига (100, 500, К500, К1500, 1500)	ИР141	141	27
ОЗУ на 256 бит (256×1) со схемами управления (100, 500, К500)	РУ410	144	28
ОЗУ на 64 бита (16×4) со схемами управления (100, 500, К500)	РУ145	145	29
ОЗУ на 64 слова по одному разряду (100, 500)	РУ148	148	30
Программируемое ПЗУ на 1024 бит (500, К500)	РЕ149	149	31
Двенадцативходовая схема контроля четности (500, К500, К500Т, К1500, 1500)	ИЕ160	160	32
Трехразрядный дешифратор низкого уровня (100, 500, К500)	ИД161	161	33
Трехразрядный дешифратор высокого уровня (100, 500, К500)	ИД162	162	34
Восьмиканальный мультиплексор (100, 500, К500)	ИД164	164	35
Кодирующий элемент с приоритетом (100, 500, К500)	ИВ165	165	36
Четыре D-триггера с входными мультиплексорами (100, 500, К500)	ТМ173	173	37
Схема быстрого переноса (100, 500, К500, К1500)	ИП179	179	38
Сдвоенный высокоскоростной сумматор-вычислитель (100, 500, К500, К1500)	ИМ180	180	39
Арифметическо-логическое устройство на 16 операций с двумя четырехбитными словами (100, 500, К500, К1500)	ИП181	181	40
Два логических элемента ИЛИ с мощным выходом (100, 500, К500, К500Т)	ЛЛ210	210	41

Функциональное назначение	Подгруппа, вид и порядковый номер разработки	Обозначение функционального аналога	Номер рисунка
Два логических элемента ИЛИ—НЕ с мощным выходом (100, 500, К500, К500Т)	ЛЕ211	211	42
Три приемника с линии (100, 500, К500, К500М, К500Т)	ЛП216	216	43
Два D-триггера (100, К500, К500М, К500Т)	ТМ231	231	44
ОЗУ на 1024 бит (1024×1) со схемами управления (100, 500, К500, К1500, 1500)	РУ415	415	45
Четыре магистральных передатчика со стробированием (К1500, 1500)	ЛП112	100 112	46
Шестиканальный магистральный передатчик (К1500)	ВА123	100 123	47
Шестиразрядный регистр хранения (К1500, 1500)	ИР151	100 151	48
Сдвоенный восьмивходовый мультиплексор (К1500, 1500)	КП163	100 163	49
Девятиразрядная схема сравнения (К1500)	СП166	100 166	50
Универсальный дешифратор (К1500, 1500)	ИД170	100 170	51
Схемы интерфейса (К1500)	ИП194	100 194	52
Три логических элемента ИЛИ—НЕ с мощным выходом (магистральные усилители) (500, К500, К500М)	ЛЕ123	—	53
Девятиразрядный буферный вентиль (К1500, 1500)	ЛП122	—	54
Блок маскируемого объединения (К1500, 1500)	ИП156	—	55
Четыре двухвходовых мультиплексора с защелкой (К1500, 1500)	КП155	—	56
Шестнадцативходовый мультиплексор (К1500, 1500)	КП164	—	57
Трехразрядный четырехвходовый мультиплексор (К1500, 1500)	КП171	—	58
Программируемое ПЗУ на 1024 бит (256×4) (500, К500, К1500)	РТ416	—	59

Примечания:

1. Микросхемы серий 100, 500, К500 имеют одинаковый температурный диапазон (—10... +70 °С) и выполнены в следующих корпусах: серия 100 — 402.16-6, 402.16-32, 405.24-1; серия 500 — 238.16-2, 239.24-2; серия К500 — 238.16-2; 201.16-5; 201.16-8; 201.16-6; 239.24-2; 2103.16-2; 201.16-1; 2107.18-3.

2. Индекс М означает, что микросхемы находятся в керамических корпусах 201.16-5, 201.16-2, индекс Т — в керамических корпусах 201.16-8, 201.16-1.


К500ЛМ101
К500ЛМ102
К500ЛМ105
К500ЛЕ106
К500ЛП107
К500ЛМ109
К500ЛЛ110
К500ЛЕ111
К500ЛП114
К500ЛП115
К500ЛП116
К500ЛК117
К500ЛС118
К500ЛС119
К500ЛК121
Рис. 1
Рис. 2
Рис 3
Рис. 4
Рис. 5
Рис. 6
Рис. 7
Рис. 8
Рис. 9
Рис. 10
Рис. 11
Рис. 12
Рис. 13
Рис. 14
Рис. 15

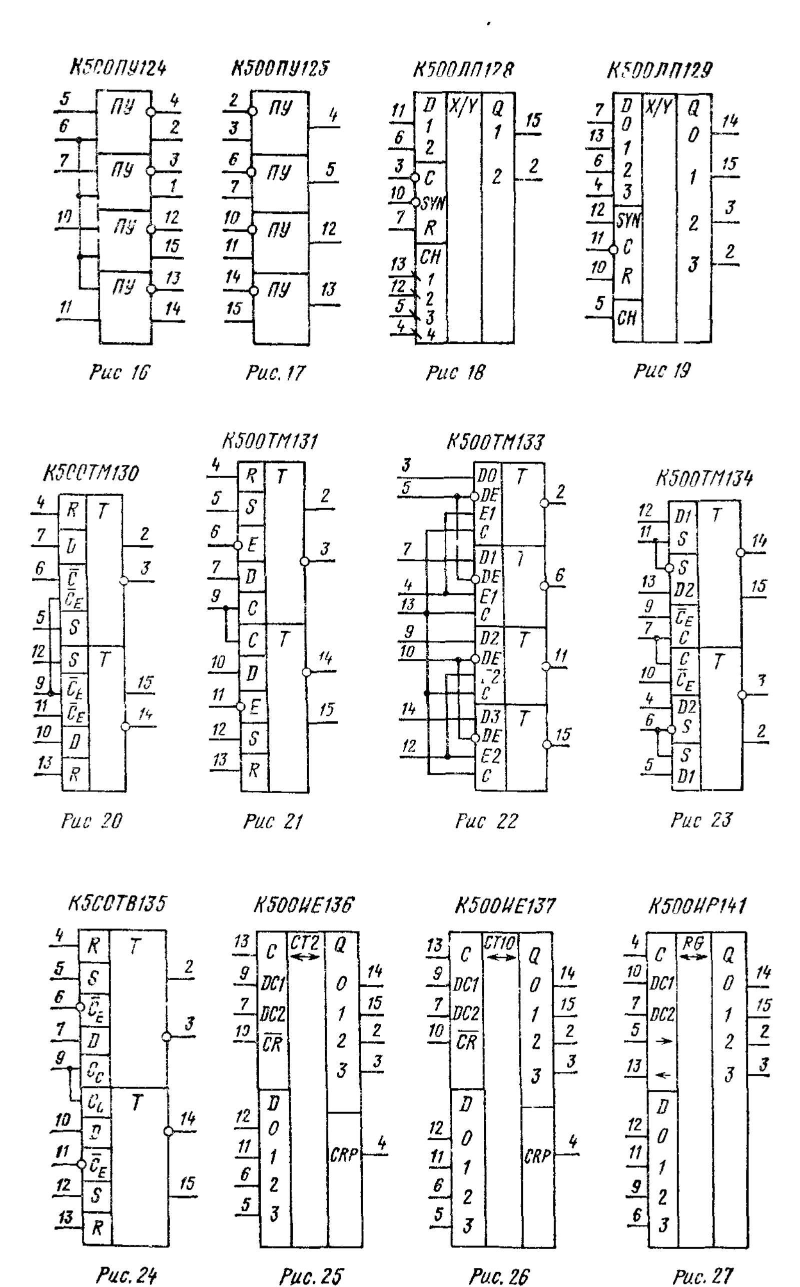


Рис 16 Рис. 17 Рис 18 Рис 19

Рис 20 Рис 21 Рис 22 Рис 23

Рис. 24 Рис. 25 Рис. 26 Рис. 27

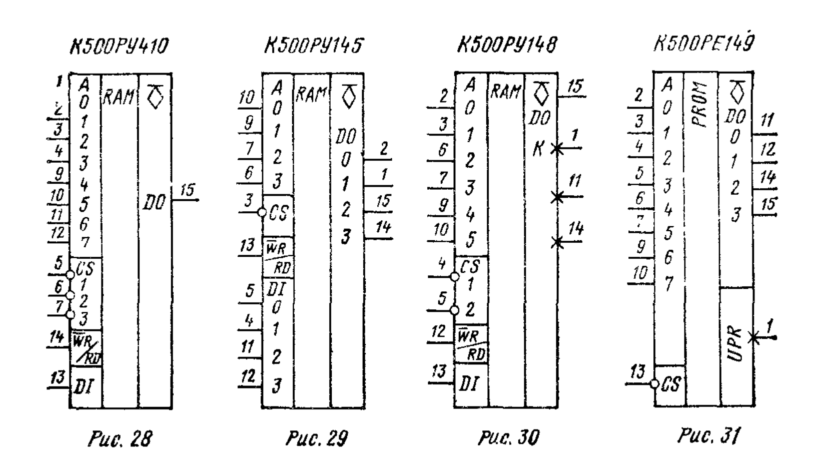


Рис. 28

Рис. 29

Рис. 30

Рис. 31

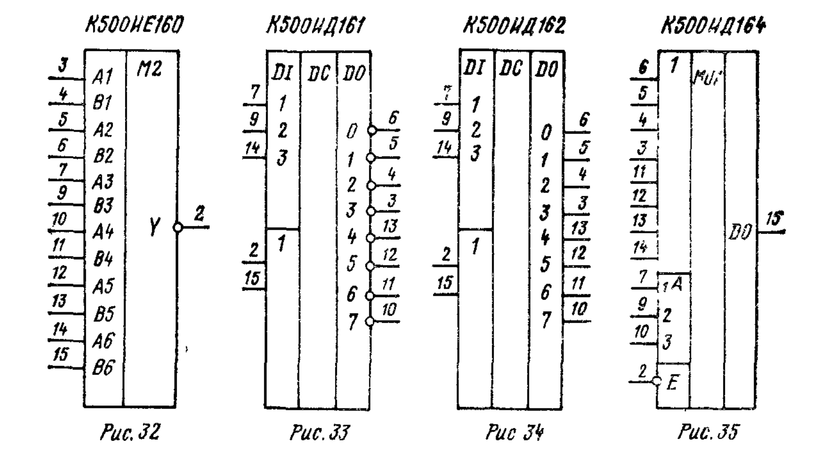


Рис. 32

Рис. 33

Рис. 34

Рис. 35

К500ИВ165

Рис 36

К500ТМ173

Рис. 37

К500ИП179

Рис. 38

К500ИМ180

Рис. 39

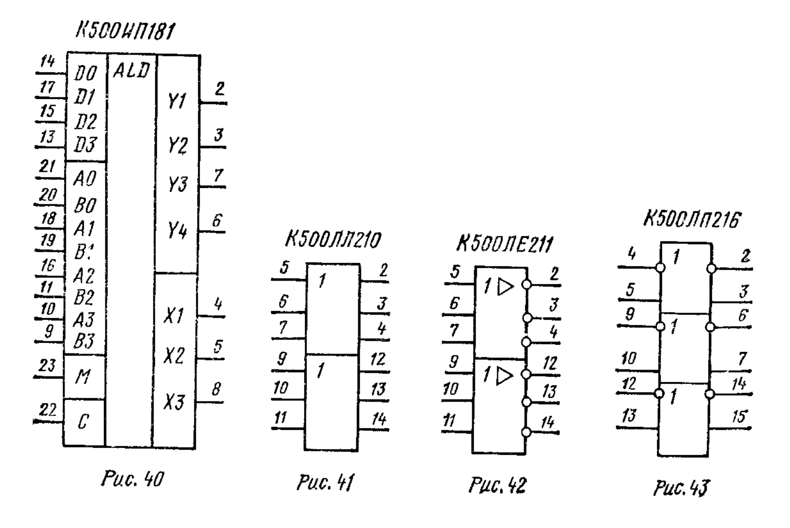


Рис. 40

Рис. 41

Рис. 42

Рис. 43

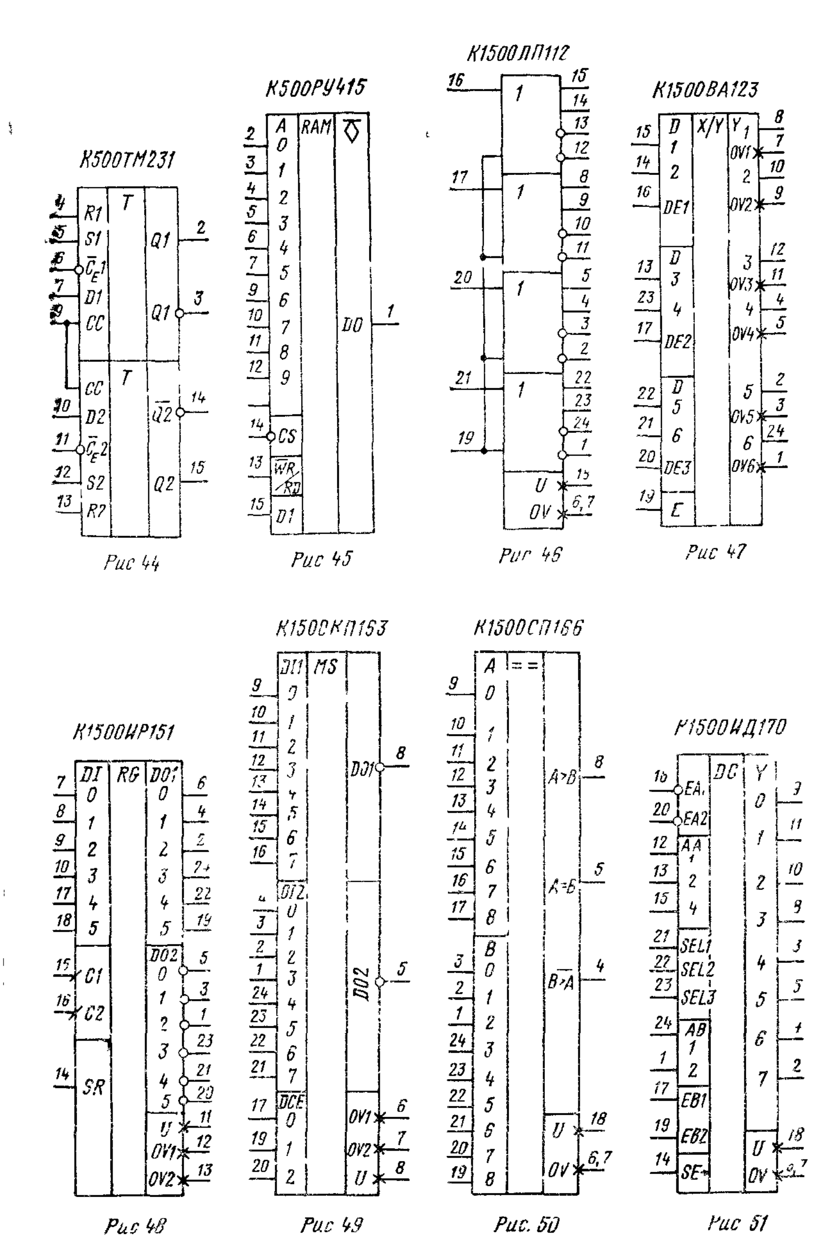


Рис 44 Рис 45 Рис 46 Рис 47

Рис 48 Рис 49 Рис. 50 Рис 51

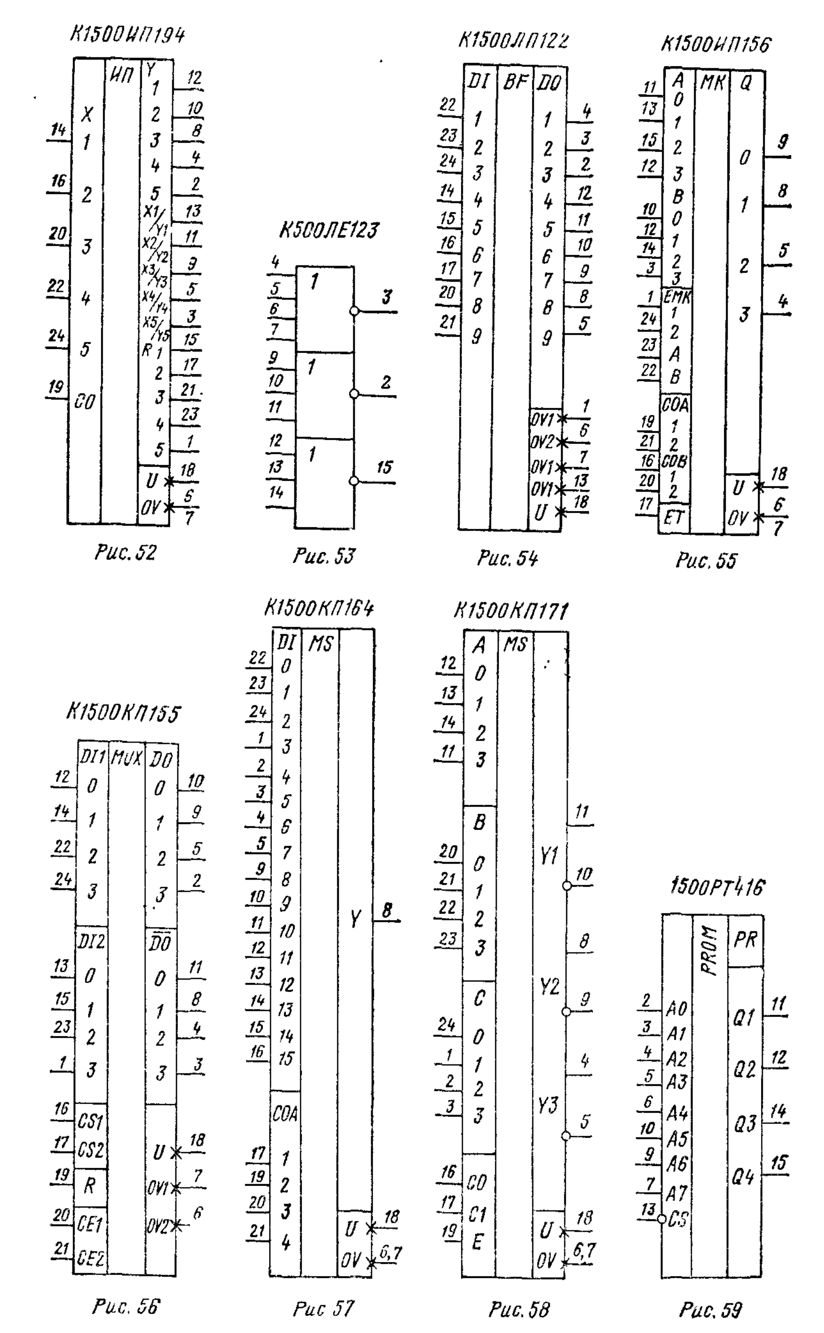


Рис. 52
Рис. 53
Рис. 54
Рис. 55
Рис. 56
Рис 57
Рис. 58
Рис. 59

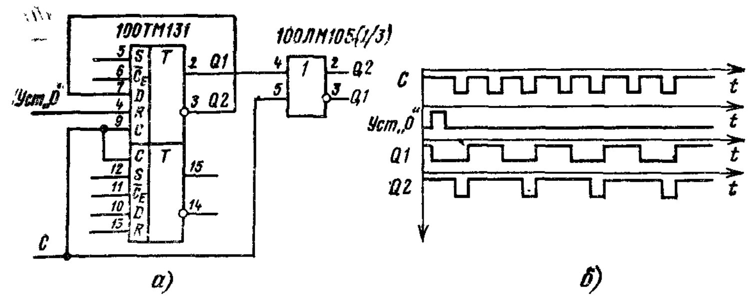


Рис. 2.16. Условные графические обозначения (*а*) и временные диаграммы работы (*б*) микросхемы 100ТМ131

Микросхема 100ТМ131 (рис. 2.16, *а*) представляет собой два двойных D-триггера типа ms с раздельными входами установки S, сброса R, синхронизации $\overline{C}_Г$ и общим входом синхронизации С. Прием информации на ведущий m (master) триггер с входа D осуществляется при С=0 и $\overline{C}_Σ$=0. В это время ведомый S (slave) триггер хранит информацию, принятую на триггер в предыдущем такте. Запоминание информации происходит в момент перехода сигнала на входе С из состояния «0» в состояние «1». При этом триггер m переходит в режим хранения, а триггер S — в режим приема. Информация, записанная ранее в триггере m, передается на выход схемы При $\overline{C}_E$=1 триггер блокируется по входу С. Временная диаграмма работы микросхемы 100ТМ131 представлена на рис. 2.16, *б*.

Для осуществления счетного режима необходимо соединить выход $\overline{Q}$ со входом D и подать счетные импульсы на вход С или $\overline{C}_E$. Принудительная установка (S) и сброс (R) осуществляются в любой момент времени независимо от состояния других входов триггера

Микросхема 100ТМ133 (рис. 22, табл. 2 9) представляет собой четыре D триггера со стробирующими элементами на входах триггеров. По парам триггеров элементы стробирования разделены входами стробирования G1, G2, входом синхронизации $\overline{C}_E$ и общим входом синхронизации С. Прием информации с входа D производится при С=1 и $\overline{C}_E$ =1, при этом прямая передача информации с входа на выход схемы может быть заблокирована сигналом «1» на входе стробирующего элемента. Запоминание информации происходит в момент перехода сигналов на входах G1, G2 из состояния «1» в состояние «0». При синхронизации всех триггеров по общему входу С на входах раздельной синхронизации должен быть установлен «0» или они должны остаться неподключенными При раздельной синхронизации пар триггеров по входам $\overline{C}_E$ общий вход синхронизации должен оставаться неподключенным или на него необходимо подать сигнал «0».

Для обеспечения правильной работы триггеров необходимо учитывать ряд дополнительных параметров, показанных на временных

диаграммах: $t_{3D}^{1,0}$, $t_{3S}^{1,0}$ — минимально допустимое время запаздывания фронта или среза сигнала на входах D или S по отношению к положительному фронту импульса синхронизации; $t_{опD}^{1,0}$, $t_{опS}^{1,0}$ — минимально допустимое время опережения фронта или среза сигналов на входах D или S по отношению к положительному фронту импульса синхронизации. Значения этих параметров должны быть следующими: $t_{опD}^{1}$ относительно входа D не менее 2,5 нс; $t_{опS}^{1}$ относительно входа S не менее 3,5 нс; t_{3D}^{1} относительно входа D не менее 1 5 нс; t_{3S}^{1} относительно входа S не менее 1,5 нс.

Микросхема 100ИД164 (рис. 35, табл. 2 9) представляет собой 8-канальный мультиплексор с входом запрета W, выполненный на базе основных ЛЭ. Наличие входа запрета позволяет организовать цепи дешифрации высокого уровня и осуществить операцию МОНТАЖНОЕ ИЛИ выходов схем для мультиплексирования (объединения) более восьми каналов. Микросхема 100ИЕ160 (12-входовая схема контроля четности) представляет собой комбинацию девяти ЛЭ, реализующих функцию ИСКЛЮЧАЮЩЕЕ ИЛИ. Схема предназначена для формирования импульсов четности или определения четности слов длиной до 12 бит. Выходное напряжение соответствует уровню «1», если на входах схемы присутствует нечетное число «единиц».

Микросхема 100ИП179 является блоком быстрого переноса и предназначена для совместного использования с микросхемой 100ИП181 в быстродействующих арифметических и логических устройствах, работающих со словами большой длины. Микросхема 100ИП181 (рис. 40, табл. 2.9) — быстродействующее универсальное арифметическо-логическое устройство (АЛУ), предназначенное для выполнения 16 логических функций и 16 арифметических операций с двумя 4-разрядными числами.

Входы A0 — A3 и B0 — B3 — информационные (см. рис. 40, табл. 2.9). Входные переменные A и B в схемах положительной логики подаются в дополнительном коде, выходная функция Y в этом случае также формируется в дополнительном коде. Прямой код переменных A, B и выходной функции Y используется при работе АЛУ в схеме отрицательной логики (верхнему уровню соответствуют «0», нижнему — «1»). Входы S0 — S3 используются для задания кода выполняемой операции В зависимости от сигнала на входе M устройство выполняет логические или арифметические операции. В схему АЛУ встроены цепи полного внутреннего переноса. Вход C является входом переноса от предыдущих разрядов. На выходе X2 формируется сигнал переноса в следующий разряд.

Совместное использование микросхем 100ИП181 и 100ИП179 (рис. 38, табл. 2.9) позволяет для 32-разрядных слов почти вдвое сократить время выполнения арифметических операций. В режиме работы с ускоренным переносом применяются вырабатываемые в АЛУ два дополнительных сигнала группового переноса (выходы X1 и X3). Выполнение логических преобразований входных переменных A и B осуществляется при подаче на вход M сигнала «1», что обеспечивает блокировку цепей внутреннего переноса. Для совместной работы микросхем серии 100 и 133, 155 используются микросхемы 100ПУ124 (рис. 16, табл. 2.9), представляющая собой четыре 2-входовых преобразователя уровня для перехода от микросхем

ТТЛ к микросхеме ЭСЛ, и 100ПУ125 (рис. 17, табл. 2.9), представляющая собой четыре 2-входовых преобразователя уровня для перехода от микросхем ЭСЛ к микросхемам ТТЛ

При проектировании функциональных узлов с применением схем преобразователей уровня (ПУ) следует учитывать, что уровень «0» ($U^0_{вых} \leq 0,5$ В) несколько больше уровня «0» микросхем ТТЛ ($U^0_{вых} \leq 0,4$ В) что снижает помехоустойчивость последних на 100 мВ. Коэффициент разветвления схем ПУ при работе на входы микросхем 133, К155 — не более 8, а на входы микросхем 130 — не более 6.

2.5.2. Основные электрические параметры микросхем серий ЭСЛ

Цифровые микросхемы ЭСЛ кроме обычного перечня электрических параметров, типичных для других цифровых схем, имеют также особые статические параметры: входные и выходные пороговые напряжения. На рис. 2.17 приведены типовые передаточные характеристики основного ЛЭ серий 100, К500 по прямому и инверсному выходам. С помощью этих графиков можно дать определения следующим параметрам микросхем ЭСЛ: $U^1_{вх.пор}$, $U^0_{вх.пор}$ — входные пороговые напряжения; $U^1_{вых.пор}$, $U^0_{вых.пор}$ — выходные пороговые напряжения; $U^1_{вх}$, $U^0_{вх}$ — входные напряжения; $U^1_{вых}$, $U^0_{вых}$ — выходные напряжения единицы и нуля. По этим параметрам рассчитываются напряжения статической помехоустойчивости $U^1_{пом}=U^1_{вых.пор}-U^1_{вх.пор}$ и $U^0_{пом}=U^0_{вх.пор}-U^0_{вых.пор}$, логический перепад напряжения $\Delta U_л = U^1_{вых}-U^0_{вых}$ а также зона переключения напряжения $\Delta U_п = U^1_{вх.пор}-U^0_{вх.пор}$

С учетом малых значений выходных логических уровней и неизбежного технологического разброса номиналов элементов (следовательно, и электрических параметров ключей) для микросхем ЭСЛ установлены максимальные и минимальные значения параметров, определяющих передаточную характеристику (табл. 2.10). Эти параметры соответствуют: допустимым статическим помехам (при $-10<t<75$ °С) $U^1_{пом} \geq 125$ мВ, $U^0_{пом} \geq 155$ мВ; отклонению выходных уровней «1» и «0» (при $t=25$ °С) $\Delta U^1_{вых} < 200$ мВ, $\Delta U^1_{пом} < 150$ мВ; логическому перепаду напряжения (при $t=25$ °С) $\Delta U_л \geq 690$ мВ; зоне переключения напряжения (при $t=25$ °С) $\Delta U_п \leq 370$ мВ

Малое выходное сопротивление эмиттерного повторителя обеспечивает высокую нагрузочную способность микросхем ЭСЛ по постоянному току. Однако реальная нагрузочная способность в динамическом режиме за счет входной емкости схемы и емкости монтажа уменьшается до $K_{раз}=15$

Рассмотрим динамические параметры микросхем ЭСЛ Основным параметром, определяющим динамические свойства микросхем, является время задержки распространения при включении и выключении ($t^{1,0}_{зд.р}$, $t^{0,1}_{зд.р}$) Микросхемы ЭСЛ — самые быстродействующие цифровые микросхемы. При нормальных условиях и сопротивлении

Таблица 2.10

Параметр	Значение параметра при температуре, °С					
	−10		25		75	
	минимальное	максимальное	минимальное	максимальное	минимальное	максимальное
$U^1_{вых\ пор}$, В	−1,040	—	−0,980	—	−0 920	—
$U^1_{вых}$, В	−1,020	−0,860	−0 960	−0 810	−0 900	−0,720
$U^0_{вых\ пор}$, В	—	−1,650	—	−1,630	—	−1,605
$U^0_{вых}$, В	−1,880	−1,670	−1,850	−1,650	−1 830	−1,625

нагрузки $R_н$=51 Ом типовое значение времени задержки распространения для них составляет 7 нс. Время задержки измеряется на уровне 50 % полного логического перепада напряжения при переключении схемы.

Из характеристик зависимости динамических параметров от характера нагрузки, приведенных на рис. 2.18, видно, что наибольшее влияние на задержку распространения оказывают изменения напряжения питания, напряжения смещения уровня и увеличение емкостной нагрузки.

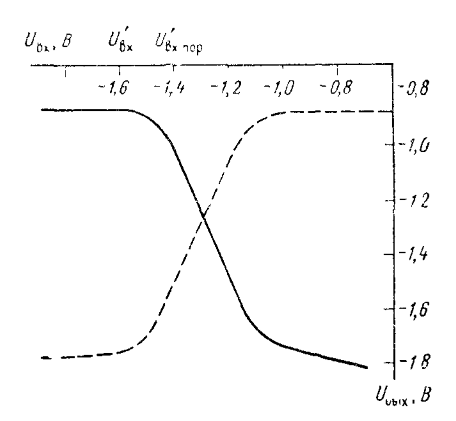


Рис. 2.17. Передаточная характеристика основного логического элемента микросхемы ЭСЛ:

——— выход ИЛИ—НЕ, – – – выход ИЛИ

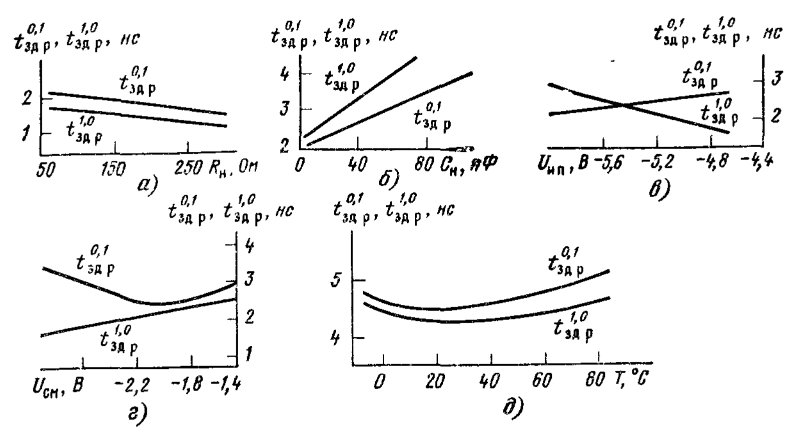


Рис. 2.18 Зависимости динамических параметров микросхем ЭСЛ от резистивной нагрузки (*а*), емкостной нагрузки (*б*), напряжения источника питания (*в*), напряжения смещения уровня (*г*) и температуры (*д*)

Рассматриваемые серии микросхем ЭСЛ 100, К500 имеют идентичные электрические параметры и отличаются только функциональным составом, типом корпуса и условиями эксплуатации. В табл. 2.11 приведены значения эксплуатационных электрических параметров основного ЛЭ серий 100 и К500 в диапазоне температур Предельно допустимые режимы эксплуатации для серий ЭСЛ приведены ниже·

Максимальное напряжение питания, В . .	—7 (в течение 5 мс)
Максимальное напряжение на входе, В .	0
Минимальное напряжение на входе, В . .	—5,5
Максимальный выходной ток, мА	40

2.5.3. Некоторые особенности применения микросхем серий ЭСЛ

Рассмотрим особенности применения микросхем ЭСЛ на примере серии 100. Как уже отмечалось, схемы ЭСЛ имеют отрицательное напряжение источника питания $U_{ип}$=—5,2 В±5 % и, как следствие, отрицательные напряжения логических уровней. Кроме того, логические уровни схем ЭСЛ малы по абсолютному значению $U^1_{вых}\approx-1$ В и $U^0_{вых}\approx-1{,}65$ В. Все это не позволяет непосредственно соединять

Таблица 2.11

Параметр	Значение параметра		Температура окружающей среды, °C
	минимальное	максимальное	
Входной ток «0» $I^0_{вх}$, мкА	0,5	—	25
Входной ток «1» $I^1_{вх}$, мкА	—	265	25
Выходное пороговое напряжение «1» $U^1_{вых.пор}$, В	−0,92 −1,04	— —	75 −10
Выходное пороговое напряжение «0» $U^0_{вых.пор}$, В	— —	−1,605 −1,650	75 −10
Выходное напряжение «1» $U^1_{вых}$, В	−0,9 −1,02	−0,72 −0,86	75 −10
Выходное напряжение «0» $U^0_{вых}$, В	−1,83 −1,88	−1,625 −1,67	75 −10
Ток потребления $I_{пот}$, мА	—	25	75
Время задержки распространения при включении $t^{1,0}_{здр}$, нс	—	2,9	25
Время задержки распространения при выключении $t^{0,1}_{здр}$, нс	—	2,9	25
Коэффициент разветвления по выходу	—	15	75
Мощность потребления $P_{пот}$, мВт (на элемент ИЛИ—НЕ ИЛИ)	—	35	25

входы и выходы микросхем ЭСЛ с микросхемами ТТЛ или с микросхемами, выполненными на МОП-структурах. Для взаимной стыковки схем с различными по величине логическими уровнями на выходе следует применять специальные схемы преобразователей 100ПУ124, 100ПУ125. При монтаже аппаратуры на микросхемах серии 100 (кроме микросхем 100ЛП115, 100ЛП116, 100ПУ124) все неиспользованные входы и выходы оставляют свободными.

Неиспользованные входы микросхем 100ЛП115, 100ЛП116 должны быть подключены к источнику опорного напряжения (вывод 9 микросхемы 100ЛП115 и вывод 11 микросхемы 100ЛП116) или к напряжению источника питания $U_{ип}$=—5,2 В±5 %. Неиспользованные входы микросхемы 100ПУ124 (рис. 16, табл. 2.9) подключают к источнику питания $U_{ип}$=5,0 В±5 % через резистор с номиналом 1 кОм. К одному резистору допускается подключение не более 20 неиспользованных входов. При необходимости подавать на входы нескольких микросхем постоянный сигнал «0» последний может быть получен от любой микросхемы серии 100, формирующей сигнал «0» при подключенных входах. Число нагрузок, которое можно присоединять к выходу такого элемента, не должно превышать 24.

Рассмотренные микросхемы ЭСЛ допускают объединение их по

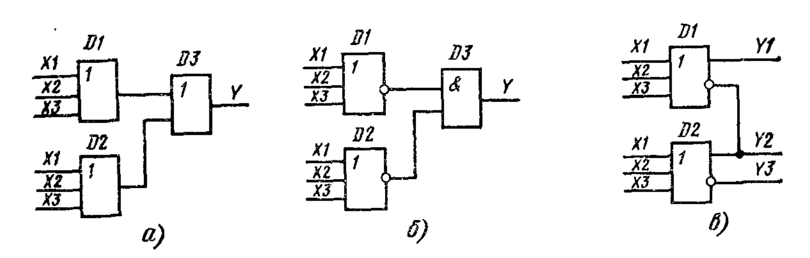


Рис. 2.19. Схемы объединения микросхем ЭСЛ по выходам в МОНТАЖНОЕ ИЛИ (*а*) в МОНТАЖНОЕ И (*б*) и схемы объединения прямого и инверсного выходов (*в*)

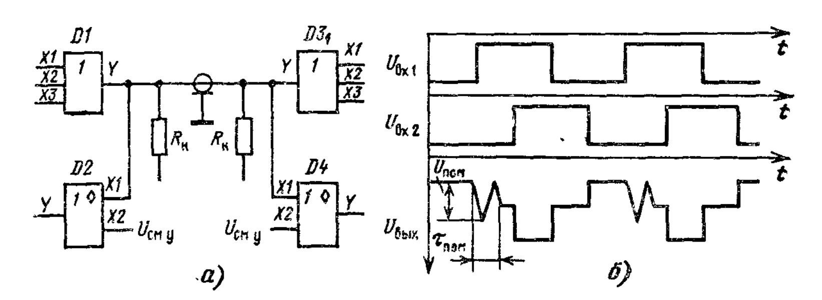


Рис 2.20 Схема передачи сигналов от нескольких микросхем ЭСЛ по одной общей шине связи (*а*) и временные диаграммы (*б*)

прямым и инверсным выходам в МОНТАЖНОЕ ИЛИ или МОНТАЖНОЕ И с коэффициентом объединения $К_{об\ вых} < 4$, а также объединение прямого выхода с инверсным (рис. 2.19). Последний способ объединения позволяет принимать и передавать сигналы от нескольких элементов по одной общей линии связи (рис. 2.20, *а*).

Следует иметь в виду, что при увеличении числа объединений по выходу изменяются уровни выходного напряжения, что приводит к снижению помехоустойчивости микросхем. Кроме того, в схемах, объединенных в МОНТАЖНОЕ ИЛИ, при переключении хотя бы одной микросхемы из состояния «1» в состояние «0» на выходе объединенных схем появляется отрицательная помеха (рис. 2.20, *б*), которая может вызвать ложное срабатывание элемента-нагрузки. Амплитуда и длительность помехи зависят от длины линии связи, соединяющей элементы в МОНТАЖНОЕ ИЛИ. С учетом изложенного рекомендуется объединение схем по выходам производить в пределах одной платы и по возможности для микросхем, расположенных рядом. Выход с платы с установленными на ней микросхемами рекомендуется брать от схемы, не имеющей объединений по выходу в пределах платы.

Как уже отмечалось, микросхемы ЭСЛ имеют довольно высокую нагрузочную способность ($К_{раз} \geqslant 10$), что объясняется малым выходным сопротивлением эмиттерных повторителей, которыми снабжены

вентили, и небольшими значениями входного тока (менее 265 мкА). В пределах одной платы нагрузочная способность возрастает до $K_{раз}=20$, а для микросхем 100ЛЛ110, предназначенных для работы одновременно на три линии передачи, $K_{раз}=30$. Выход триггерных схем рекомендуется нагружать не более чем на шесть входов микросхем-нагрузок. К выходу схем, объединенных в МОНТАЖНОЕ ИЛИ, рекомендуется подключать входы не более 16 ключей-нагрузок, при этом следует учитывать снижение уровня выходного напряжения и увеличение времени задержки распространения

При работе ЛЭ на резистор с номиналом $R_н=51$ Ом (при $U_{см\ у}=-2$ В) приращение задержки при подключении одного входа ИС-нагрузки составляет 0,1 нс, а изменение длительности фронта выходного сигнала при увеличении нагрузки от 1 до 10 входов не превышает 0,5 нс. Во всех случаях при определении допустимого числа входов, которые могут быть подключены к выходу микросхемы, необходимо учитывать нагрузку, подключаемую к выходу внутри самой микросхемы. При непосредственной работе элементов друг на друга (по коротким линиям связи) в зависимости от числа нагрузок и требуемого быстродействия в эмиттерных цепях выходных повторителей могут использоваться резисторы различных номиналов, подключаемые к источникам напряжений $U_{ип}=-5,2$ В либо к $U_{см\ у}=-2,0$ В

Совместное использование микросхем ЭСЛ и ТТЛ (рис 2.21) позволяет строить узлы специального назначения. На рис. 2.21, *а* приведена схема индикации, построенная на микросхемах 100ПУ125 (D1) (серия ЭСЛ) и 133ЛА7 (D2) (серия ТТЛ) с использованием в качестве индикатора лампы накаливания НСМ 6,3=20. Учитывая высокое быстродействие микросхем ЭСЛ, особое внимание следует обратить на выполнение линий связи между отдельными микросхемами, а также платами, узлами и блоками Ранее были рассмотрены микросхемы 100ЛП115 и 100ЛП116, представляющие собой приемники парафазных сигналов с двухпроводной линии связи Однако передача информации между отдельными платами может осуществляться и однофазными сигналами (рис. 2.21, *б*). При поступлении однофазного сигнала с выхода микросхемы серии 100 (D1 — D3) на один из входов микросхемы 100ЛП115 (D5 — D7) или 100ЛП116 на второй вход должно подаваться опорное напряжение, вырабатываемое микросхемой 100ЛП115 (вывод 9) или 100ЛП116 (вывод 11), расположенной на плате, с которой передается сигнал (рис. 2.21, *б*). Один источник опорного напряжения на передающей плате (D4) может быть нагружен не более чем на 10 входов Каждая микросхема 100ЛП115 или 100ЛП116 может использоваться как источник опорного напряжения (D4) при передачах за пределы платы и как приемник сигнала с линии связи (D5 — D7). Линия передачи опорного напряжения должна быть развязана на передающем и приемном концах конденсатором емкостью не менее 1000 пФ.

В пределах одной платы рекомендуются три основных способа связи между элементами. Последовательный способ применяется при длине линии связи между ИС-источником сигнала и нагрузочным резистором не более 200 мм. Вдоль этой линии связи подключаются микросхемы-нагрузки. Рекомендуемая длина отвода линии связи — не более 30 мм. При лучевом способе от микросхемы-источника сигнала отходят лучевые линии длиной не более 70 мм, на конце которых подключаются микросхемы-нагрузки. Нагрузочный резистор подключается к одной из микросхем-нагрузок. Наконец, при сосре-

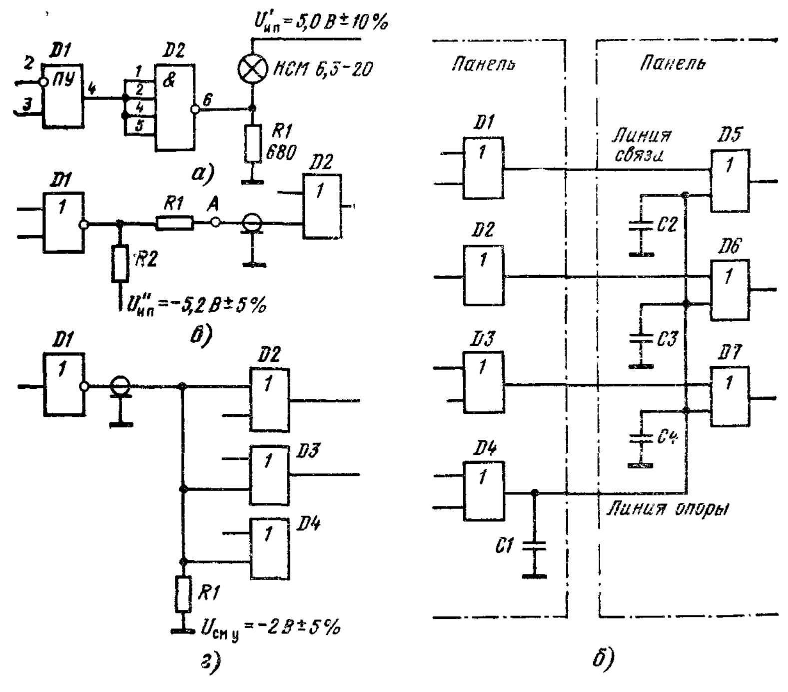


Рис. 2.21. Некоторые схемы включения микросхемы ЭСЛ:

а — схема индикации, *б* — схема передачи информации между двумя платами устройства; *в*, *г* — последовательный и параллельный способы согласования линии связи

доточенном способе связи от точки подсоединения нагрузочного резистора в конце линии связи длиной 200 мм отходят линии связи длиной также 200 мм к микросхемам-нагрузкам.

Для исключения «звонов» на входе приемника сигнала информацию рекомендуется передавать по согласованной линии связи. На рис. 2.21, *в*, *г* приведены схемы реализации последовательного и параллельного способов согласования линии связи. Для линии связи с волновым сопротивлением ρ=50 Ом применяются резисторы с но-

Таблица 2.12

ρ, Ом	R_1, Ом	R_2, Ом	ρ, Ом	R_1, Ом	R_2, Ом
50	81	130	100	162	260
75	121	195	150	243	390

миналами $R_1=43$ Ом и $R_2=240$ Ом (при последовательном согласовании) и $R_1=51$ Ом (при параллельном согласовании). Допускается другой способ параллельного согласования (с помощью двух резисторов R_1 и R_2, подключаемых в конце линии) с использованием напряжения источника смещения уровня $U_{см\,у}=-5{,}2$ В±5 %, к которому подключается резистор R1. Рекомендуемые номиналы резисторов R1 и R2 в зависимости от волнового сопротивления линии приведены в табл. 2.12.

2.6. Цифровые микросхемы на МОП-транзисторах

За последнее десятилетие широкое распространение получили микросхемы, основанные на полевых структурах. Эти структуры названы так потому, что их работа основана на регулировании уровня тока в приповерхностном слое полупроводникового материала за счет влияния поперечного электрического поля на проводимость канала. В цифровых микросхемах практическое применение получили полевые транзисторы с оксидной изоляцией, образующие структуру металл — окисел — полупроводник (МОП), и транзисторы с комбинированной нитридно-оксидной изоляцией (МНОП)

Транзисторы МОП делятся на два вида: с встроенными (легированными) и индуцируемыми каналами (рис. 2.22). В транзисторах последнего типа канал создается (индуцируется) под действием управляющего напряжения, подаваемого на затвор. С ростом этого напряжения канал обогащается носителями. В транзисторах с встроенным каналом он создается технологическим путем. По типу проводимости полевые транзисторы делятся на транзисторы с каналами р- и n-типов

В отличие от биполярных в МОП-транзисторах ток в канале

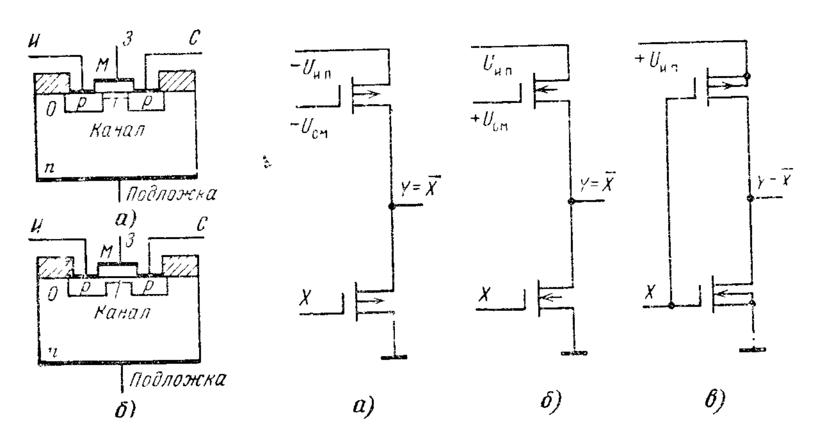


Рис. 2.22. Поперечное сечение МОП-структуры с индуцируемым (*а*) и встроенным (*б*) каналами

Рис. 2.23. Схемы инверторов на МОП-транзисторах с каналом *р*-типа (*а*), *n* типа (*б*) и на КМОП-транзисторах (*в*)

переносится основными носителями. Транзисторы типа МОП представляют собой четырехэлектродный полупроводниковый прибор. Истоком называется электрод, от которого начинают движение основные носители в канале, стоком — электрод, к которому двигаются основные носители, затвором — управляющий электрод. Четвертый электрод присоединен к подложке — полупроводниковой области, на которой изготавливается транзистор.

Прикладывая напряжение к затвору, можно изменять ток в канале (при постоянном напряжении на стоке), а значит, менять сопротивление канала. Транзисторы МОП-типа в отличие от биполярных управляются напряжением и в этом смысле являются аналогом электронных ламп На рис 2.23 показаны три варианта выполнения схемы НЕ на МОП-транзисторах с индуцируемыми каналами. Микросхемы на МОП-транзисторах имеют ряд преимуществ по сравнению с биполярными схемами. Они конструктивно просты, технологичны, имеют высокую помехоустойчивость и малую мощность рассеивания. МОП-вентиль занимает гораздо меньшую площадь на поверхности подложки по сравнению с биполярным ключом. Это позволяет получить микросхемы с числом эквивалентных ключей до 100 000 на одном кристалле.

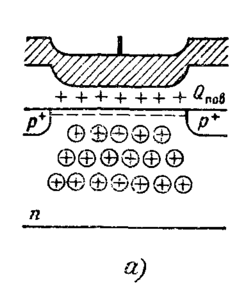
Большинство выпускаемых в настоящее время цифровых микросхем на МОП-транзисторах основано на МОП-транзисторах с индуцируемыми каналами р-типа, или, как их еще называют, на р-канальных транзисторах. В последние годы получили распространение микросхемы на комплементарных МОП-транзисторах (КМОП), а также на n-канальных транзисторах. Рассмотрим более подробно микросхемы на МОП-транзисторах.

2.6.1. Принцип работы микросхем на р-канальных МОП-транзисторах

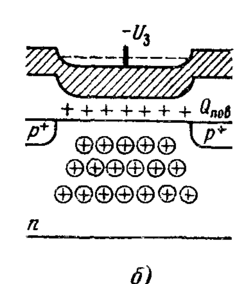
Рассмотрим принцип работы МОП-транзистора с индуцируемым р-каналом (рис. 2.24). Если к структуре не приложены напряжения, р-n переходы, образованные областями стока, истока и подложкой, закрыты [1]. На границе раздела между полупроводником и диэлектриком образуется отрицательный заряд подвижных электронов, уравновешивающий положительный заряд поверхностных состояний $Q_{пов}$ (рис. 2.24, *а*). Электрическое поле сосредоточено на границе раздела полупроводника и окисла SiO_2. При подаче отрицательного напряжения на затвор возникает электрическое поле, под действием которого уменьшается внутреннее электрическое поле на границе раздела. С увеличением отрицательного напряжения на затворе свободные электроны вытесняются из прилегающей к затвору области и в ней образуется обедненный слой. При дальнейшем увеличении напряжения на затворе у поверхности раздела увеличивается концентрация положительно заряженных дырок (рис. 2.24, *б*).

При определенном напряжении на затворе, когда в области канала накопится достаточное количество дырок, тип проводимости поверхности раздела станет дырочным и области *р*-типа окажутся соединенными друг с другом посредством инверсионного слоя с проводимостью р-типа Этот слой и служит каналом (рис. 2.24, *в*).

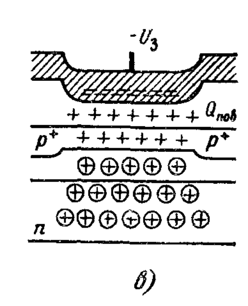
Изменяя отрицательное напряжение на затворе, можно модулировать количество носителей (дырок) в области канала, т. е. регулировать протекающий в канале ток. Канал транзистора изолирован



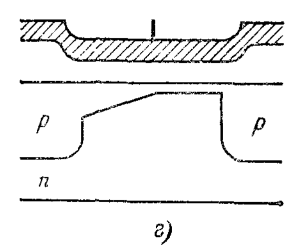
а)



б)



в)



г)

Рис. 2.24. МОП-транзисторы с индуцируемым р-каналом:

а—в — различные степени обогащения канала; *г* — режим насыщения (длина канала уменьшается)

от основного объема подложки высокоомным слоем заряда. Если на подложке изготавливается несколько транзисторов, можно пренебречь их взаимным влиянием. Для управления проводимостью канала может быть использована подложка. Отрицательное напряжение, приложенное к подложке, приводит к отпиранию p-n переходов между подложкой и областями стока и истока. Положительное напряжение увеличивает толщину объемного заряда, уменьшает проводимость канала, а при дальнейшем увеличении может привести к полному исчезновению канала.

Напряжение на затворе, при котором между стоком и истоком появляется индуцируемый канал, называется напряжением отпирания $U_{отп}$. Под действием разности потенциалов между стоком и истоком в канале транзистора протекает определенный ток стока $I_С$. Когда напряжение на стоке $U_С$ мало, ток $I_С$ прямо пропорционален приложенному напряжению и изменяется по линейному закону. При увеличении $U_С$ ток $I_С$ растет, так как увеличивается электрическое поле вдоль канала. Однако одновременно $U_С$ будет компенсировать напряжение, приложенное к затвору, что вызовет уменьшение толщины канала около стока (рис. 2.24, *г*), т. е. уменьшение его проводимости, и приведет к отклонению зависимости $I_С$ $(U_С)$ от линейного закона. Кроме того, повышение $U_С$ приводит к увеличению разности потенциалов между каналом и подложкой, что, в свою очередь, вызывает изменение толщины объемного заряда вдоль канала. Дальнейшее увеличение $I_С$ приводит к уменьшению длины канала и насыщению $I_С$. Условие насыщения определяется выражением $|U_{сгр}| \approx$ $\approx |U_З| - |U_{отп}|$.

Рассмотрим примеры построения цифровых микросхем на основе р-канальных МОП-транзисторов. Существуют и достаточно широко применяются три типа схем на МОП-транзисторах: статические, квазистатические и динамические. В схемах квазистатического и динамического типов используется высокое входное сопротивление МОП-транзисторов и способность паразитной емкости затвора длительное время сохранять заряд и уровень напряжения на затворе. Схемы этого типа применяются для построения триггерных устройств, регистров и счетчиков, но основная область их применения — создание схем памяти [3].

2.6.2. Статические схемы на р-канальных МОП-транзисторах[1]

На рис. 2.25 представлены схемы базовых ЛЭ, выполняющих функции И — НЕ, ИЛИ — НЕ. Для простоты здесь и на последующих рисунках не показаны цепи подложки, которая, как правило, соединяется с истоком транзистора. В переключательных схемах с общим истоком, построенных на р-канальных МОП-транзисторах, используется отрицательное напряжение питания цепей стока. Это схемы отрицательной логики. Схемы, приведенны на рис. 2.25, *а*, *б*, содержат два переключательных транзистора VT1, VT2 и один нагрузочный VT3. Затвор нагрузочного транзистора может быть подключен к источнику напряжения смещения, имеющему обычно более высокое напряжение (по абсолютной величине), чем напряжение, коммутируемое ключевой схемой. Чаще всего затвор нагрузочного транзистора соединяется с источником напряжения питания стоковых цепей

Для реализации функции И — НЕ (рис. 2.25, *а*) транзисторы VT1, VT2 соединены последовательно с нагрузочным транзистором VT3, образуя так называемое ярусное включение. Ток через транзистор VT3 может течь лишь при условии, что транзисторы VT1 и VT2 открыты, т. е при наличии сигналов на обоих входах схемы И — НЕ. Число переключательных транзисторов (коэффициент объединения по входу $К_{об}$) может быть увеличено, однако обычно оно не превышает четырех. Благодаря высокому входному сопротивлению МОП-транзисторов ($R_{ру}>10^{12}$ Ом) цифровые микросхемы, построенные на их основе, имеют высокую нагрузочную способность ($К_{раз}>10...20$). Нагрузочная способность ограничивается лишь снижением быстродействия ключа при росте числа нагрузок, так как увеличивается постоянная времени заряда паразитной емкости нагрузки током, протекающим через нагрузочный транзистор. При $К_{раз}=10$ паразитная емкость нагрузки $С_{н}=20$ пФ, а максимальная рабочая частота равна 110 кГц.

Схема ИЛИ — НЕ (рис. 2.25, *б*) образуется параллельным соединением переключательных транзисторов и подсоединением их объединенных стоков к истоку нагрузочного транзистора VT3. Здесь путь току через транзистор VT3 открывается при включении одного из транзисторов (VT1 или VT2), т. е. при наличии сигнала на одном

---

[1] Указанные схемы приведены, как один из этапов развития технологии микросхем. В настоящее время микросхемы на рМОП-транзисторах в новых разработках не применяются, их заменили на микросхемы на nМОП-транзисторах,

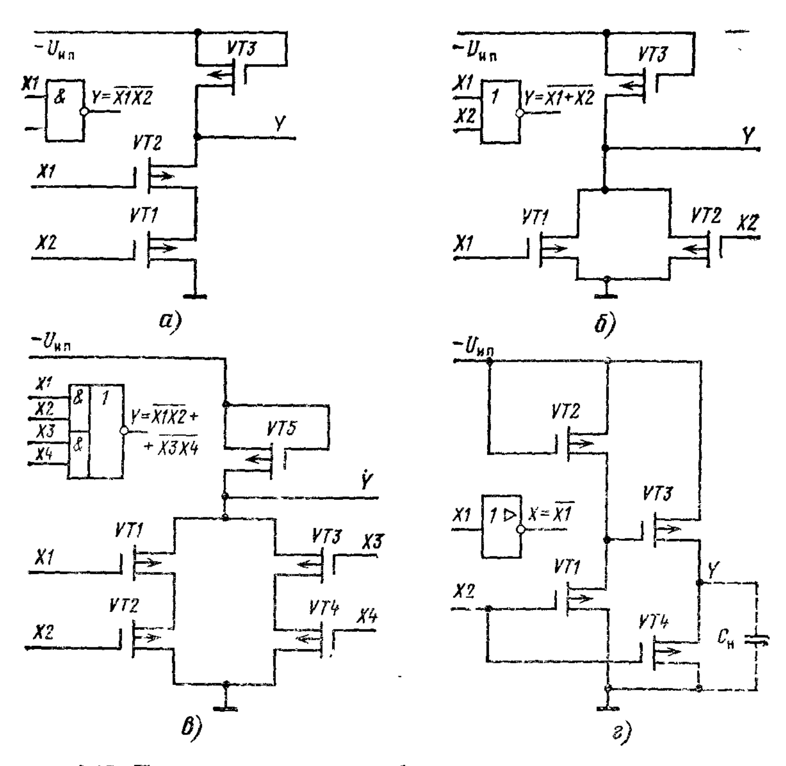


Рис 2.25 Принципиальные схемы базовых логических элементов для p-канальных МОП-транзисторов и их функциональное обозначение. *а* — И—НЕ, *б* — ИЛИ—НЕ, *в* — И—ИЛИ—НЕ; *г* — НЕ с буферным выходом

из входов схемы ИЛИ — НЕ. Число входов (коэффициент объединения по входу $К_{обИЛИ}$) здесь может быть вдвое больше, чем у последовательных (многоярусных) схем, и достигает 10. Объясняется это тем, что у параллельных микросхем типа ИЛИ — НЕ число $К_{обИЛИ}$ ограничивается лишь снижением высокого уровня напряжения за счет падения напряжения на нагрузке от суммарного тока утечки в цепях сток — исток входных транзисторов. Поскольку этот ток очень мал, $К_{обИЛИ}$ может достигать 10. Увеличение же числа входных транзисторов в многоярусных схемах усложняет топологию и снижает степень интеграции микросхем рМОП-типа. Хотя $К_{обИ}$ не превышает четырех, ярусное включение позволяет реализовать схемы более сложных логических функций, например типа И — ИЛИ — НЕ (рис. 2.25, *в*)

Для увеличения нагрузочной способности выход микросхем снабжается буферным каскадом В этих схемах заряд и разряд емкости нагрузки происходят всегда через небольшое сопротивление одного из открытых выходных транзисторов. Выходной каскад у таких схем аналогичен двухтактному транзисторному выходу микросхем

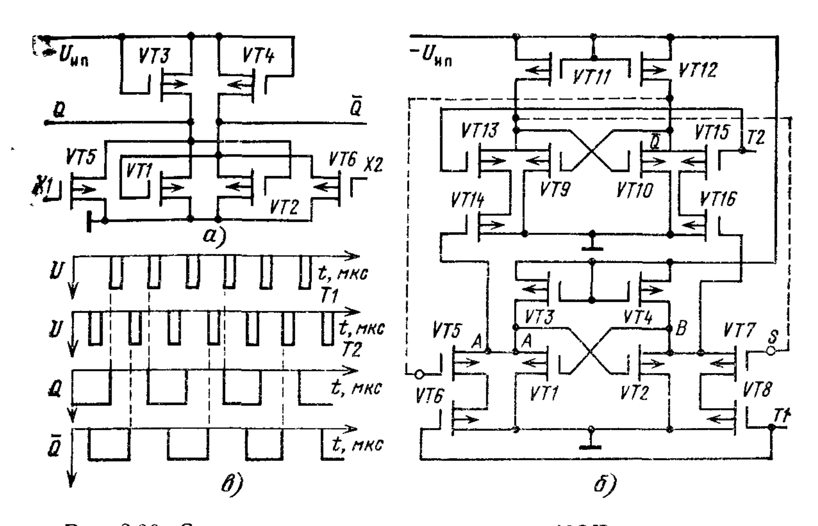


Рис 2.26 Схемы триггеров на р-канальных МОП-транзисторах:

а — статический триггер; *б* — универсальный двухступенчатый триггер, *в* — временные диаграммы работы двухтактного триггера в режиме счета

ТТЛ (рис 2.25, *г*). При отсутствии сигнала на входе схемы открывается транзистор VT3 и емкость $C_н$ заряжается. При подаче на вход схемы сигнала X1 транзистор VT3 закрывается, но открывается VT4, через который происходит быстрый разряд емкости $C_н$. Нагрузочная способность таких схем может быть равна 20...30. Чем проще схема ячейки, тем больше емкость БИС памяти.

Соединение двух инверторов позволяет получить упрощенную схему RS-триггера, содержащую всего четыре МОП-транзистора. Полные принципиальные схемы триггеров, входящих в состав серий микросхем построенных на МОП-структурах, включают также цепи управления (входы установки «0» и «1» и счетный вход), реализуемые с помощью логических схем И, ИЛИ. В простейшем статическом триггере (рис. 2.26, *а*) для управления используются транзисторы VT5 и VT6. Пусть триггер находится в состоянии, при котором на выходе Q уровень напряжения соответствует высокому уровню, а на выходе $\bar{Q}$ — низкому, при этом транзистор VT1 закрыт, VT2 открыт. При подаче на затвор транзистора VT5 сигнала высокого уровня последний открывается, шунтируя закрытый транзистор VT1. Напряжение на стоке транзистора VT1 уменьшается, что приводит к закрыванию транзистора VT2 и открыванию VT1. В результате схема переходит в новое состояние, при котором на выходе Q — низкий уровень, а на выходе $\bar{Q}$ — высокий. Для перевода схемы в первоначальное состояние необходимо подать «1» на затвор тразистора VT6.

В состав серий микросхем на рМОП-транзисторах (К501, КР558, К573, КР160) наряду с комбинаторными схемами включены двухступенчатые тактируемые триггерные устройства, состоящие из основного и вспомогательного триггеров. Запись информации в такне

триггеры, имеющие информационные и тактовые входы, осуществляется только с помощью разрешающего тактирующего импульса.

В двухтактном двухступенчатом RS-триггере (рис. 2.26, *б*) основной триггер, принимающий информацию, образован транзисторами VT1 — VT4, вспомогательный, фиксирующий состояние триггерного устройства, — транзисторами VT9 — VT12. Управление осуществляется с помощью схем И, образованных транзисторами VT5 — VT8 и VT13 — VT16.

Рассмотрим работу триггера. Пусть основной триггер находится в состоянии, когда в точке А напряжение соответствует «0», а в точке В «1» ($R=S=0$). Если при этом отсутствует тактовый импульс Т2, то состояние вспомогательного триггера с равной вероятностью может быть $Q=0$ и $\bar{Q}=1$. Однако с приходом первого тактового импульса Т2 на вспомогательный триггер будет переписана информация с основного триггера, и он установится в состояние $Q=1$, $\bar{Q}=0$.

Появление информационных сигналов R или S (при $T1=0$) не изменит состояния триггера. Если же на затвор транзистора VT7 поступит сигнал $S=1$ и одновременно с ним придет тактовый импульс Т1, сработает схема И (транзисторы VT7, VT8), уровень напряжения в точке В изменится и будет соответствовать «0», а в точке А «1». Таким образом, основной триггер перейдет в новое состояние, которое с приходом очередного импульса Т2 повторит состояние вспомогательного триггера, при этом импульсы Т1 и Т2 должны быть разнесены во времени

Схема двухтактного RS-триггера (рис. 2.26, *б*) преобразуется в схему двухтактного триггера со счетным входом, если выходы $\bar{Q}$ и Q соединить с входами основного триггера (R и S соответственно). При отсутствии счетного импульса Т1 каждым поступающим импульсом Т2 информация будет переписываться из основного триггера (VT1 — VT8) во вспомогательный VT9 — VT16 (см. рис. 2.26, *в*). При первом же счетном импульсе Т1 срабатывает та схема И, на обоих входах которой оказывается сигнал «1», и основной триггер устанавливается в состояние, инверсное вспомогательному. В этот момент запись информации во вспомогательный триггер заблокирована, так как $T2=0$. Очередной импульс $T2=1$ установит вспомогательный триггер в состояние, соответствующее состоянию основного.

2.6.3. Квазистатические и динамические схемы

Как уже отмечалось выше (см. § 2.6.1), в квазистатических и динамических схемах используется свойство МОП-транзистора сохранять заряд на паразитной емкости затвора в течение определенного времени. Это является основой для построения динамических ОЗУ, например, серии КР565, К589. Но в отличие от динамических квазистатические триггеры не требуют так называемого «тактового питания» в период хранения информации. Тактовое питание необходимо при записи информации; оно осуществляется тактовыми импульсами — фазами, имеющими длительность, меньшую, чем постоянная времен заряда и разряда паразитных емкостей затворов МОП-транзисторов. По сравнению со схемами статического типа квазистатические и динамические схемы триггеров позволяют в 2...3 раза уменьшить число используемых в МОП-транзисторов, что является резервом наращивания емкости ЗУ.

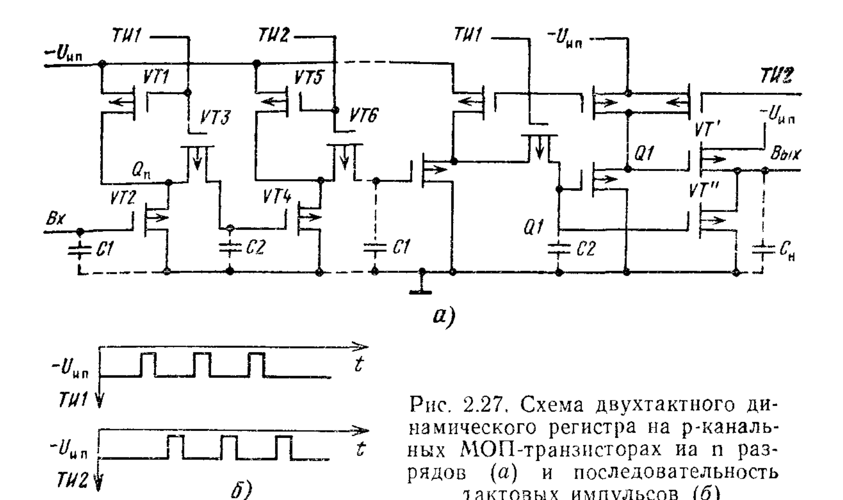


Рис. 2.27. Схема двухтактного динамического регистра на р-канальных МОП-транзисторах на n разрядов (*а*) и последовательность тактовых импульсов (*б*)

Наибольшее распространение получили схемы двух,- трехфазных квазистатических триггеров D-типа. Напомним, что триггеры, называемые также триггерами-защелками, представляют собой устройство с двумя устойчивыми состояниями и одним информационным входом. Квазистатические D-триггеры часто используются для построения регистров. При этом цепи, управляющие записью и сдвигом, а также формирователи фаз входят в состав микросхем. Это обстоятельство позволяет использовать в квазистатических регистрах, являющихся многофазными системами, однотактный внешний сигнал, подобный однотактному сигналу T1 для двухфазного D-триггера. Недостатком квазистатических регистров является потребление мощности D-триггерами в режиме хранения информации. Поэтому более широкое распространение получили динамические регистры на рМОП-транзисторах.

Динамические двух- или четырехтактный регистры используются как регистры сдвига и обеспечивают необходимую задержку в схемах логических и арифметических узлов ЭВМ и устройств дискретной автоматики. Рассмотрим работу двухтактного динамического регистра на рМОП-транзисторах (рис. 2.27, *а*) [3].

Разряд регистра содержит два инвертора, собранных на трех транзисторах каждый (VT1 — VT3 и VT4 — VT6). Тактовый импульс ТИ1 поступает одновременно на затвор нагрузочного транзистора VT1 первого инвертора и на затвор VT3. Тактовый импульс ТИ2 поступает на затвор нагрузочного транзистора VT5 и одновременно на затвор VT6.

Рассмотрим, каким образом осуществляется запись информации и ее сдвиг. Пусть на вход первого младшего разряда регистра подан сигнал, соответствующий «1». В результате паразитная емкость C1 заряжается и открывает транзистор VT2. При поступлении тактового импульса ТИ1 открываются транзисторы VT1 и VT3 и паразитная емкость C2 разряжается через открытый транзистор VT2. По

окончании импульса ТИ1 на емкости С1 сохраняется заряд, соответствующий «0», в результате чего транзистор VT4 будет закрыт. Тактовый импульс ТИ2 откроет транзисторы VT5, VT6, поэтому будет образована цепь заряда паразитной входной емкости следующего разряда. Таким образом, за два тактовых импульса сигнал «1», поданный на вход первого разряда, окажется переписанным на вход следующего разряда Последовательность тактовых импульсов приведена на рис. 2.27, *б*.

Рассмотрим случай, когда входной сигнал соответствует уровню «0». При этом транзистор VT2 окажется закрытым и с приходом импульса ТИ1 емкость С2 будет заряжена через цепь открытых транзисторов VT1, VT3, что обеспечит открывание транзистора VT4. С приходом импульса ТИ2 емкость С1 второго разряда полностью разряжается через открытый транзистор VT4. В результате за время двух тактовых импульсов сигнал «0», поданный на вход первого разряда, будет переписан на вход второго разряда. Так как тактовые импульсы поступают на все разряды регистра одновременно, то и процесс сдвига информации идет одновременно во всех разрядах.

Как видно из схемы регистра, приведенной на рис. 2.30, *а*, потребление мощности в каждом разряде регистра происходит только в момент прихода тактовых импульсов, когда в каждом разряде открываются нагрузочные транзисторы VT1, VT5. Длительность тактовых импульсов определяется временем заряда паразитных емкостей С1, С2, ... и составляет 1...2 мкс, что обеспечивает среднюю потребляемую мощность на разряд, в 3...5 раз меньшую, чем у квазистатических регистров

На выходе динамического регистра для получения хорошей нагрузочной способности включается мощный выходной каскад (транзисторы VT′ и VT″), обеспечивающий быстрый разряд (через транзистор VT″) или заряд (через транзистор VT′) нагрузочной емкости $C_н$. Принцип работы четырехтактного динамического регистра аналогичен принципу работы двухтактного, но четырехтактные динамические регистры позволяют получить более высокую частоту работы схемы при меньшей потребляемой мощности на разряд.

2.6.4. Принцип работы микросхем на КМОП-транзисторах

Как видно из схемы инвертора, показанной на рис. 2.26, *в*, она составлена из транзисторов разного типа проводимости (КМОП-транзисторов). Транзистор n-типа подключен истоком к нулевому потенциалу (общая шина), транзистор p-типа — к положительной шине источника питания. Такая схема обеспечивает работу в режиме положительной логики, в котором работают наиболее широко применяемые серии КМОП-схем.

Цифровые микросхемы на КМОП-транзисторах отличаются рядом преимуществ по сравнению с микросхемами на pМОП-транзисторах: они имеют малую мощность потребления в статическом режиме (единицы микроватт), относительно высокое быстродействие, хорошую помехоустойчивость и достаточно большую нагрузочную способность [3]. Мощность, потребляемая схемой на КМОП-транзисторах, расходуется в основном во время переходного процесса на заряд выходных паразитных емкостей схемы и собственных емкостей транзистора. Поэтому с увеличением частоты переключения схемы,

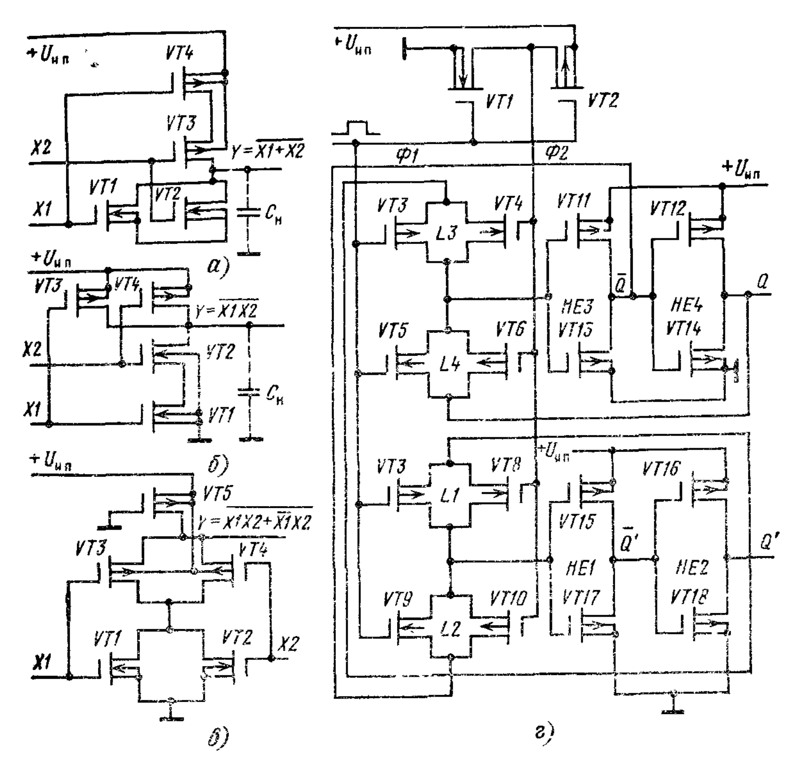


Рис 2.28 Схемы на КМОП-транзисторах,

а — ИЛИ—НЕ; *б* — И—НЕ; *в* — ИЛИ—ИЛИ—НЕ; *г* — счетный триггер

а также выходной эквивалентной емкости потребляемая мощность возрастает, что моделируется уравнением $P_{дин}=2C_н f_р U_{нп}^2$, где $C_н$ — эквивалентная емкость нагрузки; $f_р$ — рабочая частота; $U_{нп}$ — напряжение источника питания.

В статическом режиме мощность определяется напряжением питания и токами утечки закрытого МОП-транзистора. На КМОП-транзисторах, как и на рМОП-транзисторах, могут быть построены статические, квазистатические и динамические схемы.

Статические логические схемы И — НЕ, ИЛИ — НЕ, ИЛИ — ИЛИ — НЕ и схема счетного триггера представлены на рис. 2 28 [1] Перезаряд емкости нагрузки $C_н$ схем на КМОП-транзисторах всегда осуществляется через открытый транзистор р- или n-типа, что повышает быстродействие схемы. Для уменьшения мощности, потребляемой в динамическом режиме, необходимо снижать емкость нагрузки $C_н$. Минимальное напряжение питания схемы на КМОП-транзисторах определяется напряжением открывания $U_{отк\ р}$ р-канального транзистора, так как оно больше, чем напряжение $U_{отк\ n}$

n-канального транзистора. Напряжение питания выбирается большим, чем $U_{отк\ р}$. Это позволяет в схеме на КМОП-транзисторах получать высокую помехоустойчивость и хорошее быстродействие Повышенное быстродействие и потребляемая мощность обеспечивают их широкое применение, особенно для построения схем с высокой степенью интеграции. Чтобы уменьшить число элементов, в схемы на КМОП-транзисторах включают нагрузочный транзистор p-типа (для схем положительной логики).

На КМОП-транзисторах могут быть построены квазистатические и динамические триггеры, которые по структуре аналогичны соответствующим схемам на pМОП-транзисторах. Следует отметить, что квазистатические и динамические схемы (триггеров и регистров) на КМОП-транзисторах позволяют значительно уменьшить число элементов по сравнению с аналогичными схемами статического типа и значительно сократить потребляемую мощность [1].

2.6.5. Основные серии микросхем на МОП-транзисторах

Для микросхем на МОП-транзисторах доступна степень интеграции на кристалле до 100 000 элементов. Это так называемые большие интегральные схемы (БИС), составляющие основу компактных микрокалькуляторов, матриц ЗУ, электронных часов и микропроцессоров.

Первые серии микросхем на МОП-структурах были выполнены по схемотехнике «высоковольтных» p-канальных схем. К их числу следует отнести серию К172, на базе которой создано семейство настольных калькуляторов. Состав серии был ограничен четырьмя простыми логическими схемами (до 30 элементов на кристалле) и двухступенчатым триггером с входной логикой. Эти схемы имели малое быстродействие ($t_{зд\ р}=1$ мкс), большую мощность потребления (40 мВт/ЛЭ) и большие (по абсолютной величине) уровни выходного напряжения $U^1_{вых}=-7{,}5$ В, $U^0_{вых}=-2{,}3$ В), не совместимые с уровнями микросхем ТТЛ. В новых разработках микросхемы серии К172 не применяются.

Недостатки первых серий на pМОП-транзисторах были в значительной мере устранены с освоением в серийном производстве микросхем на КМОП-структурах: серии 564, КР1561 (аналоги CD4000, CD4000A). Микросхемы этих серий имеют на частоте 1 МГц динамическую мощность потребления 20 мВт/ЛЭ, а их статическая мощность потребления измеряется единицами микроватт. В табл. 2.13 приведены состав широко применяющихся серий микросхем на КМОП-транзисторах и их функциональные аналоги в сериях CD4000 и CD4000A В графе «Обозначение функционального аналога» указаны две последние цифры обозначения микросхем (например 11 для CD4011 и 22А для CD4022A). Если микросхема является аналогом других серий, обозначение аналога приводится полностью. В табл. 2 13 включены также новые схемы серии 1564, являющиеся функциональным аналогом серии 54НС.

Новое семейство быстродействующих КМОП-схем отличается от своих предшественников соответственно в 5 и 10 раз увеличенными быстродействием и нагрузочной способностью. Улучшение характеристик достигается за счет более плотной топологии структуры затвора и более тонкого слоя окисла в области затвора.

Таблица 2.13

Функциональное назначение	Подгруппа, вид и порядковый номер разработки	Обозначение функционального аналога	Номер рисунка
Два логических элемента 3ИЛИ—НЕ и логический элемент НЕ (К176)	ЛП4	00	1
Четыре логических элемента 2ИЛИ—НЕ (К561, 564, КР1561)	ЛЕ5	01	2
Два логических элемента 4ИЛИ—НЕ (К561, 564, КР1561)	ЛЕ6	02	3
Два D-триггера с установкой «0» (К176)	ТМ1	03	4
Матрица-накопитель ОЗУ на 16 бит (К176)	РМ1	05	5
Последовательный регистр сдвига (564)	ИР1	06	6
Логический универсальный элемент (К176)	ЛП1	07	7
Четырехразрядный полный сумматор (К561, 564)	ИМ1	08	8
Шесть преобразователей уровня с инверсией (К176)	ПУ2	09	9
Шесть преобразователей уровня без инверсии (К176)	ПУ3	10	10
Четыре логических элемента 2И—НЕ (К561, 564)	ЛА7	11	11
Два логических элемента 4И—НЕ (К561, 564)	ЛА8	12	12
Два D-триггера с установкой «0» и «1» (К561, 564, 1564*)	ТМ2	13	13
Сдвоенный 4 разрядный статический регистр сдвига (К561, 564)	ИР2	15	14
Четыре двунаправленных переключателя (К176)	КТ1	16	15
Десятичный счетчик с дешифратором (К561)	ИЕ8	17	16
Четыре логических элемента И—ИЛИ (К561, 564)	ЛС2	19А	17
Четырнадцатиразрядный двоичный счетчик-делитель (К561)	ИЕ16	20А	18
Счетчик-делитель на 8 (К561, 564)	ИЕ1	22А	19
Три логических элемента 3И—НЕ (К561, 564, КР1561)	ЛА9	23	20
Шестиразрядный двоичный счетчик (К176)	ИЕ1	24	21
Три логических элемента 3ИЛИ—НЕ (К561, 564, КР1561)	ЛЕ10	25	22

Функциональное назначение	Подгруппа, вид и порядковый номер разработки	Обозначение функционального аналога	Номер рисунка
Два JK-триггера (K561, 564, KP1561)	ТВ1	27	23
Дешифратор 4×10 (K561, 564)	ИД1	28	24
Двоичный (двоично-десятичный) 4-разрядный реверсивный счетчик с предварительной установкой (564)	ИЕ14	29A	25
Четыре логических элемента ИСКЛЮЧАЮЩЕЕ ИЛИ (K561, 564)	ЛП2	30	26
Восьмиразрядный регистр сдвига (K176)	ИР4	31	27
Восьмиразрядный регистр сдвига (K561, 564)	ИР6	34A	28
Четырехразрядный последовательно-параллельный регистр (K561, 564)	ИР9	35A	29
Четыре D-триггера (K561, 564)	ТМ3	42A	30
Четыре RS-триггера (K561, 564)	ТР2	43A	31
Генератор прямоугольных сигналов (564)	ГГ1	46B	32
Шесть логических элементов НЕ (K561, 564)	ЛН2	49A	33
Шесть преобразователей уровня (K561, 564, KP1561)	ПУ4	50A	34
Восьмиканальный мультиплексор (K561, 564, KP1561)	КП2	51A	35
Двойной 4-канальный мультиплексор (K561, 564, KP1561)	КП1	52A	36
Усилители индикации (564)	УМ1	54A	37
Дешифраторы (564)	ИД4	55A	38
Дешифраторы (564)	ИД5	56	39
Программируемый счетчик (564)	ИЕ15	59A	40
Статическое ОЗУ емкостью 256 бит (K176, K561, 564)	РУ2А, РУ2Б	61A	41
Счетверенный двунаправленный переключатель (K561, 564, KP1561)	КТ3	66A	42
Четыре ИСКЛЮЧАЮЩИЕ ИЛИ (KP1561)	ЛП14	70B	43
Логические элементы И (KP1561)	ЛИ2	81B	44
Четыре триггера Шмитта с входной логикой 2И—НЕ (KP1561, K561, 564)	ТЛ1	93B	45
Усилители-формирователи (564, KP1561)	АГ1	98B	46

Функциональное назначение	Подгруппа, вид и порядковый номер разработки	Обозначение функционального аналога	Номер рисунка
Схемы контроля четности и нечетности (564)	ИП6	101В	47
Два логических элемента И—НЕ (564)	ЛА10	107В	48
Преобразователи уровня (564)	ПУ6	109А	49
Двоичный счетчик (КР1561)	ИЕ20	МС14040В	50
Коммутаторы напряжения многоканальные со схемой управления (КР1561)	КП3	МС14050В	51
Четырехрядный регистр D-типа (КР1561)	ИР14	МС14076В	52
Восьмиразрядный преобразователь последовательного кода в параллельный (КР1561)	ПР1	МС14094В	53
Программируемый счетчик (КР1561)	ИЕ21	МС14161В	54
Асинхронный программируемый 4-разрядный счетчик (КР1561)	ИР15	МС14194В	55
Шесть стробируемых логических элементов НЕ (К561, 564)	ЛН1	МС14502А	56
Четырехразрядный двоичный реверсивный счетчик (К561, 564)	ИЕ11	МС14516А	57
Четырехразрядный селектор (КР1561)	К 14	МС14519В	58
Два 4-разрядных счетчика (К561. 564, КР1561)	ИЕ10	МС14520А	59
Двенадцатиразрядная схема сравнения (К561, 564)	СА1	МС14531А	60
Двоичный декодер/демультиплексор с переключением выхода в высокий уровень (КР1561)	ИД6	МС14555ВЕ	61
Двоичный декодер-демультиплексор с переключением выхода в низкий уровень (КР1561)	ИД7	МС14556ВЕ	62
Многоцелевой регистр (К561, 564)	ИР11	МС14580А	63
Арифметическо-логическое устройство (564)	ИП3	МС14581А	64
Схема сквозного переноса (564)	ИП4	МС14582А	65
Четырехразрядный компаратор (К561, 564)	ИП2	МС14585А	66
Шесть инвертирующих триггеров Шмитта (1564)	ТЛ2	54НС14	67
Логический элемент 8И—НЕ (1564)	ЛА2	54НС30	68

Функциональное назначение	Подгруппа, вид и порядковый номер разработки	Обозначение функционального аналога	Номер рисунка
Два логических элемента И—ИЛИ—НЕ (1564)	ЛР11	54НС51	69
Четыре D-триггера (1564)	ТМ5	54НС77	70
Шифратор приоритетов 10-4 (1564)	ИВ3	54НС147	71
Четырехразрядный синхронный двоичный счетчик (1564)	ИЕ7	54НС193	72
Логический элемент НЕ с тремя состояниями на выходе (К561)	ЛН3	UPD 4503BC	73
Пятиразрядный счетчик (К176)	ИЕ2	ТА5971	74
Два логических элемента 4И—НЕ (1564)	ЛА1	—	75
Четыре логических элемента 2ИЛИ—НЕ (1564)	ЛЕ1	—	76
Три логических элемента 3ИЛИ—НЕ (1564)	ЛЕ4	—	77
Логический элемент 9И и логический элемент НЕ (К176, 1564)	ЛИ1	—	78
Три логических элемента 3И (1564)	ЛИ3	—	79
Три логических элемента И—ИЛИ (К176, 564)	ЛС1	—	80
Два логических элемента 4ИЛИ—НЕ и логический элемент НЕ (К176)	ЛП11	—	81
Два логических элемента 4И—НЕ и логический элемент НЕ (К176)	ЛП12	—	82
Три 3-входовых мажоритарных логических элемента (К561, 564)	ЛП13	—	83
Дешифратор двоичного кода в информацию для вывода на 7-сегментный индикатор (К176)	ИД2, ИД2А	—	84
Дешифратор двоичного кода в информацию для вывода на 7-сегментный индикатор (К176, 1564)	ИД3	—	85
Счетчик по модулю 6 с дешифратором для вывода информации на 7-сегментный индикатор (К176)	ИЕ3	—	86
Счетчик по модулю 10 с дешифратором для вывода информации на 7-сегментный индикатор (К176)	ИЕ4	—	87
Пятнадцатиразрядный двоичный делитель частоты (К176)	ИЕ5	—	88
Двоично-десятичный реверсивный счетчик (1564)	ИЕ6	—	89

Функциональное назначение	Подгруппа, вид и порядковый номер разработки	Обозначение функционального аналога	Номер рисунка
Двоичный счетчик на 60 и 15-разрядный делитель частоты (К176)	ИЕ12	—	90
Двоичный счетчик с устройством управления (К176)	ИЕ13	—	91
Двоичный счетчик с устройством управления (календарь) (К176)	ИЕ17	—	92
Двоичный счетчик на 60 (К176)	ИЕ18	—	93
Пятиразрядный счетчик Джонсона (К561, 564)	ИЕ19	—	94
Строенный мажоритарно-мультиплексорный элемент (К561, 564)	ИК1	—	95
Преобразователи двоичного кода в семисегментный (564)	ИК2	—	96
Четырехразрядный универсальный регистр сдвига (К176)	ИР3	—	97
Восемнадцатиразрядный регистр сдвига (К176)	ИР10	—	98
Многоцелевой регистр 4×4 бит (К561, 564)	ИР12	—	99
Двенадцатиразрядный регистр последовательного приближения (564)	ИР13	—	100
Универсальный 2-разрядный умножитель (К561, 564)	ИП5	—	101
Пять преобразователей уровня с инверсией (К176)	ПУ1	—	102
Преобразователи уровня (К176)	ПУ5	—	103
Преобразователи уровня (К561, 564)	ПУ7	—	104
Преобразователи уровня (К561, 564)	ПУ8	—	105
Преобразователи уровня (564)	ПУ9	—	106

* Микросхемы серии 1564 являются функциональным аналогом микросхем серии 54НС

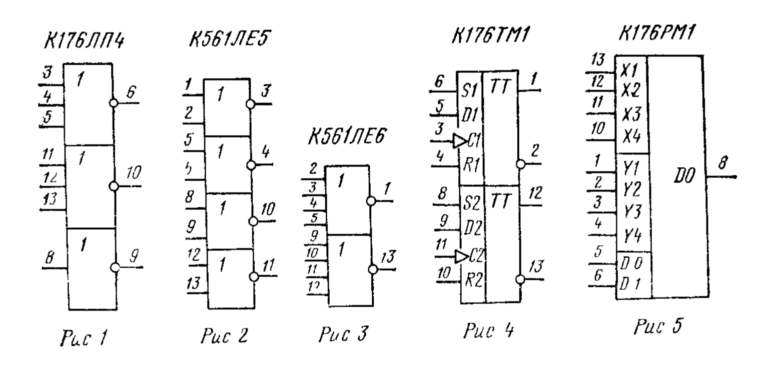


Рис 1 Рис 2 Рис 3 Рис 4 Рис 5

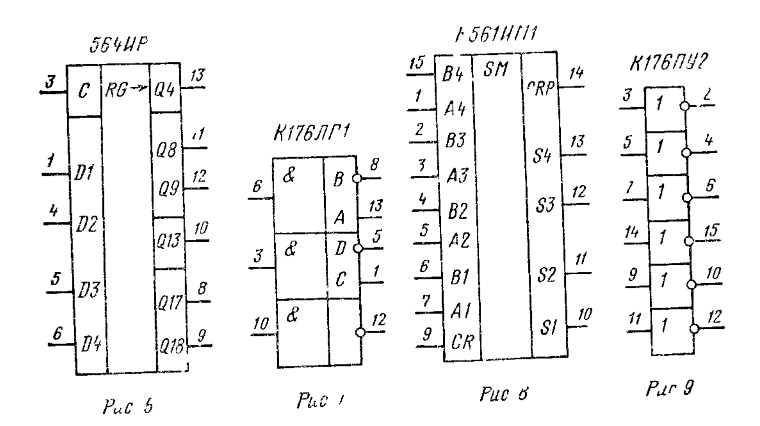


Рис 6 Рис 7 Рис 8 Рис 9

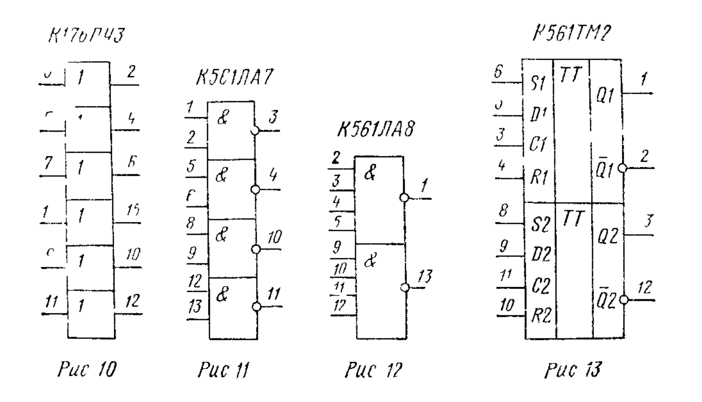


Рис 10 Рис 11 Рис 12 Рис 13

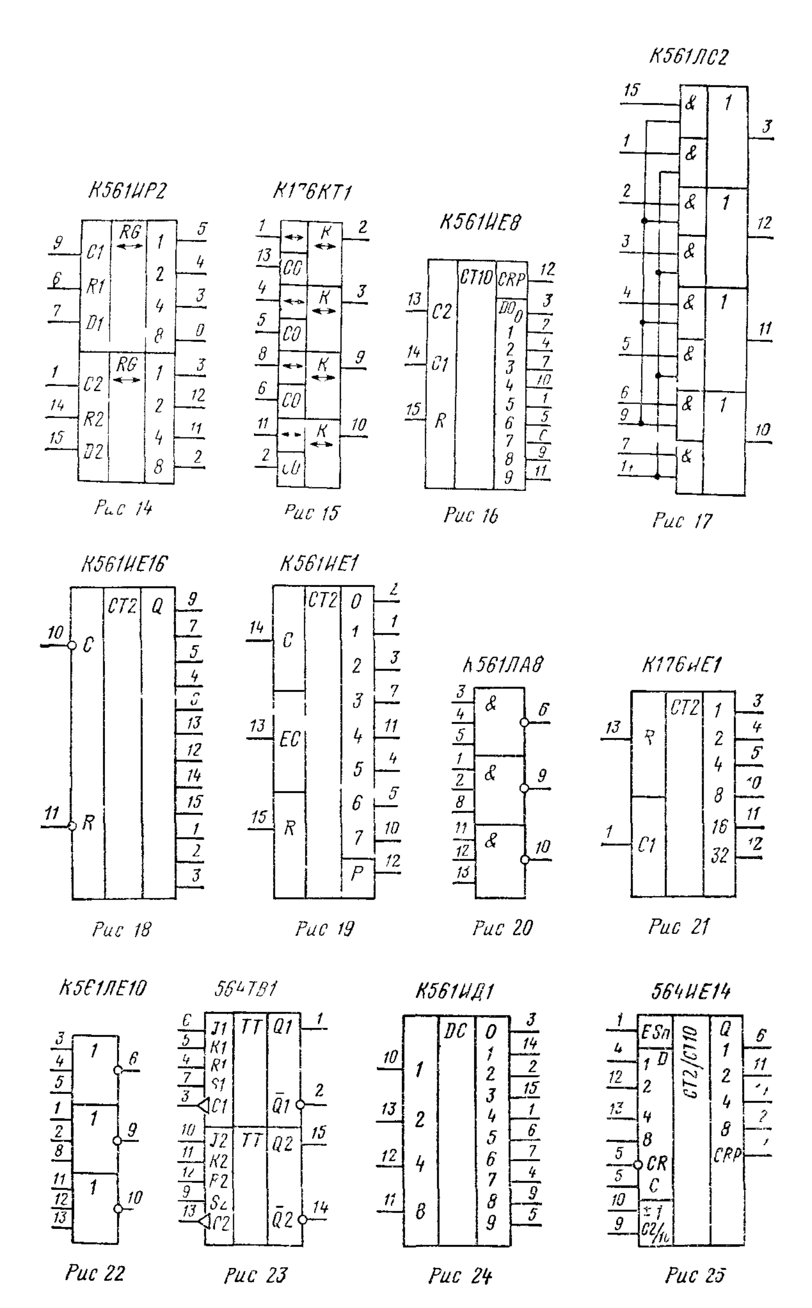


Рис 14 Рис 15 Рис 16 Рис 17

Рис 18 Рис 19 Рис 20 Рис 21

Рис 22 Рис 23 Рис 24 Рис 25

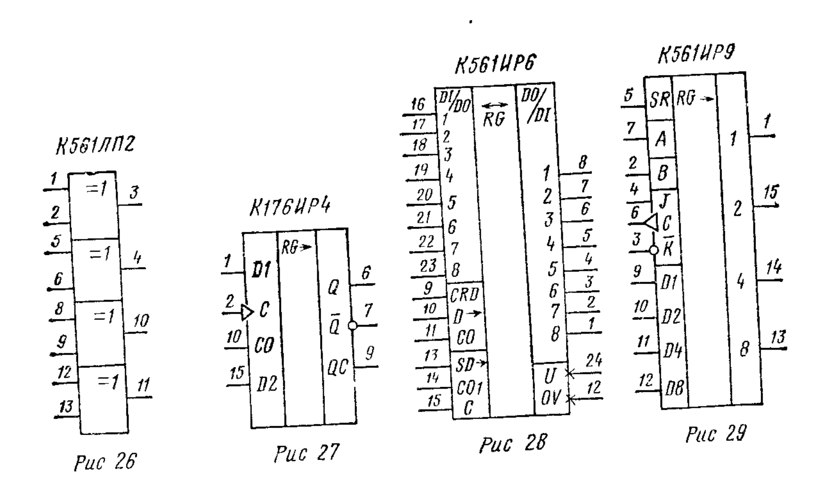


Рис 26

Рис 27

Рис 28

Рис 29

564ТМ3

Рис. 30

564ТР2

Рис 31

564ГГ1

Рис 32

К561ЛН2

Рис 33

К561ПУ4

Рис 34

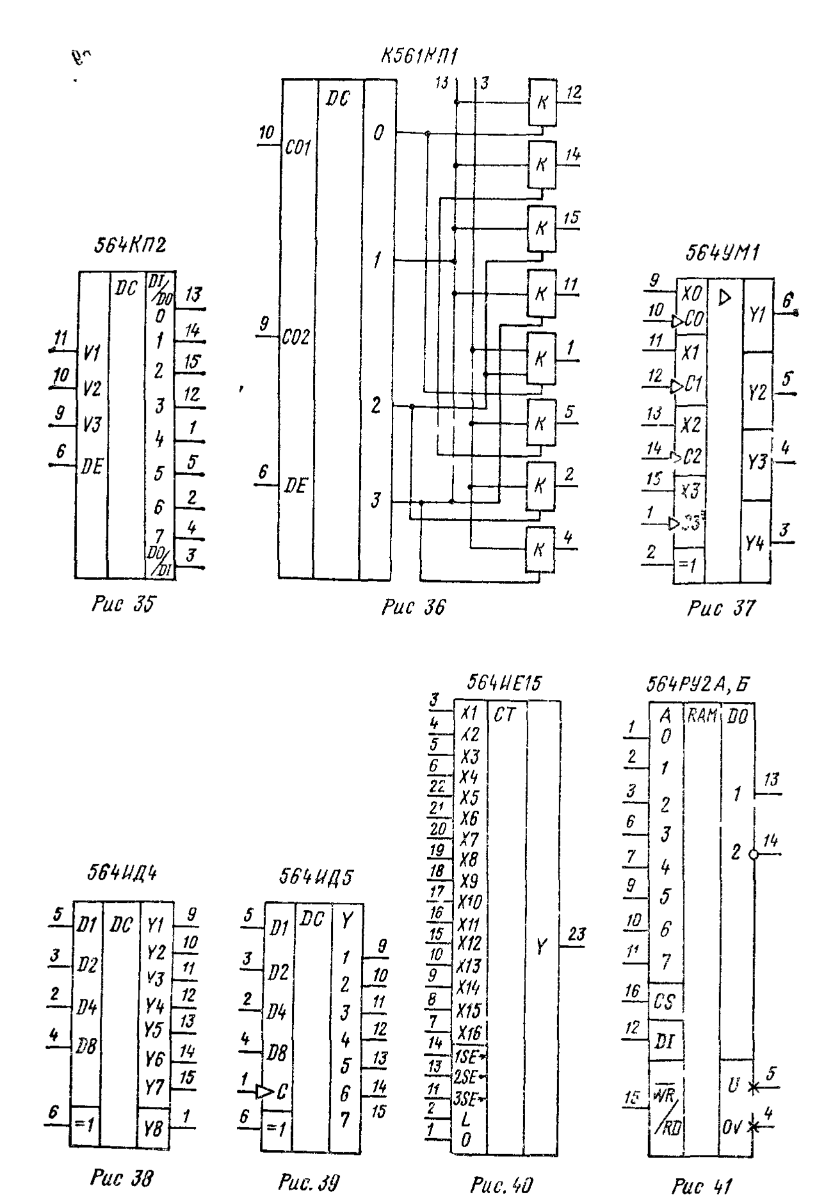


Рис 35

Рис 36

Рис 37

Рис 38

Рис. 39

Рис. 40

Рис 41

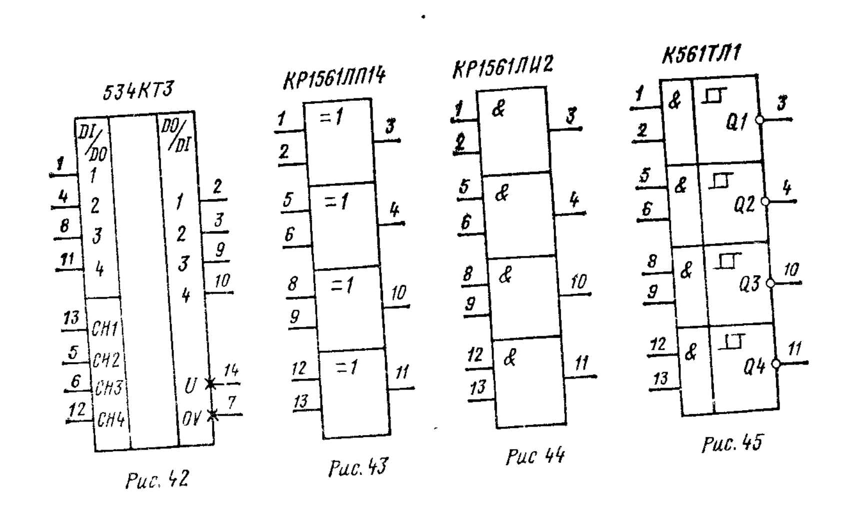


Рис. 42

Рис. 43

Рис 44

Рис. 45

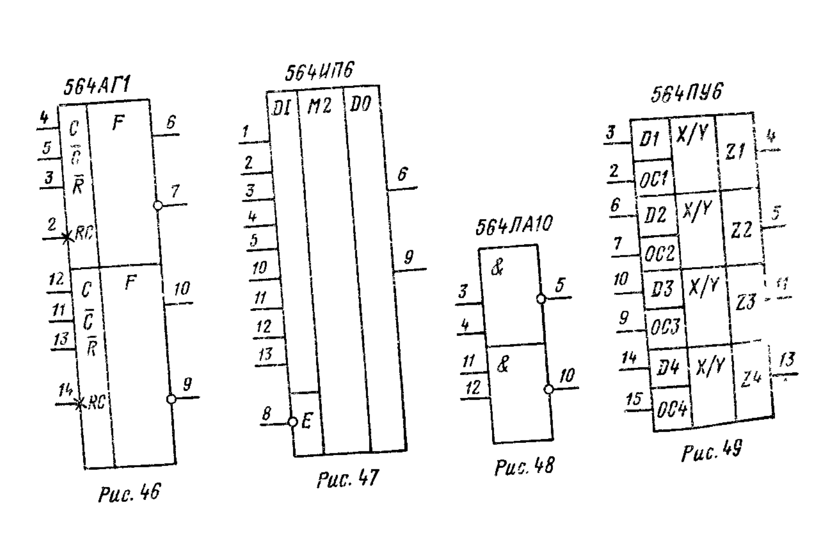


Рис. 46

Рис. 47

Рис. 48

Рис. 49

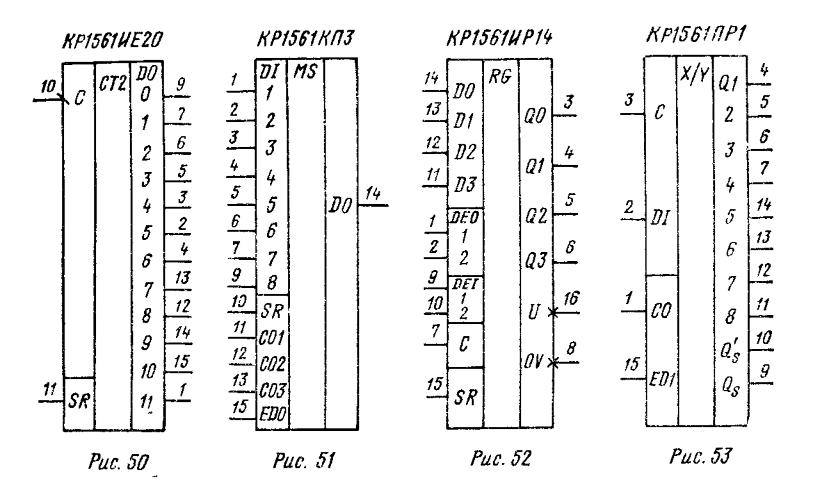


Рис. 50 Рис. 51 Рис. 52 Рис. 53

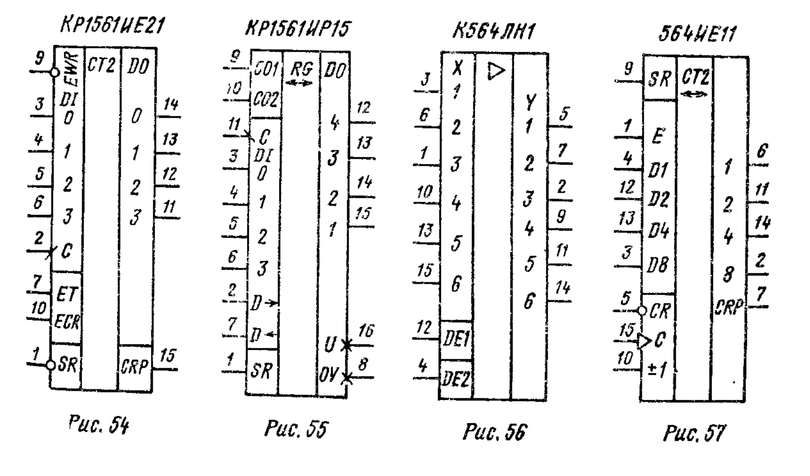


Рис. 54 Рис. 55 Рис. 56 Рис. 57

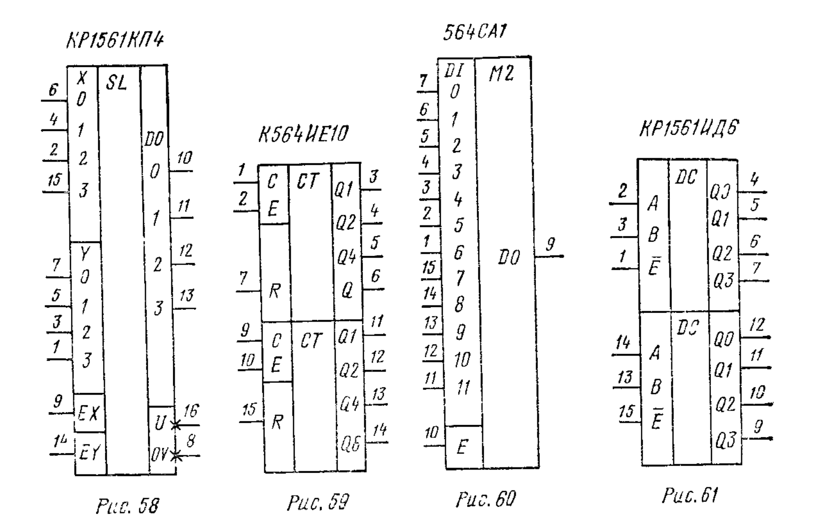


Рис. 58 Рис. 59 Рис. 60 Рис. 61

КР1561ИД7

564ИР11

564ИП3

564ИП4

Рис. 62 Рис. 63 Рис. 64 Рис. 65

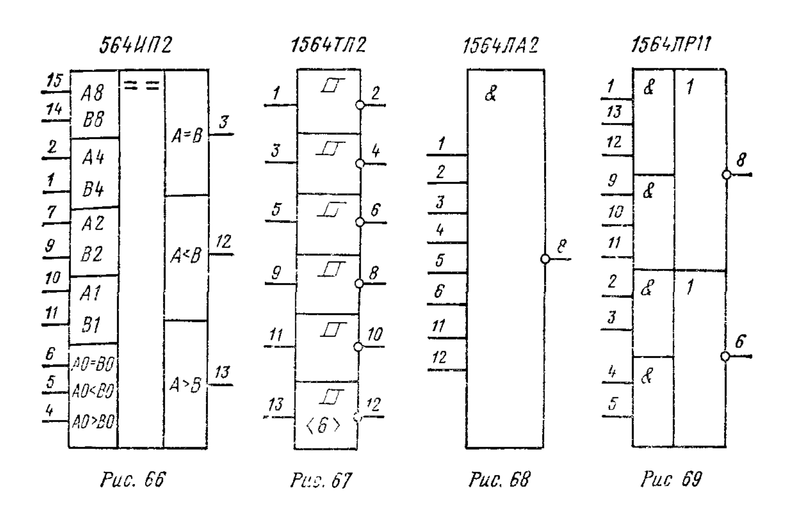


Рис. 66 Рис. 67 Рис. 68 Рис. 69

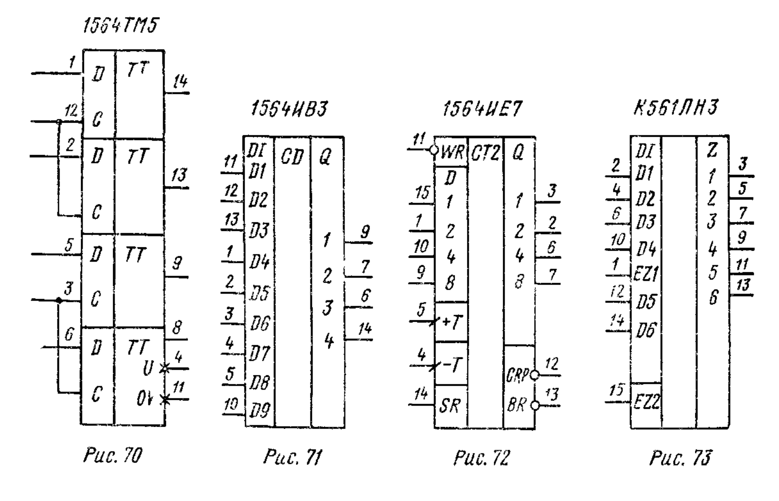


Рис. 70 Рис. 71 Рис. 72 Рис. 73

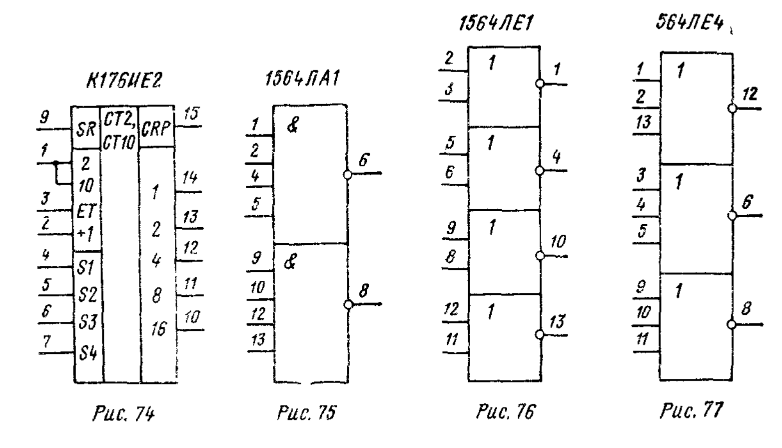


Рис. 74 Рис. 75 Рис. 76 Рис. 77

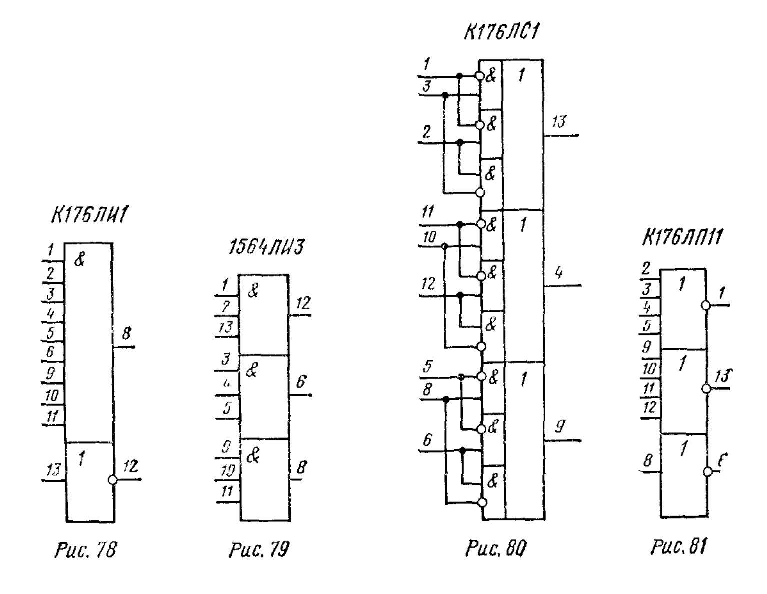


Рис. 78 Рис. 79 Рис. 80 Рис. 81

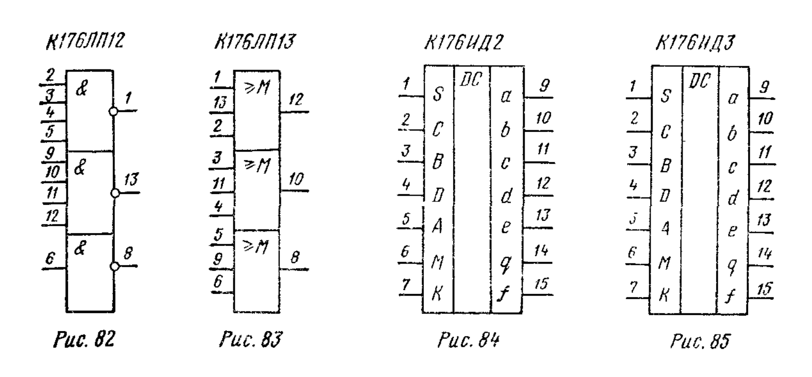


Рис. 82 Рис. 83 Рис. 84 Рис. 85

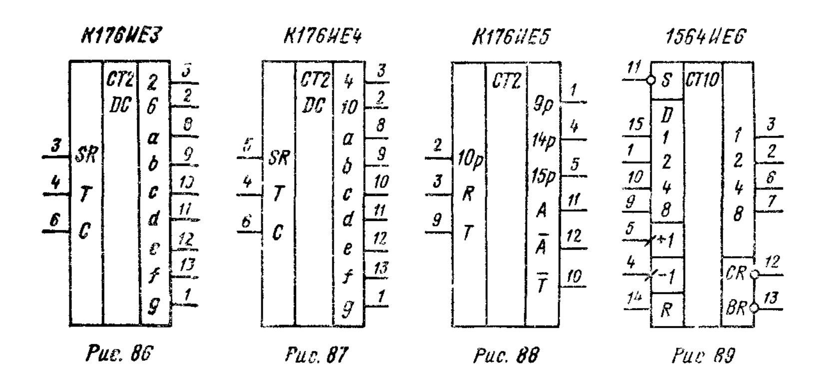


Рис. 86 Рис. 87 Рис. 88 Рис. 89

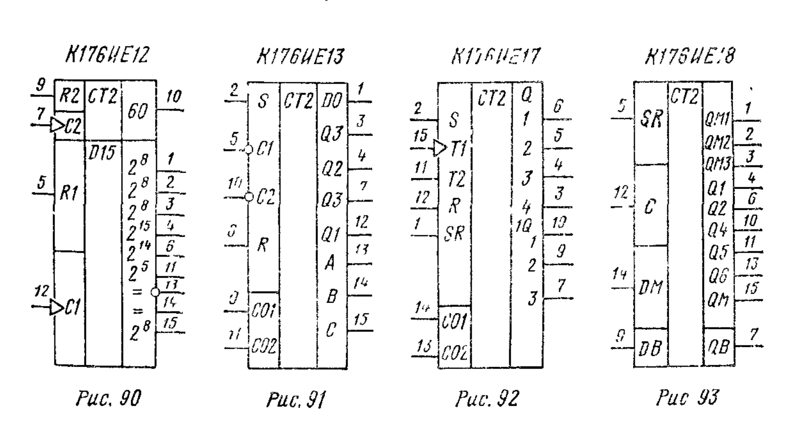


Рис. 90 Рис. 91 Рис. 92 Рис. 93

564ИЕ19

ESn, CT, S1, S2, S3, S4, S5, DI, C, SR, $\bar{Q}1$, $\bar{Q}2$, $\bar{Q}3$, $\bar{Q}4$, $\bar{Q}5$, U, 0V

Рис. 94

564ИК1

≥M, ≥M, ≥M

Рис 95

564ИК2

X0, X1, X2, X3, DE, SYN, DC, A, B, C, D, E, F, G, H1, H2, H3, H4, H5, SEV0, SEV1, SEV2, G

Рис. 96

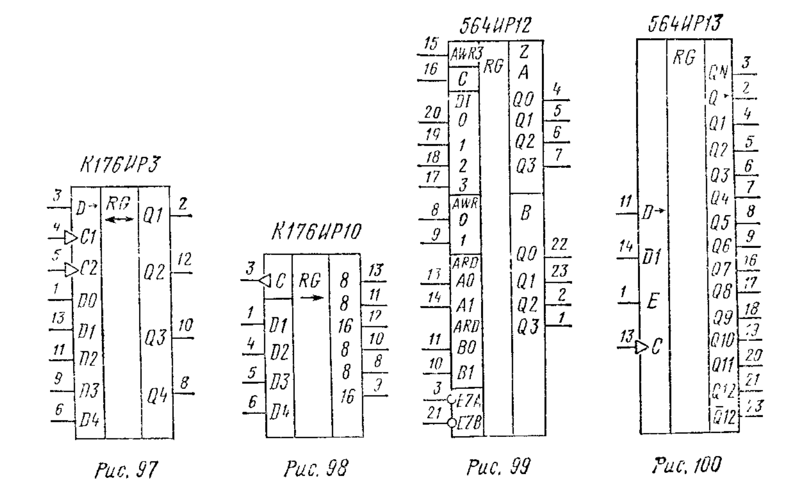


Рис. 97

Рис. 98

Рис. 99

Рис. 100

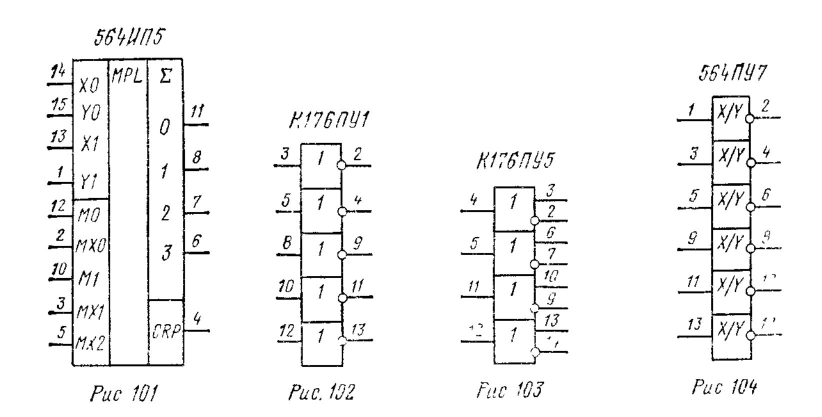


Рис 101

Рис. 102

Рис 103

Рис 104

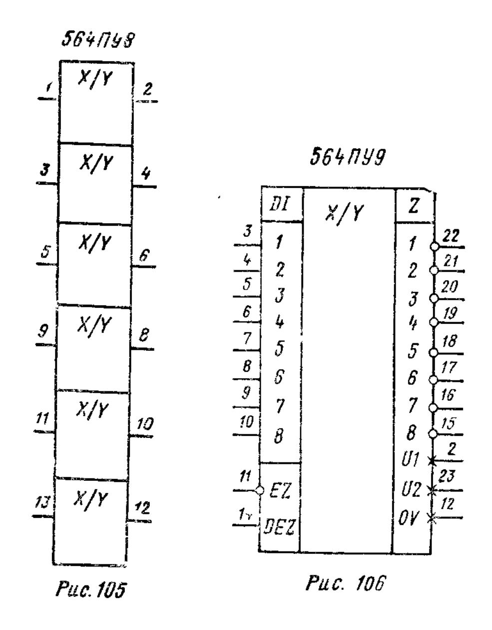


Рис. 105

Рис. 106

Эта технология обеспечивает малую потребляемую мощность, высокую помехозащищенность и широкий диапазон температур, что характерно для первых КМОП-структур с кремниевым затвором в сочетании с высоким быстродействием и нагрузочной способностью, что было свойственно только биполярным ТТЛ-схемам высокой степени интеграции. С появлением семейства быстродействующих КМОП-схем отпала необходимость в нахождении компромисса между быстродействием и потребляемой мощностью и появилась возможность оптимизировать характеристики новых разработок КМОП-схем. Следует также заметить, что быстродействующие КМОП-схемы позволяют сразу заменить часть или все логические элементы КМОП- и ТТЛ-схем без сопряжения. Рабочий ток ЛЭ схем этого нового семейства на частоте 10 кГц равен 3 мкА, задержка распространения на ЛЭ 9...11,5 нс при $C_н$=15...100 пФ, напряжение питания $U_{ип}$= =2...6 В.

Разработка микросхем — аналогов серии 74С — не проводилась, однако по своим параметрам наиболее близки к этой серии микросхемы К561, которые могут быть рекомендованы для их замены. Как видно из табл. 2.13, в состав серий КМОП-схем кроме ЛЭ и триггеров входят регистры, счетчики, схемы ЗУ и преобразователи уровней, обеспечивающие совместную работу с ТТЛ-схемами. Сведения о конструктивном оформлении указанных серий и их температурных диапазонах приведены в табл. 2.14, а основные эксплуатационные электрические параметры базовых ЛЭ указанных серий на КМОП-транзисторах — в табл. 2.15.

Таблица 2.14

Серия	Температурный диапазон, °С	Условные обозначения корпусов
К176	—40...+70	201.14-1; 238.16-1
564	—60...+125	401.14-5; 402.16-23; 402.16-33; 405.24-2; 4118.24-2; 402.16-32
К561	—45...+85	201.14-1; 238.16-1; 239.24-1; 2106.16-2
КР1561	—45...+85	238.16-1; 201.14-1; 238.16-2
1564	—60...+125	401.14-5; 402.16-23; 4118.24-2

Микросхемы серий К561 и К149 могут быть использованы совместно при запуске реле, ток которого не более 75 мА, а напряжение не более 15 В с учетом допустимого отклонения напряжения источника питания. При выборе типа реле необходимо учитывать изменение сопротивления обмотки реле от температуры.

При конструировании аппаратуры на микросхемах серии К561 необходимо учитывать, что емкость связи между проводниками, соединяющими передатчики с приемниками информации, является емкостью нагрузки для микросхем, передающих информацию. Увеличение емкости приводит к возрастанию динамического тока потребления. Для исключения влияния перекрестных помех между одиночными проводниками в асинхронных устройствах, емкость связи не должна превышать 100 пФ.

Таблица 2.15

Параметр	Микросхемы серий	
	564	К176
$U_{ип}$, В	10±10 %	9±5 %
$I^0_{вх}$, мкА, не более	−0,05	1,0
$I^1_{вх}$ мкА, не более	1,0	1,0
$U^0_{вых}$, В, не более	2,9	0,3
$U^1_{вых}$, В, не менее	7,2	8,2
$t^{1,0}_{здр}$, нс, не более	110 (при $C_н$=50 пФ)	200 (при $C_н$=50 пФ)
$t^{0,1}_{здр}$, нс, не боле	160 (при $C_н$=50 пФ)	200 (при $C_н$=50 пФ)
$I^0_{пот}$, мкА, не более	6	3
$I^1_{пот}$, мкА, не более	6	3
$K_{раз}$	50	50

При конструировании аппаратуры на микросхемах серии К561 необходимо предусматривать защиту от попадания импульсных помех на шины «питание» и «общая», для чего в цепях питания рекомендуется устанавливать развязывающие низкочастотные и высокочастотные конденсаторы. Типы конденсаторов и их емкости выбираются в зависимости от конструкции аппаратуры.

Рассмотрим на примере микросхем серии К561 принцип построения схемы на КМОП-транзисторах и некоторые особенности их применения. Как было показано в табл. 2.13, в состав серии входят ЛЭ, выполняющие функции И — НЕ и ИЛИ — НЕ. Для реализации этих функций за базовые могут быть приняты схемы, приведенные на рис. 2.29. На основе базовых ЛЭ построены практически все микросхемы серии К561.

Области применения микросхем, входящих в состав серий со структурой КМОП, достаточно широки. Рассмотрим несколько примеров применения микросхем серии К561 для построения функциональных узлов аппаратуры. Так, на двух микросхемах К561ТМ2, двух микросхемах К561ЛА7 и одной микросхеме К561ЛА9 может быть реализован 4-разрядный регистр. На микросхеме К561ТМ2 на основе двух однотактных D-триггеров может быть построен разряд двухтактного регистра сдвига. Однотактные делители частоты на 2 и 8 (с последовательным переносом) могут быть выполнены на микросхеме К561ТМ2, но целесообразно строить на микросхеме серии К561 делители с групповым переносом (на схемах регистров сдвига с перекрестными связями) с наибольшим коэффициентом деления (от 4 до 10). В таких делителях входные импульсы поступают на общую для всех разрядов шину; поступление входных импульсов на входы

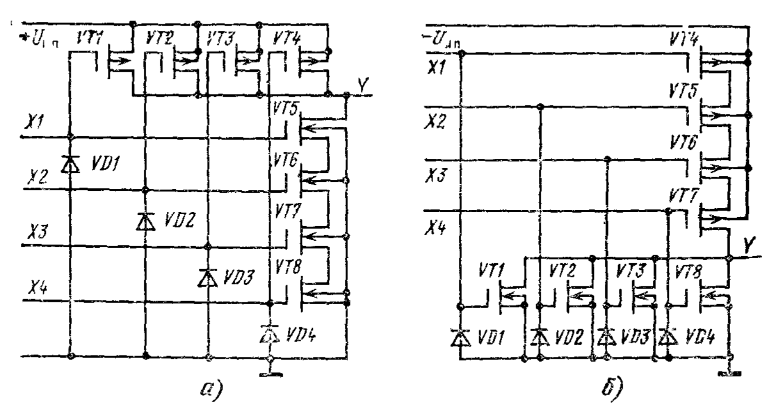


Рис. 2.29. Базовые логические элементы для микросхем серии К561:

а — И—НЕ; *б* — ИЛИ—НЕ

разрядов данной группы определяется состоянием управляющего выхода предыдущей группы разрядов. На трех микросхемах К561ЛА7 и одной К561ТМ2 может быть реализован последовательный сумматор с запоминанием переноса. Распределитель входной последовательности импульсов на четыре выходные шины, предназначенный для использования в многотактных электронных устройствах, может быть построен на микросхемах К561ЛА7, К561ЛА9, К561ТМ2, К561ЛЕ5. Для работы микросхем серии К561 на мощные элементы целесообразно применять их вместе со схемой, выполненной на микросхемах К149. Запуск схемы осуществляется от мощного инвертора, образованного параллельным соединением трех инверторов микросхем К176ЛП1.

При эксплуатации микросхем К561 неиспользуемые входы в схемах, реализующих функцию ИЛИ — НЕ, должны быть соединены с общей шиной, а входы схем, реализующих функцию И — НЕ, — с шиной питания. Допускается объединение неиспользованных входов с используемым входом того же ЛЭ, но при этом коэффициент разветвления предыдущей схемы, работающей на объединенные входы, уменьшается на единицу. Не допускается объединение базовых элементов по выходам, за исключением случая объединения выходов (не более четырех) базовых элементов, все входы которых соединены вместе. Допускается эксплуатация микросхем при пониженном до 6 В напряжении питания, однако при этом электрические параметры могут не соответствовать значениям, указанным в табл. 2.15

При конструировании аппаратуры на микросхемах серии К561 необходимо учитывать, что емкость, возникающая между проводниками, соединяющими микросхемы передатчика с микросхемами приемника, является емкостью нагрузки для микросхем, передающих информацию, увеличение которой приводит к увеличению динамического тока потребления микросхемами. Во всех случаях емкость линии связи не должна превышать предельно допустимой емкости нагрузки для элемента, с которого осуществляется переход на линию

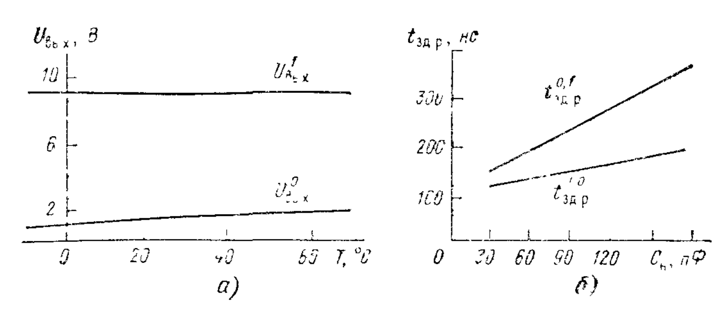


Рис. 2.30. Зависимости выходного напряжения от температуры (*а*) и времени задержки распространения от емкостной нагрузки (*б*) для микросхем К561ТМ2

связи. Для передачи тактовых импульсов проводники длиной более 30 см в жгутах должны быть экранированы (каждый в отдельности). Длина проводника выбирается по допустимой емкости нагрузки. При этом мощность рассеивания микросхемой на корпус не должна превышать 150 мВт. Динамические параметры при этом не регламентируются. Система общих шин и шин питания должна иметь минимально возможные сопротивления и индуктивности при возможно большей емкости. Для этого рекомендуется увеличивать ширину печатных шин до 2...5 мм, располагая их друг под другом в соседних слоях, или выполнять в виде смежных плоскостей. В цепях питания микросхем следует на каждом субблоке устанавливать развязывающие конденсаторы. Для подавления помех, возникающих в проводах источника питания, и устранения колебаний напряжения, возникающих под действием пиков электрического тока во время работы схемы, между шинами питания и общей, типы конденсаторов и их емкости выбираются в зависимости от конструкции аппаратуры. Ориентировочно емкость конденсаторов можно выбрать из расчета: низкочастотный электролитический — не менее 0,03 мкФ на одну микросхему; высокочастотный керамический — 0,068 мкФ на каждые 50 микросхем.

Зависимости выходного напряжения от температуры для микросхем К561ТМ2 (рис. 2.30, *а*) показывают, что величины $U^1_{вых}$ и $U^0_{вых}$ практически не меняют своего значения с увеличением температуры, а на характеристиках $t_{зд\,р}=f(C_н)$ микросхем К561ТМ2 (рис. 2.30, *б*) видна сильная зависимость от емкостной нагрузки времени задержки распространения при выключении, которая при увеличении $C_н$ с 30 до 180 пФ возрастает более чем в два раза. Микросхемы, имеющие три состояния на выходе (К561ЛН3, К561ТР2), могут быть объединены по выходу в МОНТАЖНОЕ ИЛИ. Число объединений микросхем с тремя состояниями для одного выхода ограничивается величиной $K_{раз}$.

2.7. Перспективы развития цифровых микросхем

Каждый из рассмотренных типов цифровых микросхем (биполярные ТТЛ и ЭСЛ и схемы на МОП-структурах: n-канальные, КМОП) имеет свои преимущества и недостатки, определяющие область их применения Биполярные транзисторы пригодны для коммутации сравнительно больших токов, благодаря чему микросхемы на таких транзисторах характеризуются высоким быстродействием, причем паразитные емкости межсоединений между корпусами мало влияют на скорость работы [1]. Соединением многих биполярных микросхем, каждая из которых имеет умеренную сложность, можно создавать быстродействующие узлы аппаратуры. Для построения ЭВМ и узлов дискретной автоматики сейчас наиболее широко применяются схемы ТТЛ. Сверхскоростные устройства строятся на микросхемах ЭСЛ Транзисторы МОП-типа благодаря их технологичности позволяют получить значительно более высокую плотность размещения переключательных схем в интегральной структуре, чем биполярные, изолированные p-n переходом или слоем окисла SiO_2 [1] Схемы на МОП-транзисторах, размещаемые на одном кристалле, могут соответствовать целым функциональным блокам. Это определило их широкое применение в электронных калькуляторах, ЗУ и микропроцессорах Постоянно повышающиеся требования с точки зрения увеличения быстродействия, снижения потребляемой мощности, уменьшения габаритных размеров и стоимости устройств повлекли за собой поиски новых путей, позволяющих улучшить рабочие характеристики МОП-транзисторов и увеличить степень интеграции базовых ЛЭ, выполняемых на биполярных транзисторах.

Получают дальнейшее развитие схемы ТТЛШ, разработанные по усовершенствованной технологии (см. § 2.4). Это микросхемы серий 533, К555 (аналоги SN54LS (SN74LS). 1530 (аналог SN54AS), 1533, КР1533 (аналоги SN54ALS/SN74ALS), а также серий 1531, КР1531 (аналоги схем типа FAST). Ведутся работы по расширению функционального состава микросхем серий 1564 (аналог 54НС) и К561 (близких по своим характеристикам к микросхемам серии 74С) Рассмотрим более подробно новые технологические направления в производстве цифровых микросхем.

2.7.1. Интегральная инжекционная логика

На основе самой первой из биполярных схем — транзисторной логики с непосредственными связями (ТЛНС) — в последние годы появилась интегральная инжекционная логика ($И^2Л$). С помощью схем $И^2Л$ удалось преодолеть традиционные недостатки биполярных микросхем: малую плотность компоновки и высокую рассеиваемую мощность на ЛЭ Плотность компоновки схем $И^2Л$ даже превышает плотность МОП-схем (удается разместить более 1000 элементов на 1 мм^2), а рассеиваемая мощность сопоставима с мощностью КМОП-схем. Большое быстродействие, свойственное биполярным микросхемам, при этом сохраняется (время задержки распространения на ЛЭ достигает 5 нс) [5]. Наиболее известные варианты базовых инверторных схем $И^2Л$ и $И^2Л$ с диодами Шотки показаны на рис. 2.31.

Небольшая рассеиваемая мощность схем $И^2Л$ объясняется отсутствием резисторов. Инжекция носителей в область базы транзистора осуществляется с помощью активных генераторов тока, вы-

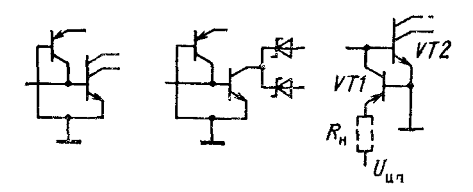


Рис. 2.31. Базовые инверторные схемы типа И²Л

полненных на p-n-p транзисторах. Большое быстродействие при малых мощностях потребления объясняется незначительными паразитными емкостями, отсутствием накопления заряда и очень небольшой разницей логических уровней. Входящие в схему ЛЭ можно размещать вдоль инжекционных шин, что упрощает топологию. Кроме того, на одном кристалле можно без труда объединить как цифровые схемы И²Л, так и аналоговые микросхемы. Примером такой схемы может служить разработанная и выпускаемая серийно микросхема 541. Исследуя дальнейшие возможности инжекционной логики, были созданы схемы И³Л (серия 583ВГ2). Однако широкого применения они еще не получили. Тенденция последних лет — разработка и широкое применение микросхем с диодами Шотки — ТТЛШ и МОП-схемы с n-каналом, а также схемы КМОП, совместимые по цоколевкам с массовыми сериями ТТЛ-схем.

2.7.2. МОП-схемы с n-каналами

Ограничения по быстродействию, характерные для pМОП-схем, могут быть устранены с помощью n-канальных МОП-структур. Подвижность электронов в кремнии больше, чем дырок, что может обеспечить скорость переключения МОП-схем с n-каналом, в 2...3 раза большую, чем у схем с p-каналом. Последние достижения в технологии позволили устранить недостатки первых n-канальных схем. Использование метода ионной имплантации и применение в цепях нагрузок структур с обедняемыми, а не обогащаемыми каналами позволяет снизить напряжение питания до 5 В, что делает эти схемы совместимыми по электрическим уровням с микросхемами ТТЛ. Применение отдельного источника напряжения смещения подложки позволило повысить пороговое напряжение, которое на начальном этапе было недопустимо низким [1].

Глава 3.

Микропроцессоры и микроЭВМ

3.1. Микропроцессоры

Непрерывное повышение степени интеграции элементов на кристалле и их быстродействия позволили создать новый класс интегральных микросхем — микропроцессоры, являющиеся удачной реализацией изделий вычислительной техники на базе полупроводниковой технологии.

Микропроцессор (МП) — это программно-управляемое цифровое устройство обработки информации, выполненное в виде одной или нескольких интегральных микросхем. Его отличительные свойства: экономичность изготовления как стандартного изделия в условиях серийного производства и гибкость применения как универсального устройства [6]. Эти свойства способствуют широкому распространению микропроцессорных устройств в различных отраслях народного хозяйства и особенно в тех, где использование вычислительной техники и электроники было проблематичным.

Общие принципы работы МП определяются его архитектурой. По архитектуре МП во многом подобен процессору «больших» ЭВМ, но, уступая последнему по функциональным и вычислительным возможностям, обладает такими преимуществами, как простота, надежность, малые габаритные размеры, масса, стоимость, потребляемая мощность. Это позволило перейти к производству новых видов изделий — микроЭВМ, микроконтроллеров и других микропроцессорных средств вычислительной техники (МСВТ) самого разнообразного назначения. Однако собственно МП не позволяет создать законченного управляющего или вычислительного устройства. Необходим комплект дополнительных микросхем (запоминающих устройств, устройств ввода/вывода, регистров, формирователей), который, согласуясь с МП по техническим характеристикам, позволяет создать завершенное устройство. В этом случае речь идет о микропроцессорном комплекте (МПК).

3.1.1. Схемотехнологические особенности МПК

Номенклатура выпускаемых МПК непрерывно расширяется. Это позволяет потребителю максимально использовать их достоинства для конкретных применений и в то же время затрудняет выбор оптимального МПК.

Технология изготовления МПК развивается по двум направлениям: МОП-технология и биполярная, каждая из которых имеет несколько разновидностей. Первые зарубежные и отечественные МП были изготовлены по рМОП-технологии. Однако существенным недостатком этой технологии является принципиальное ограничение по быстродействию, поэтому несмотря на простоту и низкую стоимость рМОП-технология, по-видимому, будет использоваться только в микросхемах, предназначенных для создания изделий бытовой техники малого быстродействия (К145, КР1814). Следующим шагом развития МОП-структур явилось использование nМОП-технологии,

которая позволила на порядок по сравнению с рМОП-технологией увеличить быстродействие. Учитывая возможность большой плотности упаковки функциональных элементов в пМОП-структурах, их относительную простоту и невысокую стоимость, можно отметить, что пМОП-технология — основная для изготовления МПК среднего быстродействия. Здесь определяющим является требование минимального числа микросхем в МПК (КР580. КР1801, КР1810). Микропроцессорные комплекты, выполненные по КМОП-технологии, имеют малое потребление, высокую помехоустойчивость и надежно работают при более широком диапазоне напряжений питания и температуры окружающей среды (КР588).

Для большинства МПК используется маломощная ТТЛШ-технология (К589, КР1802, КМ1804), обеспечивающая по сравнению с ТТЛ-технологией более низкий уровень потребляемой мощности. Данная технология позволяет создавать высокоскоростные контроллеры периферийных устройств с широкими технико-экономическими характеристиками, а также воспроизводить архитектуру существующих ЭВМ. На МПК, изготовленных по ЭСЛ-технологии, можно воспроизвести структуру сверхскоростных «больших» универсальных ЭВМ. Примером здесь может служить МПК серии К1800.

В зависимости от требований, предъявляемых к МПК. в него могут входить микросхемы, выполненные по различным технологиям, например: пМОП и ТТЛШ, ЭСЛ и ТТЛШ. Кроме того, при разработке МСВТ при необходимости можно использовать микросхемы из различных МПК, учитывая, что параметры входных сигналов, подаваемых на микросхемы, и режимы их работы должны соответствовать научно-технической документации (НТД).

3.1.2. Основные характеристики МПК

Микропроцессор имеет технические характеристики, специфичные для вычислительных устройств (система команд, объем адресуемой памяти, система прерывания), и параметры, присущие интегральным микросхемам (входные и выходные уровни сигналов, помехоустойчивость, время задержки распространения сигналов) [7].

В связи с большим разнообразием МП и МПК (универсальные и специализированные, однокристальные, многокристальные и секционные, синхронные и асинхронные, одномагистральные и многомагистральные) определить единую систему характеристик, позволяющую производить оценку технических возможностей МПК, довольно сложно, поэтому рассмотрим те основные характеристики, которые позволят потребителю произвести ориентировочную оценку различных МПК.

Разрядность обрабатываемых данных — характеристика, определяющая точность вычислений. Существуют МП как с фиксированным числом разрядов, так и с наращиваемой разрядностью. В МП с фиксированной разрядностью (КР580, КР588, КР1801, КР1810) увеличение числа разрядов обрабатываемых данных возможно просчетом программы в несколько этапов. Однако это снижает быстродействие систем. В МП с наращиваемой разрядностью (К589, К1800, КР1802, КМ1804) микропроцессор строится из микропроцессорных секций, каждая из которых имеет К разрядов. Тогда разрядность обрабатываемых данных определяется как пК, где $K=2, 4, 8, \ldots, n=1, 2, 3, \ldots$.

Система команд — характеристика, которая определяется совокупностью операций, обеспечивающих выполнение программы в соответствии с заданным алгоритмом. В систему команд входят: форматы команд и обрабатываемых данных; число команд; способы адресации данных; объем непосредственно адресуемой памяти; объем и организация стека; способы обработки прерываний: организация ввода/вывода. Простое сравнение МП по числу выполняемых команд недостаточно для оптимального выбора. Необходима оценка логической мощности и гибкости команд, выполняемых МП, оценка возможностей организации разветвленных вычислительных процессов. Микропроцессоры с фиксированной разрядностью имеют фиксированную систему команд. Причем МП серий КР588 и КР1801 ориентированы на систему команд микроЭВМ «Электроника-60», а МП серий КР580 и КР1810 — на систему команд соответственно микроЭВМ СМ1800 и СМ1810. Микропроцессоры с наращиваемой разрядностью (секционные) ориентированы на микропрограммное управление и позволяют пользователю в зависимости от специфики разрабатываемого устройства создавать собственные системы команд. Использовать МПК с микропрограммным управлением наиболее целесообразно при разработке систем специализированного назначения, когда созданием насыщенных и компактных команд можно достичь высокого быстродействия и существенной экономии памяти программ.

Быстродействие — характеристика, которая определяется схемотехнологическими возможностями МПК и его архитектурными особенностями При оценке быстродействия необходимо учитывать, что простое сравнение длительностей машинного такта (командного цикла) может привести к неверным выводам, так как некоторые коман-

Таблица 31

Серия МПК	Технология	Функциональный аналог	Технические характеристики			Число микросхем в МПК по состоянию на 1987 г.
			Разрядность	Быстродействие, тыс оп./с	Система команд	
КР580	пМОП ТТЛШ	MSC80	8	500	Совместима с микроЭВМ СМ1800	12 9
КР588	КМОП	—	16	300	Совместима с микроЭВМ «Электроника-60»	8
К1800	ЭСЛ	М10800	4п	3000	Произвольная	11
КР1801	пМОП	—	16	500	Совместима с микроЭВМ «Электроника-60»	12
КР1802	ТТЛШ	—	8п	800	Произвольная	10
КМ1804	ТТЛШ	Am2900	4п	800	»	19
КР1810	пМОП	MSC86	16	2500	Совместима с микроЭВМ СМ1810	9

ды различными МП выполняются за разное число тактов [8]. Быстродействие универсальных МП, в основном, определяется числом выполняемых в секунду операций: регистр-регистр, регистр-память, сложения, умножения. Наиболее комплексной оценкой, позволяющей осуществить оптимальный выбор МПК для конкретного применения, является способ эталонного программирования [8]. При этом для заранее определенного набора эталонных задач, отражающих специфику той области, для которой проектируется рассматриваемая микропроцессорная система, производится пробное программирование для МПК различных типов. Выбор оптимального МПК осуществляется исходя из времени выполнения эталонного пакета задач, затрат на программирование, необходимого объема памяти. Однако это не всегда приемлемо, так как требует значительных затрат времени.

Потребляемая мощность — еще одна характеристика, определяемая схемотехнологическим исполнением МПК При рассмотрении этой характеристики необходимо учитывать, что в зависимости от технологии изготовления МП может быть выполнен в виде одной или нескольких микросхем, поэтому оценку потребляемой мощности необходимо производить при условии выполнения МПК одинаковых функций. Сравнительные характеристики наиболее перспективных МПК, предназначенных для применения в аппаратуре народнохозяйственного назначения, приведены в табл. 3.1.

3.2. Микропроцессорный комплект серии КР580

Микропроцессорный комплект серии КР580 предназначен для построения широкого класса цифровых устройств, контроллеров, микроЭВМ и микропроцессорных систем различного назначения.

Большая функциональная насыщенность, достаточно высокое быстродействие и средняя потребляемая мощность обеспечивают этому комплекту наибольшую распространенность применения. Особенностью комплекта являются фиксированные разрядность (8 разрядов) и система команд (совместима с микроЭВМ СМ1800), что однозначно определяет структуру устройств, построенных на его основе Микросхемы КР580ГФ24, КР580ВК28, КР580ВК38, КР580ИР82, КР580ИР83, КР580ВА86, КР580ВА87 комплекта выполнены по биполярной технологии ТТЛШ, остальные — по nМОП-технологии. Все микросхемы, входящие в МПК КР580, предназначены для работы в диапазоне температур −10...+70 °С.

Ниже приведены состав МПК КР580 и основные параметры входящих в него микросхем.

Центральное процессорное устройство данных КР580ВМ80А

Разрядность обрабатываемых данных . .	8
Число выполняемых команд	78
Максимальный объем адресуемой памяти, Кбайт	64
Число адресуемых устройств ввода/вывода	256/256
Число уровней прерывания	8
Виды адресации:	
прямая, косвенная, непосредственная, регистровая, по указателю стека	
Быстродействие при выполнении операций типа регистр-регистр, тыс. оп./с	625
Тактовая частота, МГц	≤2,5
Потребляемая мощность, мВт	≤1250

Программируемый синхронно-асинхронный приемопередатчик КР580ВВ51А

Длина передаваемых и принимаемых символов, бит	5 . .8
Число подключаемых внешних устройств .	1
Число программируемых режимов работы	5
Максимальная скорость обмена, Кбит/с, в режимах:	
синхронном	64
асинхронном	9,6
Тактовая частота, МГц	≤3,1
Потребляемая мощность, мВт	≤500

Программируемый таймер интервалов КР580ВИ53

Число каналов	3
Число разрядов каждого канала	16
Разрядность шины данных	8
Число программируемых режимов работы	6
Максимальный счет при работе счетчиков в режимах:	
двоичного счета	2^{16}
двоично-десятичного счета	10^4
Тактовая частота, МГц	≤2,6
Потребляемая мощность, мВт	≤700

Программируемый параллельный интерфейс КР580ВВ55А

Число каналов (при разрядности канала 8 бит)	3
Число программируемых режимов работы	3
Тактовая частота, МГц	≤2,5
Потребляемая мощность, мВт	≤600

Программируемый контроллер прямого доступа к памяти КР580ВТ57

Число каналов прямого доступа к памяти	4
Число разрядов адреса	16
Разрядность шины данных	8
Максимальная длина массива обмена данными, Кбайт	16
Число программируемых режимов работы	6
Тактовая частота, МГц	≤3,1
Потребляемая мощность, мВт	≤600

Контроллер электронно-лучевой трубки (ЭЛТ) для видеотерминалов мини-ЭВМ КР580ВГ75

Разрядность шины данных	8
Число основных команд	8
Емкость ЗУ на 1 знакоряд	2×80 знаков по 8 бит
Емкость стеков	2×16 знаков по 7 бит

Вид развертки	построчная
Число знаков в знакоряду на экране ЭЛТ	1—80
Число знакорядов в кадре	1—64
Число строк телевизионного растра в знакоряду	1—16
Тактовая частота, МГц	≤3,25
Потребляемая мощность, мВт	≤800

Контроллер клавиатуры и индикации КР580ВВ79

Разрядность шины данных	8
Емкость ОЗУ отображения, бит	16×8
Число программируемых режимов:	
по вводу	3
по выводу	1
Тактовая частота, МГц	≤2
Потребляемая мощность, мВт	≤600

Системные контроллеры КР580ВК28 и КР580ВК38

Разрядность шины данных	8
Время задержки распространения выходного сигнала относительно сигнала «Строб», нс	≤[illegible]0
Потребляемая мощность, мВт	≤950

Программируемый контроллер прерываний КР580ВН59

Число обслуживаемых запросов прерывания	8
Число программируемых режимов работы	3
Разрядность шины данных	8
Время выдачи сигнала «Прерывание» на сигнал «Запрос», нс	≤500
Потребляемая мощность, мВт	≤500

Генератор тактовых импульсов КР580ГФ24

Число выходных высокоуровневых тактовых сигналов	2
Максимальная частота выходных тактовых сигналов, МГц	≤3
Потребляемая мощность, мВт	≤755

*Буферные регистры КР580ИР82 и КР580ИР83**

Число разрядов регистра	8
Время передачи информации от входа до выхода, нс:	
КР580ИР82	≤30
КР580ИР83	≤22
Потребляемая мощность, мВт	≤800

*Шинные формирователи КР580ВА86 и КР580ВА87***

Число формирователей	8
Время передачи информации от входа до выхода, нс:	
КР580ВА86	≤30
КР580ВА87	≤22
Потребляемая мощность, мВт:	
КР580ВА86	≤800
КР580ВА87	≤750

* Для микросхем КР580ИР83 выходы с инверсией.
** Для микросхем КР580ВА87 выходы с инверсией.

Микросхемы серии КР580 выполнены в прямоугольных пластмассовых корпусах типа: 2123.40-2 — КР580ВМ80А, КР580ВВ55А, КР580ВТ57, КР580ВГ75, КР580ВВ79; 2121.28-5 — КР580ВВ51А, КР580ВН59; 2120.24-3 — КР580ВИ53; 2140.20-1 — КР580ИР82, КР580ИР83, КР580ВА86, КР580ВА87; 238.16-2 — КР580ГФ24; 2121.28-4 — КР580ВК28, КР580ВК38.

Для работы микросхемы КР580ВМ80А требуются три источника напряжения питания: +12 В±5 %; +5 В±5 %; —5 В±5 %; для микросхемы КР580ГФ24 — два: +5 В±5 %; +12 В±5 %; для всех остальных микросхем серии КР580 — один источник +5 В±5 %.

3.2.1. Микросхема КР580ВМ80А

Микросхема КР580ВМ80А представляет собой 8-разрядное центральное процессорное устройство (ЦПУ) параллельной обработки данных. Устройство не обладает возможностью аппаратного наращивания разрядности обрабатываемых данных, но позволяет осуществлять это программным способом. Структурная схема КР580ВМ80А представлена на рис. 3.1. Рассмотрим назначение основных узлов и принцип их взаимодействия.

Арифметическо-логическое устройство (АЛУ) обеспечивает выполнение арифметических, логических операций и операций сдвига над двоичными данными, представленными в дополнительном коде, или над двоично-десятичными данными. Устройство содержит схему десятичной коррекции, позволяющую производить операции десятичной арифметики По результатам операций в АЛУ формируется ряд признаков, которые записываются в регистр условий. Признак переноса C устанавливается в единицу, если в результате выполнения команды появляется перенос из старшего разряда. Дополнительный признак переноса C1 устанавливается в единицу при возникновении переноса из третьего разряда. Используется в командах десятичной арифметики. Признак четности P устанавливается в единицу, если число единиц в разрядах результата четное. Признак нуля Z устанавливается в единицу, если результат равен нулю. Признак знака S указывает знак числа и равен единице, если число отрицательное, или нулю, если число положительное.

Блок регистров производит прием, хранение и выдачу различной информации, участвующей в процессе выполнения программы, и содержит счетчик команд, указатель стека, регистры общего назначения, регистры вpéменного хранения и регистр адреса. Шестнад-

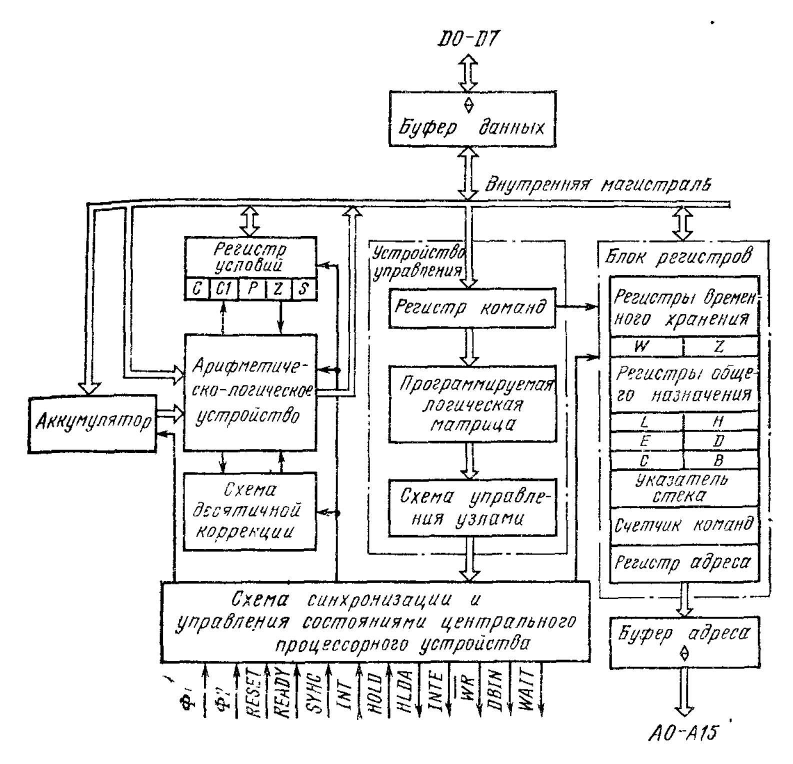


Рис 3.1 Структурная схема КР580ВМ80А

цатиразрядный счетчик команд хранит текущий адрес команды. Содержимое счетчика команд автоматически увеличивается после выборки каждого байта команды. Шестнадцатиразрядный указатель стека содержит начальный адрес памяти, используемый для хранения и восстановления содержимого программно-доступных регистров ЦПУ. Содержимое указателя стека уменьшается, когда данные загружаются в стек, и увеличивается, когда данные выбираются из стека. Восьмиразрядные регистры общего назначения B, C, D, E, H, L могут применяться как накопители (обрабатываемые данные находятся в самом регистре) и указатели (16-разрядный адрес операнда определяется содержимым пары регистров). Регистры временного хранения W, Z используются для приема и временного запоминания второго и третьего байтов команд переходов, передаваемых с внутренней магистрали ЦПУ в счетчик команд. Эти регистры являются программно-недоступными. Шестнадцатиразрядный регистр адреса принимает и хранит в течение одного машинного цикла адрес команды или операнда и выдает его через буфер адреса на однонаправленную выходную магистраль A0—A15. Буфер адреса выполнен в виде выходных формирователей, имеющих на выходе состояние «Выключено» (третье состояние).

Схема синхронизации и управления состояниями ЦПУ формирует машинные такты и циклы, которые координируют выполнение всех команд, и вырабатывает сигнал SYNC «Синхронизация», определяющий начало каждого машинного цикла. Для исполнения команды требуется от одного до пяти машинных циклов. Каждый цикл может состоять из 3—5 тактов (Т1—Т5), длительность каждого из них соответствует периоду следования тактовых импульсов Ф1, Ф2. Центральное процессорное устройство может находиться в трех состояниях (ожидание, захват и останов), продолжительность которых составляет целое число тактов и зависит от внешних управляющих сигналов.

Устройство управления формирует комплекс управляющих сигналов, организующих выполнение поступившей в ЦПУ команды, и состоит из регистра команд, программируемой логической матрицы (ПЛМ) и схемы управления узлами. Восьмиразрядный регистр команд осуществляет прием и хранение команды, поступающей по магистрали данных. Программируемая логическая матрица дешифрирует код операции команды и формирует микрооперации в соответствии с микропрограммой выполнения команды. Схема управления узлами вырабатывает для различных узлов ЦПУ необходимые управляющие сигналы. Восьмиразрядный буфер данных обеспечивает ввод команд и данных в ЦПУ, вывод данных и состояния ЦПУ через формирователи, имеющие на выходе состояние «Выключено».

Назначение выводов КР580ВМ80А приведено в табл. 32.

Таблица 32

Номер вывода	Обозначение	Назначение
25—27, 29—35, 1, 40, 37—39, 36	A0—A15	Шина адреса
10, 9, 8, 7, 3—6	D0—D7	Шина данных
2	GND	Общий
11	U_{cc1}	—5 В
12	RESET	Установка
13	HOLD	Захват шин
14	INT	Прерывание
15, 22	Ф2, Ф1	Фаза
16	INTA	Разрешение прерывания
17	DBIN	Прием
18	WR	Запись (выдача)
19	SYNC	Синхронизация
20	U_{cc2}	+5 В
21	HLDA	Подтверждение захвата
23	READY	Готовность
24	WAIT	Ожидание
28	U_{cc3}	+12 В

3.2.2. Микросхема КР580ВВ51А

Микросхема КР580ВВ51А представляет собой однокристальное программируемое устройство для синхронно-асинхронных приемо-передающих каналов последовательной связи. Она служит для преобразования параллельного кода, полученного из микропроцессорной системы, в последовательный поток символов со служебными битами: старт, стоп, контроль, и выдает этот поток в канал связи с различной скоростью. Данная микросхема также может выполнять обратное преобразование последовательного потока символов со служебными битами в параллельное 8-разрядное слово, которое поступает в канал данных системы. Имеется пять режимов работы микросхемы КР580ВВ51А: асинхронная передача, асинхронный прием, синхронная передача, синхронный прием с внутренней синхронизацией, синхронный прием с внешней синхронизацией. В каждом режиме может быть проведен контроль на четность или нечетность, а длина передаваемых символов изменена в пределах 5...8 бит.

Режим работы микросхемы КР580ВВ51А задается предварительно вводимой инструкцией режима. Следует учесть, что перед началом работы с микросхемой необходимо выполнить определенную последовательность команд: 1) установка исходного состояния; 2) запись инструкции режима; 3) запись синхросимвола 1; 4) запись синхросимвола 2; 5) запись инструкции команды. При этом команда «Запись синхросимвола 2» или команды «Запись синхросимвола 1» и «Запись синхросимвола 2» могут отсутствовать, что определяется инструкцией режима.

Структурная схема КР580ВВ51А представлена на рис. 3.2. Микросхема состоит из приемника, передатчика, регистра режима, регистра команды, схемы управления и буфера ввода/вывода. Восьмиразрядные регистры режима и команды предназначены для хранения соответственно инструкции режима и инструкции команды, поступающих с магистрали D0—D7 через буфер ввода/вывода. Схема управления на основе анализа входных сигналов WR, RESET, C/D, CS определяет направление передачи информации, ее вид (см. табл 3 3)

Таблица 3 3

Входной сигнал				Направление и вид информации
C/D	WR	CS	RESET	
0	0	1	0	Приемопередатчик→ЦПУ (данные)
0	1	0	0	ЦПУ→приемопередатчик (данные)
1	0	1	0	Приемопередатчик→ЦПУ (состояние)
1	1	0	0	ЦПУ→приемопередатчик (управление)
X	X	X	1	Информация сохраняется; шина D0—D7 устанавливается в состояние «Выключено»

Примечание 1 — сигнал высокого уровня; 0 — сигнал низкого уровня; X — состояние входа безразлично.

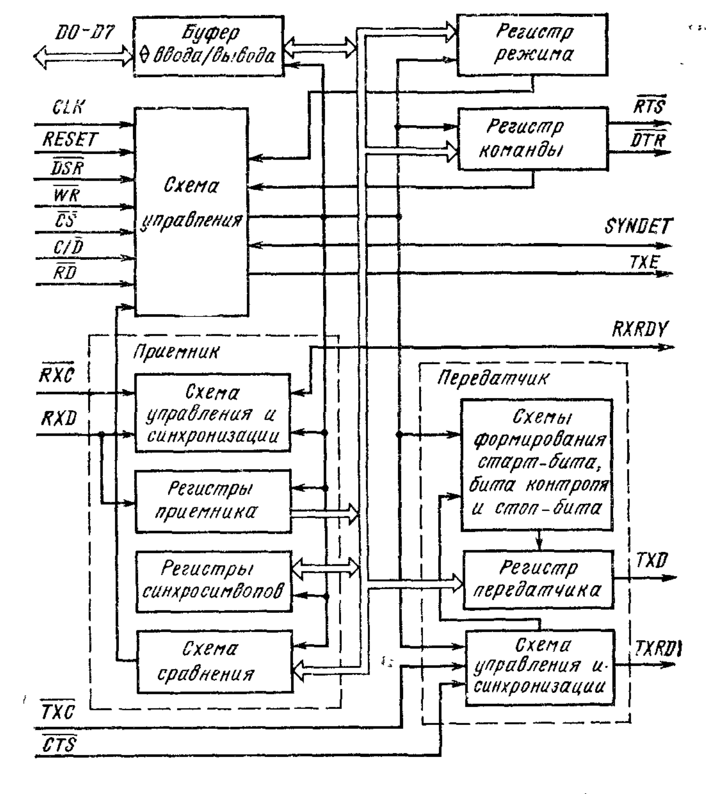


Рис. 3.2 Структурная схема КР580ВВ51А

и формирует необходимые управляющие сигналы. Приемник получает последовательность символов, поступающих на вход RXD, выделяет данные, преобразует их в параллельный код и записывает в буфер ввода/вывода.

При асинхронном приеме появление на входе приемника напряжения низкого уровня свидетельствует о приходе старт-бита. При этом схема управления и синхронизации определяет конец битов данных, бит контроля, если контроль запрограммирован, и бит останова. Принимаемые биты записываются в регистры приемника и через внутреннюю магистраль передаются в буфер ввода/вывода. При этом на выводе RXRDY «Готовность приемника» устанавливается сигнал высокого уровня, свидетельствующий о готовности данных к вводу в МП или внешние устройства.

В режиме синхронного приема с внутренней синхронизацией работа приемника начинается с поиска синхросимволов. Принимаемая информация непрерывно сравнивается с содержимым регистров синхросимволов, и при их совпадении приемник переходит в режим

синхронизации. На выводе SYNDET «Вид синхронизации», работающем как выход, устанавливается напряжение высокого уровня.

В режиме синхронного приема с внешней синхронизацией на вывод SYNDET, работающий как вход, подается напряжение синхронизации, которое разрешает прием информации по входу приемника с частотой синхроимпульсов, поступающих на вход RXC «Синхронизация приемника». При этом длительность сигналов, поступающих на вход SYNDET, должна быть больше или равна периоду частоты синхронизации RXC. Передатчик принимает входную информацию, поступающую параллельным кодом через буфер ввода/вывода со входов D0—D7, преобразует ее в последовательный код, добавляет служебную информацию (старт-биты, стоп-биты, синхросимволы, биты четности) в зависимости от запрограммированного режима работы и выдает их на выход передатчика TXD. Синхронизация выходных данных осуществляется сигналом, подаваемым на вход TXC «Синхронизация передатчика». Сигнал TXRDY «Готовность передатчика» информирует МП о готовности микросхемы КР580ВВ51А принять новые данные или команды управления. Буфер ввода/вывода содержит восемь двунаправленных формирователей, имеющих на выходе состояние «Выключено», и обеспечивает связь микросхемы КР580ВВ51А с шиной данных микропроцессора. Назначение выводов КР580ВВ51А приведено в табл. 3.4.

Таблица 3.4

Номер вывода	Обозначение	Назначение
27, 28, 1, 2, 5—8	D0—D7	Шина данных
3	RXD	Вход приемника
4	GND	Общий
9	TXC	Синхронизация передатчика
10	WR	Запись
11	CS	Выбор микросхемы
12	C/D	Управление/данные
13	RD	Чтение
14	RXRDY	Готовность приемника
15	TXRDY	Готовность передатчика
16	SYNDET	Вид синхронизации
17	CTS	Готовность приемника терминала
18	TXE	Конец передачи
19	TXD	Выход передатчика
20	CLK	Тактовый сигнал
21	RESET	Установка
22	DSR	Готовность передатчика терминала
23	RTS	Запрос приемника терминала
24	DTR	Запрос передатчика терминала
25	RXC	Синхронизация приемника
26	U_{cc}	+5 В

3.2.3. Микросхема КР580ВИ53

Микросхема КР580ВИ53 представляет собой устройство, формирующее программно-управляемые временные задержки (таймер) и содержит три независимых идентичных канала: 0, 1, 2. Каждый канал может работать в одном из шести основных режимов (режим 0 — режим 5), иметь двоичный или двоично-десятичный тип счета, задаваемый программно путем предварительной записи в регистр режима каждого канала управляющего слова. Структурная схема КР580ВИ53 представлена на рис. 3.3. Рассмотрим назначение основных узлов.

Схема выбора канала формирует сигналы управления каналами 0, 1, 2, внутренними и внешними передачами данных, приемом управляющих слов. Буфер канала данных состоит из восьми двунаправленных формирователей, имеющих на выходе состояние «Выключено», и осуществляет сопряжение таймера с шиной данных МП. Через буфер канала осуществляется запись управляющего слова в регистры режима и параметров счета в счетчики каждого канала. Схемы каналов 0, 1, 2 идентичны и содержат регистры режима, схемы управления, схемы синхронизации и счетчики. Регистр режима предназначен только для записи информации. Он принимает и хранит управляющее слово, код которого задает режим работы канала, определяет тип счета и последовательность загрузки данных в счетчик. Схема управления канала синхронизирует работу счетчика в соответствии с запрограммированным режимом и работу канала с работой МП.

Схема синхронизации канала формирует серию внутренних так-

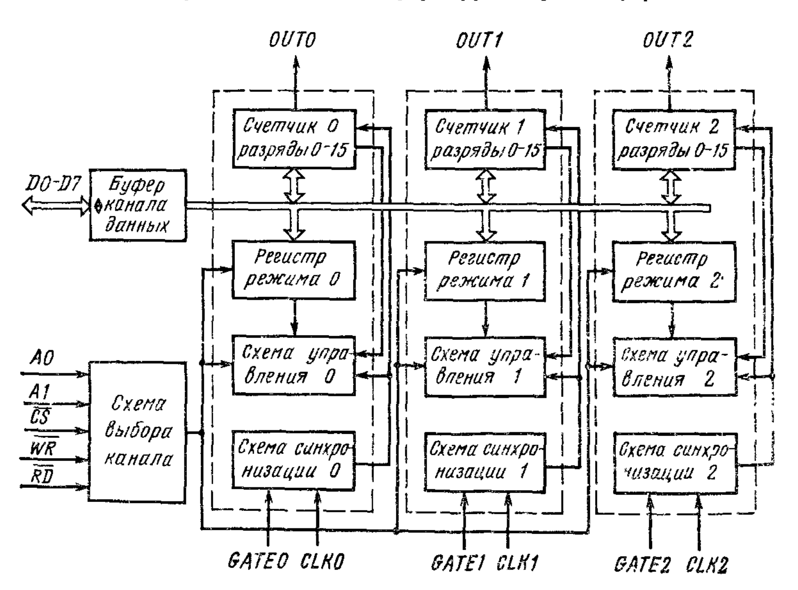


Рис 3.3. Структурная схема КР580ВИ53

товых импульсов определенной длительности, которая зависит от внешней частоты синхронизации CLK и определяется внутренними времязадающими цепями схемы. Максимальная частота внешних сигналов синхронизации CLK не более 2,6 МГц.

Счетчик канала представляет собой 16-разрядный счетчик с предустановкой, работающий на вычитание в двоичном или двоично-десятичном коде. Максимальное число при счете равно 2^{16} при работе в двоичном коде или 10^{4} при работе в двоично-десятичном коде. Счетчики каналов независимы друг от друга и могут иметь различные режимы работы и типы счета. Запуск счета в каждом канале, его останов и продолжение осуществляются по соответствующему сигналу GATE «Разрешение канала».

Режимы работы (0—5) отличаются порядком формирования выходного напряжения на выводе OUT по окончании отсчета числа, загруженного в счетчик, по отношению к управляющему сигналу GATE.

В режиме 0 (прерывания терминального счета) на выходе канала формируется напряжение высокого уровня после отсчета числа, загруженного в счетчик. Сигнал GATE обеспечивает начало счета, его прерывание (при необходимости) и продолжение счета. Перезагрузка счетчика во время счета прерывает текущий счет и возобновляет его по новой программе.

В режиме 1 (работы ждущего мультивибратора) на выходе канала формируется отрицательный импульс длительностью $\tau = T_{CLK}\, n$, где T_{CLK} — период тактовых импульсов; n — число, записанное в счетчик. Запуск ждущего мультивибратора осуществляется положительным фронтом сигнала GATE. Каждый положительный фронт этого сигнала запускает текущий счет или перезапускает счетчик сначала. Перезагрузка счетчика во время счета не влияет на текущий счет.

В режиме 2 (генерации частоты) таймер выполняет функцию делителя входной частоты CLK на n. При этом длительность положительной части периода равна $T_{CLK}\,(n-1)$, а отрицательной T_{CLK}. Перезагрузка во время счета не влияет на текущий счет.

Режим 3 (генерации меандра) аналогичен режиму 2, при этом длительность положительного и отрицательного полупериодов для

Таблица 35

Номер вывода	Обозначение	Назначение
19, 20	A0, A1	Адрес
1—8	D7—D0	Шина данных
9, 15, 18	CLK0—CLK2	Тактовые сигналы
10, 13, 17	OUT0—OUT2	Выход
11, 14, 16	GATE0—GATE2	Управление
12	GND	Общий
21	CS	Выбор микросхемы
22	RD	Чтение
23	WR	Запись
24	U_{cc}	+5 В

четного числа n равна T_{CLK} n/2. Для нечетного числа n длительность положительного полупериода равна T_{CLK} n/2, а отрицательного T_{CLK}(n—1)/2.

В режиме 4 (программного формирования одиночного строба) на выходе канала формируется импульс отрицательной полярности длительностью $\tau=T_{CLK}$ после отсчета числа, загруженного в счетчик. По сигналу GATE и после перезагрузки счетчика работа канала в режиме 4 аналогична режиму 0.

В режиме 5 (аппаратного формирования одиночного строба) на выходе канала формируется импульс отрицательной полярности длительностью $\tau=T_{CLK}$ после отсчета числа, загруженного в счетчик. Назначение выводов КР580ВИ53 приведено в табл. 3.5.

3.2.4. Микросхема КР580ВВ55А

Микросхема КР580ВВ55А предназначена для параллельной передачи информации между микропроцессором и периферийными устройствами и содержит три 8-разрядных канала ввода/вывода А, В, С.

Канал С может быть представлен в виде двух 4-разрядных каналов ввода/вывода, доступ к которым производится как к отдельным независимым каналам. Периферийные устройства подключаются к каналам А, В, С, а связь с микропроцессором осуществляется с помощью шины D через буфер данных. Структурная схема КР580ВВ55А представлена на рис 3.4 Каждый из каналов А В, С состоит из 8-разрядного регистра и двунаправленных формирователей, имеющих на выходе состояние «Выключено». Устройство управления содержит регистр управляющего слова (РУС), в кото-

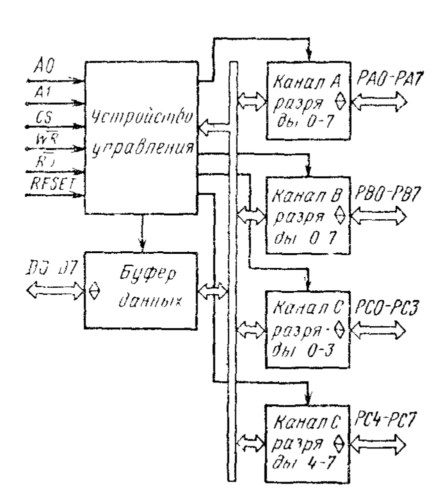


Рис. 3.4 Структурная схема КР580ВВ55А

рый предварительно производится запись информации, определяющей режим работы каналов, и формирует сигналы выбора канала и управления каналом С.

Микросхема может работать в одном из трех режимов: режим 0 — простой ввод/вывод; режим 1 — стробируемый ввод/вывод; режим 2 — двунаправленный канал. Режим работы каналов можно изменять как в начале, так и в процессе выполнения программы, что позволяет обслуживать различные периферийные устройства в определенном порядке с помощью одной микросхемы КР580ВВ55А. Каналы А и В могут работать в различных режимах, а работа канала С зависит от режимов работы каналов А и В. Комбинируя режимы работы каналов, можно обеспечить работу микросхемы почти с любым периферийным устройством.

В режиме 0 осуществляется простой ввод/вывод данных по трем 8-разрядным каналам, причем канал С может использоваться как два 4-разрядных канала. Каждый из каналов может использоваться отдельно для ввода или вывода информации В режиме 0 входная информация не запоминается, а выходная хранится в выходных регистрах до записи новой информации в канал или до записи нового режима.

В режиме 1 передача данных осуществляется только через каналы А и В, а линии канала С служат для приема и выдачи сигналов управления. Каждый из каналов А и В независимо друг от друга может использоваться для ввода или вывода 8-разрядных данных, причем входные и выходные данные фиксируются в регистрах каналов.

В режиме 2 для канала А обеспечивается возможность обмена информацией с периферийными устройствами по 8-разрядному двунаправленному каналу. Для организации обмена используются пять линий канала С. В режиме 2 входные и выходные данные фиксируются во входном и выходном регистрах соответственно. Назначение выводов КР580ВВ55А приведено в табл. 3.6.

Таблица 3.6

Номер вывода	Обозначение	Назначение
9, 8	A0, A1	Адрес
27—34	D7—D0	Шина данных
37—40, 1—4	PA7—PA0	Канал А
5	RD	Чтение
6	CS	Выбор микросхемы
7	GND	Общий
10—13, 17, 16, 15, 14	PC7—PC0	Канал С
18—25	PB0—PB7	Канал В
26	U_{cc}	+5 В
35	RESET	Установка
36	WR	Запись

3.2.5. Микросхема КР580ВТ57

Микросхема КР580ВТ57 представляет собой программируемое 4-канальное устройство прямого доступа к памяти (ПДП) и предназначена для организации по требованию периферийного устройства высокоскоростного обмена данными между памятью системы и периферийными устройствами, минуя центральный процессор. По каждому из четырех каналов обмен может происходить массивами данных до 16 Кбайт с возможностью задания начального адреса от 0 до 64 К. Структурная схема микросхемы КР580ВТ57 представлена на рис. 3.5.

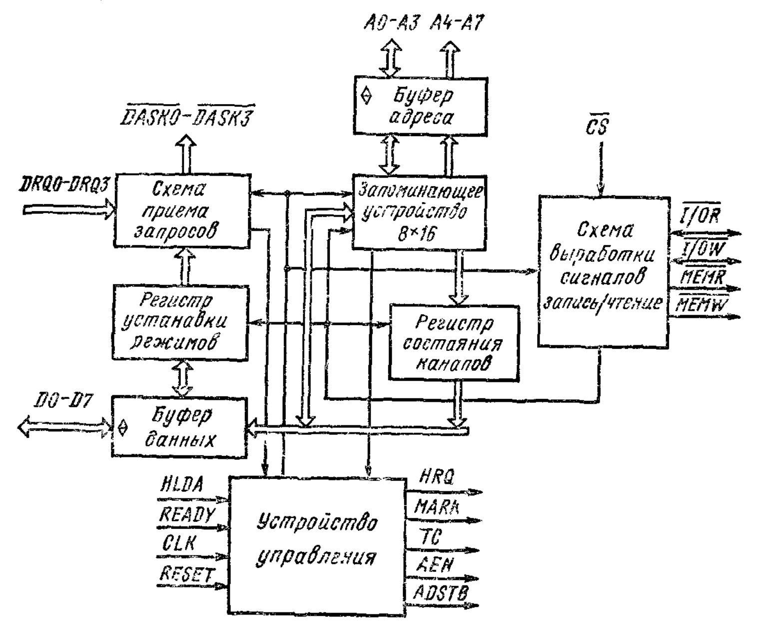


Рис. 3.5. Структурная схема КР580ВТ57

Рассмотрим назначение основных узлов и принцип их взаимодействия. Микросхема может обслуживать до четырех периферийных устройств, запрашивающих режим ПДП подачей на схему приема запросов асинхронных сигналов DRQ0—DRQ3. При поступлении двух и более запросов будет обслуживаться устройство с наивысшим приоритетом. Приоритет устанавливается программно. Возможны два режима установки приоритета: фиксированный, когда канал 0 имеет самый высокий приоритет, а канал 3— самый низкий, и циклический сдвиг приоритета, когда после каждого цикла ПДП приоритет каждого канала изменяется При поступлении запроса на ПДП устройство управления формирует сигнал HRQ «Запрос зах-

вала», запрашивающий центральный процессор (ЦП) о возможности использования системной шины для организации ПДП. При поступлении от ЦП разрешения на пользование системной шиной HLDA схема приема запросов формирует сигнал DASK0—DASK3, подтверждающий запрашивающему периферийному устройству возможность ПДП.

Для хранения начального адреса и числа циклов ПДП используются два 16-разрядных регистра на каждый канал, которые образуют ЗУ емкостью 8×16 бит. Оба регистра — регистр адреса и регистр числа циклов — должны быть загружены перед началом работы. В регистр адреса записывается адрес первой ячейки памяти, к которой должно быть обращение. Значения, записываемые в младшие 14 разрядов регистра числа циклов, указывают число ПДП минус 1 до появления сигнала TC «Конец счета» на выходе микросхемы. В двух старших разрядах регистра числа циклов указывается режим обмена данными: проверка, запись, чтение.

Устройство управления формирует все управляющие сигналы, необходимые для осуществления различных режимов работы микросхемы КР580ВТ57. Схема выработки сигналов запись/чтение обеспечивает прием, формирование и выдачу сигналов, осуществляющих обмен информацией между ЦП и схемой ПДП, между памятью и периферийными устройствами.

Режим работы микросхемы устанавливает 8-разрядный регистр установки режимов. Запись в регистр осуществляется в режиме программирования после загрузки регистра адреса и регистра числа циклов, сброс, т. е. установка в исходное состояние, — подачей сигнала RESET. Записывая в регистр установки режима определенную информацию, можно установить следующие режимы работы (обслуживания) схемы ПДП: автозагрузка (повторение ранее выбранного массива адресов), конец счета, удлиненная/обычная запись, фиксированный/циклический приоритет.

Регистр состояния каналов указывает, какой канал достиг условия конца счета. Буфер адреса предназначен для приема и выдачи кода адреса. Двунаправленные адресные шины A0—A3 в режиме программирования являются входами, выбирающими один из регистров, информация с которого должна быть считана или, наоборот, записана. В режиме обслуживания они являются младшими разрядами 16-разрядного адреса памяти. Выходы A4—A7, имеющие состояние «Выключено», предназначены для выдачи 4—7 разрядов 16-разрядного адреса памяти.

Буфер данных состоит из восьми двунаправленных схем, каждая из которых имеет на выходе состояние «Выключено» и предназначена для сопряжения устройства ПДП с шиной данных МП. При программировании загрузка регистра адреса, регистра числа циклов или регистра установки режимов осуществляется из ЦП через шину данных за два командных цикла.

При чтении содержимого регистра адреса, регистра числа циклов или регистра состояния каналов данные передаются в ЦП также через шину данных. В течение циклов ПДП микросхема КР580ВТ57 управляет системной шиной и выдает через буфер данных старшие восемь разрядов адреса памяти одного из регистров адреса ЗУ. Эти разряды адреса передаются в начале каждого цикла ПДП, а затем шина данных освобождается для обмена данными

Таблица 3.7

Номер вывода	Обозначение	Назначение
32—35, 37—40	A0—A7	Шина адреса
21—23, 26—30	D7—D0	Шина данных
1	I/OR	Чтение ввода/вывода
2	I/OW	Запись ввода/вывода
3	MEMR	Чтение памяти
4	MEMW	Запись в память
5	MARK	Маркер
6	READY	Готовность
7	HLDA	Подтверждение захвата
8	ADSTB	Строб адреса
9	AEN	Разрешение адреса
10	HRQ	Запрос захвата
11	CS	Выбор микросхемы
12	CLK	Тактовый сигнал
13	RESET	Установка
25, 24, 14, 15	DASK0—DASK3	Подтверждение ПДП
16—19	DRQ3—DRQ0	Запрос ПДП
20	GND	Общий
31	U_{cc}	+5 В
36	TC	Конец счета

между памятью и периферийными устройствами в течение оставшейся части цикла ПДП. Назначение выводов КР580ВТ57 приведено в табл. 3.7.

3.2.6. Микросхема КР580ВН59

Микросхема КР580ВН59 представляет собой программируемый контроллер прерываний, который обслуживает до восьми запросов на прерывание ЦП, поступающих от внешних устройств. Предусмотрена возможность расширения числа обслуживаемых запросов до 64 путем каскадного соединения микросхем КР580ВН59.

Контроллер прерываний путем предварительной программной установки в определенный режим работы обеспечивает два способа обслуживания прерывания программ: обслуживание по результатам опроса и обслуживание по запросу.

В режиме обслуживания по результатам опроса производится опрос каждого периферийного устройства до тех пор, пока не будет обнаружено то, которое запрашивает прерывание. Далее осуществляется переход на соответствующую подпрограмму обслуживания прерывания, которая выполняет обмен данными. В этом режиме приоритет устройства определяется его местом в последовательности опроса. Режим целесообразен в тех случаях, когда для ряда периферийных устройств имеется общая подпрограмма обслуживания или число запросов более 64.

В режиме обслуживания по запросу обмен данными между ЦП

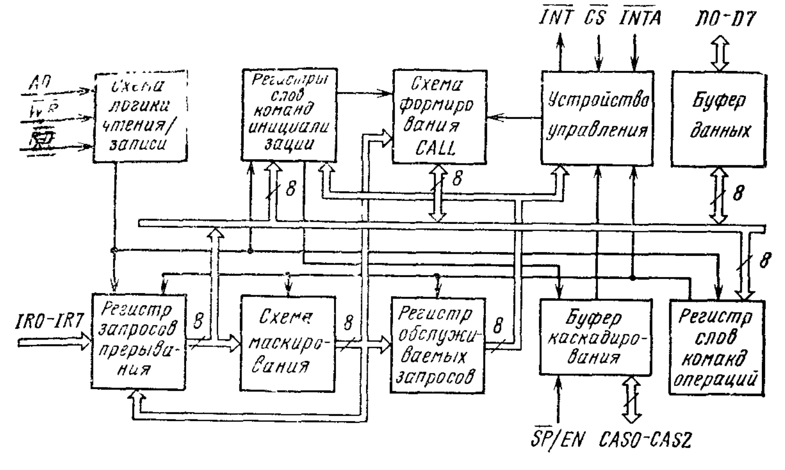


Рис 3.6 Структурная схема КР580ВН59

и периферийными устройствами инициируется периферийными устройствами выработкой сигнала IR «Запрос прерывания», при поступлении которого управление передается на соответствующую программу. Данный способ обмена особенно удобен при работе с периферийными устройствами, имеющими низкое быстродействие, а также в ситуациях, когда момент передачи непредсказуем, что в большинстве случаев и бывает. Алгоритм задания приоритета устанавливается программным путем. Приоритеты, закрепленные за внешними устройствами, могут быть изменены в процессе выполнения программ.

Структурная схема КР580ВН59 представлена на рис. 3.6. Рассмотрим назначение основных узлов. Восьмиразрядный регистр запросов прерывания предназначен для записи и хранения запросов прерывания IR0—IR7, поступающих от внешних устройств. Сигналы IR0—IR7 асинхронны, поэтому они должны удерживаться на входе до поступления с ЦП первого сигнала INTA «Подтверждение прерывания». Сброс разряда регистра запросов прерывания, соответствующего обслуживаемому запросу, осуществляется вторым сигналом INTA, поступающим с ЦП.

Схема маскирования состоит из схемы анализа приоритета и регистра маски, в который предварительно записывается код маски, прерываний, разрешающий или запрещающий прохождение определенных запросов на схему анализа приоритета. Сигналы, прошедшие через регистр маски, анализируются по приоритету. Запрос с наивысшим приоритетом записывается в регистр обслуживаемых запросов, запрещая прохождение через схему маскирования новых запросов, имеющих равный обслуживаемому или низшие приоритеты Схема логики чтения/записи позволяет записывать команды в различные регистры микросхемы, а также считывать содержимое регистров на шину данных.

Установка схемы в исходное состояние и установка фиксиро-

ванного статуса уровней приоритета осуществляются командами инициализации, которые предварительно записываются и хранятся в регистрах слов команд инициализации. В зависимости от числа микросхем, примененных в системе, используется последовательность из двух или трех команд инициализации. Схема формирования команды CALL выдает на шину данных трехбайтовую команду CALL при поступлении с ЦП трех сигналов INTA. При поступлении сигнала INTA1 на шину данных выдается первый байт — собственно команда CALL, по сигналу INTA2 выдается второй байт — младший байт адреса, по сигналу INTA3 — третий байт — старший байт адреса.

Устройство управления формирует сигнал INT «Прерывание» при поступлении одного или нескольких запросов и вырабатывает управляющие сигналы, необходимые для выполнения команды CALL. Буфер каскадирования позволяет увеличить число обслуживаемых запросов до 64, при этом одна из микросхем КР580ВН59 включается как ведущая, а остальные — как ведомые. Каждой ведомой микросхеме присваивается номер, предварительно устанавливаемый программным путем.

Регистры слов команд операций предназначены для задания программным путем различных операций как в режиме обслуживания по запросу, так и в режиме обслуживания по результатам опроса: маскирование запросов прерывания/спецмаскирование, фиксированный приоритет/циклический сдвиг приоритета, обычный конец прерывания/специальный конец прерывания, установка чтения регистра запросов, установка чтения регистра обслуживаемых запросов. Двунаправленный 8-разрядный буфер данных имеет на выходе состояние «Выключено». В режиме программирования через буфер данных в КР580ВН59 записываются управляющие слова, а на системную шину данных считываются содержимое регистра запросов, регистра обслуживаемых запросов, регистра маски и двоично-десятичный код запроса, по которому вырабатывается сигнал INT. В режиме прерывания по запросу после подтверждения прерывания через буфер данных в системную шину выдается трех-

Таблица 3.8

Номер вывода	Обозначение	Назначение
27	A0	Адрес
4—11	D7—D0	Шина данных
1	CS	Выбор микросхемы
[illegible]	WR	Чтение
	RD	Запись
12, [illegible], 15	CAS0—CAS2	Каскадирование
[illegible]	GND	Общий
[illegible]	SP/EN	Признак подчинения
[illegible]	INT	Прерывание
18—25	IR0—IR7	Запрос прерывания
26	INTA	Подтверждение прерывания
28	U_{cc}	+5 В

байтовая команда CALL. В остальное время выход буфера данных находится в состоянии «Выключено». Назначение выводов КР580ВН59 приведено в табл. 3.8.

3.2.7. Микросхема КР580ГФ24

Микросхема КР580ГФ24 представляет собой генератор тактовых импульсов (ГТИ), предназначенный для совместной работы с ЦПУ КР580ВМ80А. Генератор формирует: высокоуровневые тактовые сигналы Ф1 и Ф2 с несовпадающими фазами; тактовый сигнал Ф2Т, по уровню совместимый с ТТЛ и синхронизированный с сигналом Ф2; сигнал STSTB «Строб состояния», который, поступая на системный контроллер, фиксирует состояние шины данных микропроцессора; сигнал RESET «Установка».

Структурная схема КР580ГФ24 представлена на рис. 3.7. Генератор опорной частоты при подключении к выводам XTAL1 и XTAL2 кварцевого резонатора обеспечивает высокую стабильность частоты, определяемую основной частотой возбуждения кварцевого резонатора.

Выход генератора опорной частоты выведен на внешний вывод OSC и соединен внутри микросхемы со счетчиком-делителем, входящим в состав тактового генератора. Тактовый генератор состоит из счетчика-делителя на 9, логических дешифраторов, формирующих требуемые тактовые импульсы, выходных формирователей и вспомогательных логических схем и триггеров для генерации выходных сигналов: Ф1, Ф2, Ф2Т, STSTB. Тактовые импульсы Ф1 и Ф2 управляют МОП-входами микропроцессора КР580ВМ80А. Тактовый импульс Ф2Т используется для управления ТТЛ-входами в режиме прямого обращения к памяти.

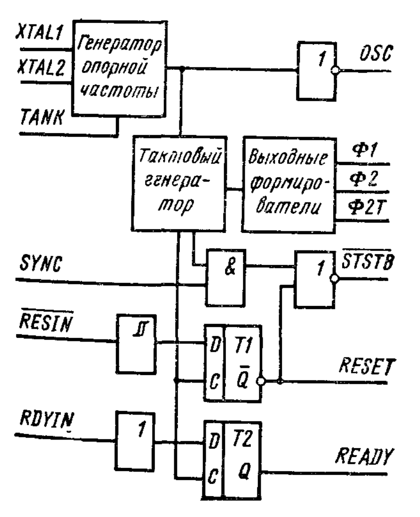


Рис. 3.7. Структурная схема КР580ГФ24

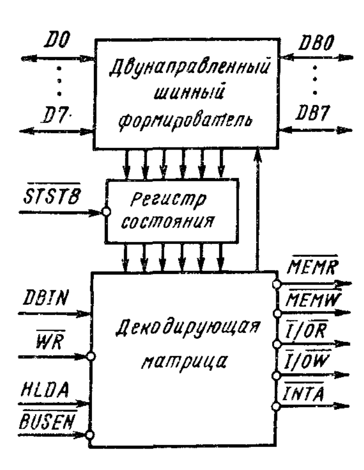


Рис 3.8 Структурная схема КР580ВК28 и КР580ВК38

Таблица 39

Номер вывода	Обозначение	Назначение
1	RESET	Установка (выход)
2	RESIN	Установка (вход)
3	RDYIN	Готовность (вход)
4	READY	Готовность (выход)
5	SYNC	Синхронизация
6	Ф2Т	Фаза 2 с уровнем ТТЛ
7	STSTB	Строб состояния
8	GND	Общий
9	U_{cc1}	+12 В
10, 11	Ф2, Ф1	Фаза 2, 1
12	OSC	Выход осциллятора
13	TANK	Вход колебательного контура
14, 15	XTAL2, XTAL1	Кварцевый резонатор
16	U_{cc2}	+5 В

Отрицательный сигнал STSTB, длительность которого равна одному периоду частоты опорного генератора, формируется микросхемой КР580ГФ24 при поступлении на ее вход с микропроцессора КР580ВМ80А сигнала SYNC «Синхронизация», свидетельствующего о начале машинного цикла.

При поступлении входного сигнала RESIN микросхема КР580ГФ24 с помощью триггера Шмитта и триггера Т1 вырабатывает сигнал RESET, синхронизированный с тактовым сигналом Ф2. По сигналу RESET осуществляется установка в исходное состояние различных устройств микропроцессорной системы. Наличие в микросхеме триггера Шмитта позволяет подавать на вход RESIN сигнал с пологим фронтом. С помощью триггера Т2 осуществляется стробирование входного сигнала RDYIN «Готовность» тактовым сигналом Ф2. Назначение выводов КР580ГФ24 приведено в табл. 3 9.

3.2.8. Микросхемы КР580ВК28 и КР580ВК38

Микросхемы КР580ВК28 и КР580ВК38 выполняют функции системного контроллера и шинного формирователя, осуществляют формирование управляющих сигналов обращения к ОЗУ или к устройствам ввода/вывода (УВВ) и обеспечивают прием и передачу 8-разрядной информации между шиной данных микропроцессора и системной шиной.

Отличие микросхемы КР580ВК28 от микросхемы КР580ВК38 состоит в формировании сигналов I/OW. MEMW. Микросхема КР580ВК28 формирует эти сигналы относительно сигнала WR «Запись», а микросхема КР580ВК38 — относительно сигнала STSTB «Строб состояния», что позволяет при применении в микропроцессорной системе микросхемы КР580ВК38 использовать ЗУ и УВВ с более широким диапазоном быстродействия. Структурная схема КР580ВК28 и КР580ВК38 представлена на рис. 3.8. Двунаправленный шинный формирователь осуществляет буферирование 8-разряд-

Таблица 3.10

Номер вывода	Обозначение	Назначение
6, 8, 10, 12, 15, 17, 19, 21	D0—D7	Шина данных
5, 7, 9, 11, 13, 16, 18, 20	DB0—DB7	Системная шина
1	STSTB	Строб состояния
2	HLDA	Подтверждение захвата
3	WR	Запись
4	DBIN	Прием
14	GND	Общий
22	BUSEN	Управление системной шиной
23	INTA	Подтверждение прерывания
24	MEMR	Чтение памяти
25	I/OR	Чтение УВВ
26	MEMW	Запись в память
27	I/OW	Запись в УВВ
28	U_{cc}	+5 В

ной шины данных и автоматический контроль направления передачи данных. Подключение системного контроллера к шине данных микропроцессора осуществляется с помощью двунаправленных выводов D0—D7, к системной шине — с помощью двунаправленных выводов DB0—DB7. При необходимости с помощью сигнала BUSEN «Управление системной шиной» выводы DB0—DB7 системного контроллера могут быть переведены в состояние «Выключено».

Регистр состояния выполнен на шести D-триггерах и предназначен для хранения информации о состоянии микропроцессора, поступающей по шине данных D0—D7 Запись в регистр состояния осуществляется по сигналу STSTB, поступающему в начале каждого машинного цикла.

Декодирующая матрица в зависимости от режима работы микропроцессора, зафиксированного в регистре состояния, и входных управляющих сигналов HLDA, WR, DBIN формирует сигнал INTA «Подтверждение прерывания» или сигналы чтения/записи при обращении к ОЗУ или УВВ. Назначение выводов микросхем КР580ВК28 и КР580ВК38 приведено в табл. 3.10.

3.2.9. Микросхемы КР580ИР82 и КР580ИР83

Микросхемы КР580ИР82 и КР580ИР83 представляют собой 8-разрядные буферные регистры, предназначенные для ввода и вывода информации со стробированием. Они могут использоваться как в микропроцессорных системах, построенных на микросхемах серии КР580, так и в других вычислительных системах и устройствах дискретной автоматики.

Микросхема КР580ИР83 отличается от микросхемы КР580ИР82 тем, что имеет инвертирующие выходы. Расположение выводов обеих

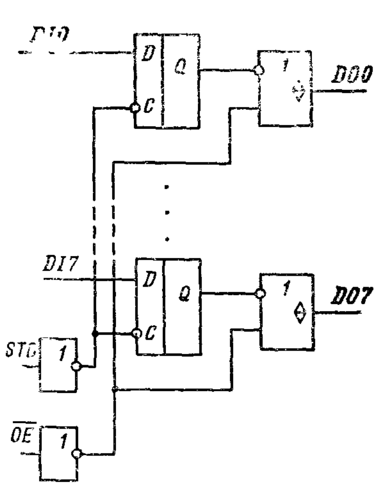


Рис. 3.9. Структурная схема КР580ИР82 и КР580ИР83

Рис. 3.10. Структурная схема КР580ВА86 и КР580ВА87

Таблица 3.11

Номер вывода	Обозначение	Назначение
1—8	DI0—DI7	Входы регистра
9	OE	Разрешение выхода
10	GND	Общий
11	STB	Строб
19—12	DO0—DO7	Выходы регистра
20	U_{cc}	+5 В

микросхем одинаково. Структурная схема КР580ИР82 и КР580ИР83 представлена на рис. 3.9. Каждая микросхема имеет восемь триггеров D-типа и восемь выходных буферов, имеющих на выходе состояние «Выключено». Управление передачей информации осуществляется с помощью сигнала STB «Строб».

При поступлении на вход STB сигнала высокого уровня осуществляется нетактируемая передача информации от входа DI до выхода DO. При подаче на вход STB сигнала низкого уровня микросхема хранит информацию предыдущего такта; при подаче на вход STB положительного перепада импульса происходит «защелкивание» входной информации. Выходные буферы микросхем КР580ИР82 и КР580ИР83 управляются сигналом $\overline{OE}$ «Разрешение выхода». При

поступлении на вход OE сигнала высокого уровня выходные буферы переводятся в состояние «Выключено». Назначение выводов КР580ИР82 и КР580ИР83 приведено в табл. 3.11.

3.2.10. Микросхемы КР580ВА86 и КР580ВА87

Микросхемы КР580ВА86 и КР580ВА87 представляют собой двунаправленные 8-разрядные шинные формирователи с высокой нагрузочной способностью, позволяют осуществить связь микропроцессора с периферийными устройствами ввода/вывода информации.

Микросхема КР580ВА87 отличается от микросхемы КР580ВА86 тем, что двунаправленная передача осуществляется с инверсией. Расположение выводов обеих микросхем одинаково. Режим работы мик-

Таблица 3.12

Номер вывода	Обозначение	Назначение
1—8	A0—A7	Шина А (вход/выход)
9	OE	Разрешение выхода
10	GND	Общий
11	T	Направление передачи
19—12	B0—B7	Шина В (вход/выход)
20	U_{cc}	+5 В

росхем КР580ВА86 и КР580ВА87, структурная схема которых представлена на рис. 3.10, определяется управляющими сигналами OE «Разрешение выхода» и T «Направление передачи». При поступлении на вход OE сигнала высокого уровня информационные выходы A и B переходят в состояние «Выключено». При наличии на входе OE сигнала низкого уровня направление передачи информации определяется сигналом T. При подаче на вход T сигнала высокого уровня осуществляется передача информации с канала A в канал B, при подаче на вход T сигнала низкого уровня — наоборот, с канала B в канал A. Назначение выводов КР580ВА86 и КР580ВА87 приведено в табл. 3.12.

3.2.11. Микросхема КР580ВГ75

Микросхема КР580ВГ75 представляет собой контроллер ЭЛТ и предназначена для сопряжения с алфавитно-цифровыми дисплеями и видеотерминалами микроЭВМ с целью минимизации конструкции и программного обеспечения. Структурная схема контроллера ЭЛТ представлена на рис. 3.11. Рассмотрим назначение основных узлов. Двунаправленный 8-разрядный буфер шины данных служит для сопряжения шины данных системы и имеет на выходе состояние «Выключено». Направлением обмена информацией и переводом буфера в состояние «Выключено» управляет логика чтения/записи ПДП. Логика чтения/записи ПДП, декодируя внешние управляющие сигналы,

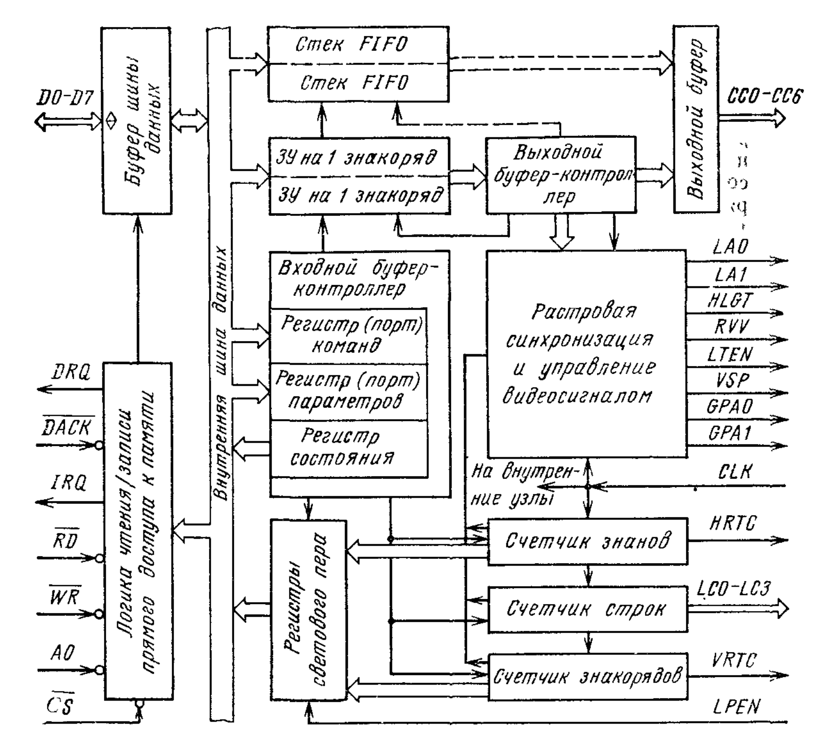


Рис. 3.11. Структурная схема КР580ВГ75

адресует записываемую информацию в соответствующие регистры микросхемы, ЗУ на 1 знакоряд или стек FIFO, а считываемую информацию выводит из регистров состояния или регистров светового пера. Кроме того, она вырабатывает сигналы ПДП и прерываний, подаваемые на контроллер ПДП и центральный процессор.

Входной буфер-контроллер представляет собой логическое устройство, управляющее процессом взаимодействия микросхемы КР580ВГ75 с центральным процессором видеотерминала. Он содержит регистры команд и параметров, в которые от центрального процессора записываются соответственно команды и числовые данные (параметры), входящие в состав некоторых команд. Сведения о правильности приема и выполнения команды заносятся в регистр состояния, откуда центральный процессор может их считать и проанализировать. Входной буфер-контроллер «просматривает» информацию, загружаемую в ЗУ на 1 знакоряд, и при обнаружении в ее составе вспомогательных команд, выполняет их.

Запоминающее устройство на 1 знакоряд состоит из буферных ЗУ емкостью 80 восьмибитовых знаков каждое для промежуточного хранения выводимой на экран ЭЛТ информации. В микросхеме име-

ются два стека FIFO обратного магазинного типа емкостью 16 знаков по 7 бит каждый. Стеки попарно сопряжены с ЗУ на 1 знакоряд и служат для увеличения их емкости в «прозрачном» режиме атрибутов поля. Выходной буфер-контроллер представляет собой логическое устройство, управляющее отображением информации. Он проверяет информацию, выводимую из ЗУ на 1 знакоряд, и при обнаружении атрибутивных кодов знака или поля дешифрирует их и производит соответствующее действие. Выходной однонаправленный 7-разрядный буфер служит для синхронного вывода информации из ЗУ на 1 знакоряд или стека FIFO на знакогенератор — выходы CC0 — CC6.

Схема растровой синхронизации и управления видеосигналом обеспечивает управление выходами микросхемы в соответствии с атрибутивными кодами, дешифрированными выходным буфером-контроллером. Она управляет также включением сигнала VSP «Подавление видеосигнала» при обратном ходе развертки. Счетчики знаков, строк и знакорядов предназначены для подсчета соответственно числа знаков в знакоряду, числа строк растра в знакоряду, числа знакорядов в кадре и являются программируемыми. Требуемое число счета для каждого счетчика предварительно записывается в регистр параметров входного буфера-контроллера.

Таблица 3.13

Номер вывода	Обозначение	Назначение
12—19	D0—D7	Шина данных
4—1	LC0—LC3	Номер строки
5	DRQ	Запрос ПДП
6	DACK	Подтверждение запроса ПДП
7	DRTC	Обратный ход строчной развертки
8	VRTC	Обратный ход кадровой развертки
9	RD	Чтение
10	WR	Запись
11	LPEN	Световое перо
20	GND	Общий
21	A0	Адрес порта
22	CS	Выбор микросхемы
23—29	CC0—CC6	Код знака
30	CLK	Синхросигнал знака
31	IRQ	Запрос прерывания
32	HLGT	Подсветка
33, 34	GPA0, GPA1	Универсальные атрибутивные коды
35	VSP	Подавление видеосигнала
36	RVV	Негативное изображение
37	LTEN	Разрешение засветки экрана
38, 39	LA1, LA0	Код графических символов
40	U_{cc}	+5 В

В микросхеме имеются два регистра светового пера, один из которых включен параллельно счетчику знаков, второй — счетчику знакорядов. При поступлении сигнала LPEN «Световое перо» состояние обоих счетчиков заносится в регистры светового пера и хранится в них. По команде содержимое светового пера может считываться центральным процессором.

Микросхема КР580ВГ75 обеспечивает большой выбор задаваемых программно форматов изображения. Она осуществляет синхронизацию растра, промежуточное хранение отображаемого знакоряда, декодирование атрибутивных кодов, управление курсором (маркером), работу со световым пером.

Микросхема разработана для сопряжения контроллера ПДП типа КР580ВТ57 с генератором стандартных знаков — ПЗУ, декодирующим точечную матрицу. Синхронизация на уровне растровых точек обеспечивается внешней схемой. Назначение выводов КР580ВГ75 приведено в табл. 3.13.

3.2.12. Микросхема КР580ВВ79

Микросхема КР580ВВ79 представляет собой программируемое интерфейсное устройство, предназначенное для ввода и вывода информации в системах, выполненных на основе 8- и 16-разрядных микропроцессоров КР580ВМ80А и КР1810ВМ86. Кроме того, микросхема может применяться и как самостоятельное устройство при условии выполнения требований, предъявляемых к электрическим и временным параметрам. Микросхема допускает одновременное выполнение функций ввода и вывода и позволяет полностью освободить микропроцессор от операций сканирования клавиатуры и регенерации отображения на дисплее. Структурная схема КР580ВВ79 представлена на рис. 3.12. Она содержит дисплейную часть, клавиатурную и схемы управления, синхронизирующие ввод/вывод информации и взаимодействие различных узлов.

Дисплейная часть микросхемы обеспечивает вывод информации по двум 4-разрядным каналам: DSPA0 — DSPA3 — канал 1 ОЗУ отображения; DSPB0—DSPB3 — канал 2 ОЗУ отображения. Вывод осуществляется в виде двоичного кода на 8- или 16-разрядные цифровые или алфавитно-цифровые дисплеи. При этом могут использоваться такие типы дисплеев, как дисплеи накапливания, со светоизлучающими диодами, с жидкокристаллическими элементами. Информация на дисплей может выводиться двумя способами: слева без сдвига и справа налево со сдвигом.

Оперативное ЗУ отображения предназначено для хранения информации, которая должна отображаться на дисплее. Оперативное ЗУ отображения объемом 16 слов×8 разрядов можно организовать в сдвоенное ОЗУ объемом 16 слов×4 разряда или одно устройство объемом 16 слов×4 разряда и 8 слов×8 разрядов. Запись информации в ОЗУ отображения и считывание из него осуществляются через двунаправленную шину данных D0—D7.

Регистр адреса ОЗУ отображения используется для хранения адреса данных, которые в данный момент записываются или считываются МП. Запись адреса в регистр адреса ОЗУ отображения осуществляется с помощью команд «Запись в ОЗУ отображения» или «Чтение из ОЗУ отображения». Регистр адреса ОЗУ отображения сбрасывается на нулевую строку сканирования аппаратным и про-

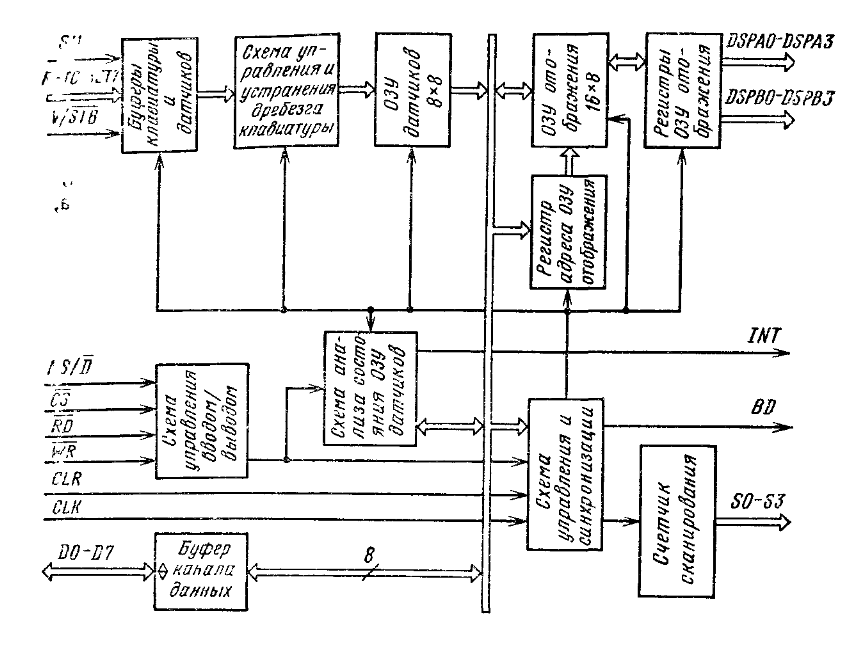


Рис. 3.12. Структурная схема КР580ВВ79

граммным сбросом, записью режима работы и по команде «Сброс». Регистры ОЗУ отображения предназначены для хранения данных, которые в момент сканирования сигналами S0—S3 выводятся на выходы DSPA0—DSPA3 и DSPB0—DSPB3.

Клавиатурная часть микросхемы через входы RET0—RET7 обеспечивает ввод информации различными способами: с клавиатурной матрицы объемом 8 слов×8 разрядов с возможностью расширения до 4×(8 слов×8 разрядов), с матрицы датчиков 8 слов×8 разрядов, а также ввод по стробу 8 слов×8 разрядов. Клавиатурная часть микросхемы может сопрягаться с любой клавиатурой типа клавиатуры пишущей машинки, произвольным набором переключателей. Буферы клавиатуры и датчиков используются для хранения входной информации в режимах сканирования клавиатуры, сканирования матрицы датчиков и ввода по стробу. Схема управления и устранения дребезга клавиатуры осуществляет управление сканированием клавиатуры в режимах 2- и N-клавишных сцеплений, N-клавишных сцеплений с обнаружением ошибок, а также в режимах сканирования матрицы датчиков и ввода по стробу. Кроме того, она устраняет дребезг клавиатуры при замыкании/размыкании клавиши.

Оперативное ЗУ датчиков предназначено для хранения с последующим считыванием кода позиции клавиш, состояния ключей в матрице датчика, а также информации, вводимой по стробу. В режимах сканирования клавиатуры или ввода по стробу ОЗУ датчиков рабо-

тает по принципу «обратного магазина»: первый вошел — первый вышел. В режиме сканирования матрицы датчиков ОЗУ работает как ОЗУ датчиков, т. е. каждая строка ОЗУ загружается состоянием соответствующей строки в матрице датчиков. При этом если обнаружено изменение состояния датчиков, то на выходе INT «Прерывание» формируется сигнал высокого уровня.

Схема анализа состояния ОЗУ датчиков определяет число находящихся в ОЗУ сигналов, а также фиксирует заполнение всего объема ОЗУ или отсутствие информации в нем. Если ОЗУ содержит информацию, формируется сигнал INT. В режиме сканирования матрицы датчиков схема анализа состояния ОЗУ датчиков следит только за числом символов в нем, которое не должно превышать семи.

Схема управления вводом/выводом вырабатывает сигналы, которые управляют обменом информацией с МП, а также внутренними пересылками данных и команд в различные регистры и буферы микросхемы Буфер канала данных предназначен для обмена информацией между микросхемой КР580ВВ79 и МП КР580ВМ80А. Направление обмена информацией определяется сигналами WR, RD и CS. При поступлении на вход CS сигнала высокого уровня буфер канала данных устанавливается в состояние «Выключено».

Схема управления и синхронизации состоит из регистра хранения команд, куда записываются команды, управляющие клавиатурной и дисплейной частями микросхемы, и счетчика синхронизации, с помощью которого обеспечивается согласование длительности цикла МП с внутренней синхронизацией микросхемы Схема управления и синхронизации формирует сигнал BD «Гашение», который исполь-

Таблица 3.14

Номер вывода	Обозначение	Назначение
12—19	D0—D7	Шина данных
38, 39, 1, 2, 5—8	RET0—RET7	Входы клавиатуры
3	CLK	Тактовый сигнал
4	INT	Прерывание
9	CLR	Очистка
10	RD	Чтение
11	WR	Запись
20	GND	Общий
21	NS/D	Команда/данные
22	CS	Выбор микросхемы
23	BD	Гашение
24—27	DSPA3—DSPA0	Канал 1 ОЗУ отображения
28—31	DSPB3—DSPB0	Канал 2 ОЗУ отображения
32—35	S0—S3	Сигналы сканирования
36, 37	SH, V/STB	Управление сканированием клавиатуры
40	U_{cc}	+5 В

зуется для гашения отображения на дисплее во время смены цифр и букв или при поступлении на входы D0—D7 команды «Гашение отображения». Счетчик сканирования вырабатывает сигналы S0 — S3, которые производят сканирование клавиатуры, матрицы датчиков и дисплея. Установка счетчика сканирования в исходное состояние осуществляется аппаратным и программным способами.

Программирование режимов работы, запись информации в ОЗУ отображения, чтение информации из ОЗУ датчиков и ОЗУ отображения, а также чтение внутреннего состояния микросхемы осуществляются аппаратным и программным способами. Программирование режимов работы, запись информации в ОЗУ отображения, чтение информации из ОЗУ датчиков и ОЗУ отображения, а также чтение внутреннего состояния микросхемы осуществляются через 8-разрядную двунаправленную шину данных D0—D7 при подаче соответствующих сигналов. Назначение выводов КР580ВВ79 приведено в табл. 3.14.

3.3. Микропроцессорный комплект серии КР588

Микропроцессорный комплект серии КР588 выполнен на основе низкопороговой КМОП-технологии и является комплектом среднего быстродействия и минимальной потребляемой мощности. На его основе целесообразна разработка вычислительных и управляющих систем, имеющих автономное питание. Он предназначен для обработки 16-разрядных данных и имеет фиксированную систему команд, совместимую с системой команд микроЭВМ «Электроника-60". Все микросхемы, входящие в МПК КР588, предназначены для работы в диапазоне температур —10...+70 °С и имеют напряжение питания 5 В± ±5 %.

Ниже приведены функциональный состав МПК КР588 и основные параметры микросхем, входящих в комплект.

Микропроцессорная секция параллельной обработки информации КР588ВС2

Разрядность обрабатываемых данных	16
Разрядность микрокоманды	12
Число каналов ввода/вывода информации	1
Максимальный объем адресуемой памяти, Кбайт .	64
Время цикла, мкс	≤1,82
Потребляемая мощность, мВт	≤4,7

Управляющая память КР588ВУ2

Разрядность команды	16
Разрядность шины состояний	4
Разрядность микрокоманды	13
Число логических произведений	150
Время выборки микрокоманды, мкс	<0,65
Потребляемая мощность, мВт	<16

Системный контроллер КР588ВГ1

Разрядность микрокоманды	5
Число выполняемых микрокоманд	26
Число запросов прерываний	4
Разрядность кода прерываний	4
Время цикла, нс	≤200
Потребляемая мощность, мВт	≤4,0

Многорежимный буферный регистр КР588ИР1

Разрядность	8
Время записи информации, нс	≤150
Время считывания информации, нс	≤120
Потребляемая мощность, мВт	≤0,5

Магистральный приемопередатчик КР588ВА1

Число приемопередатчиков	8
Время передачи информации, нс	≤100
Потребляемая мощность, мВт	≤0,5

Контроллер ЗУ КР588ВГ2

Число управляемых модулей ЗУ	8
Время цикла, нс	≤300
Потребляемая мощность, мВт	≤0,08

Микросхемы серии КР588 выполнены в прямоугольных пластмассовых корпусах типа 2204.42-2 — КР588ВС2, КР588ВУ2, КР588ВГ1; 2121.28-4 — КР588ИР1, КР588ВА1; 2107.18-1 — КР588ВГ2.

3.3.1. Микросхема КР588ВС2

Микросхема КР588ВС2 представляет собой 16-разрядное асинхронное микропрограммно-управляемое устройство, предназначенное для обработки цифровой информации, представленной в двоичном коде. При совместном использовании с микросхемой КР588ВУ2(кодировки 0001—0005) реализуется система команд микроЭВМ «Электроника-60». Структурная схема КР588ВС2 представлена на рис. 3.13 Рассмотрим назначение основных узлов и принцип их взаимодействия. Арифметическо-логическое устройство (АЛУ) предназначено для выполнения арифметических и логических операций над 16-разрядными операндами. Для временного хранения операндов и результата используются аккумулятор (А) и регистры общего назначения (РОН) — шестнадцать 16-разрядных регистров, составляющих блок РОН. При выполнении определенных микрокоманд АЛУ формирует ряд признаков. знак S, равенство нулю Z, переполнение OV, расширение C, которые записываются и хранятся в старшем полубайте регистра состояний (РС) и выдаются на выходную шину состояния ST0—ST3. В отдельных микрокомандах регистр состояний используется как регистр общего назначения.

Входная микрокоманда поступает на шину MNS0—MNS11 и запоминается в 12-разрядном регистре микрокоманд (РМК). Блок управления осуществляет дешифрацию микрокоманды и производит запись дешифрированного кода в регистр управляющего слова (РУС), который выдает на все узлы микросхемы управляющие сигналы в соответствии с кодом выполняемой микрокоманды

Полный цикл работы микросхемы состоит из четырех фаз: приема, чтения, записи и выдачи, последовательность выполнения которых задается блоком синхронизации. По завершении цикла предыдущей микрокоманды микросхема переходит к фазе приема в РМК очередной микрокоманды при условии поступления отрицательного

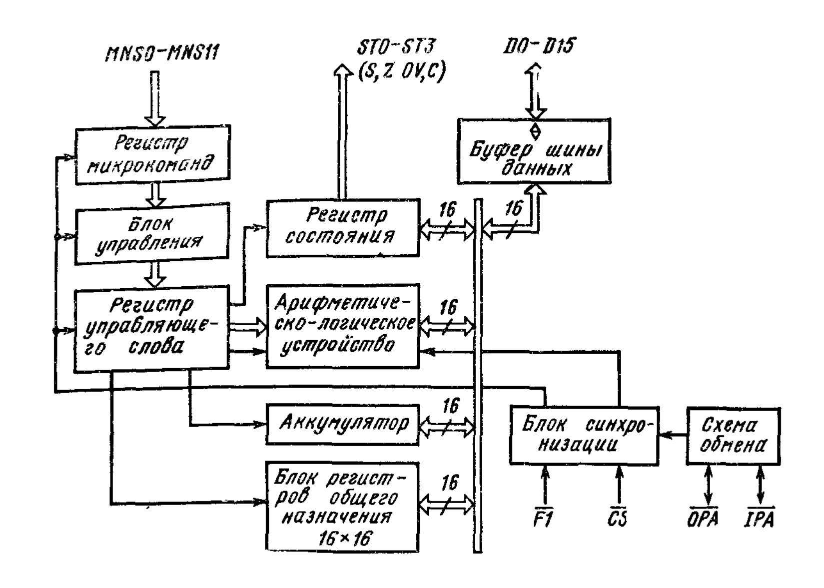


Рис 3 13 Структурная схема КР588ВС2

фронта сигнала CS «Выбор микросхемы». Микросхема реализует конвейерный принцип выполнения микрокоманд, при котором операции приема и дешифрации следующей микрокоманды совмещаются с операциями исполнения и выдачи результата предыдущей микрокоманды.

В фазе приема производится прием очередной команды в РМК, что фиксируется выдачей отрицательного фронта на выводе F1 «Синхронизация», дешифрация микрокоманды и запись управляющего кода в РУС при условии окончания фазы записи для предыдущей микрокоманды. После записи дешифрированного управляющего кода в РУС состояние низкого уровня на выводе F1 изменяется на высокое. На этом фаза приема заканчивается, если в дешифрированной микрокоманде отсутствует прием информации с шины D0—D15. В противном случае схема обмена анализирует состояние вывода OPA «Сопровождение информации» и при наличии на нем напряжения низкого уровня производит прием данных с шины D. По окончании приема операнда схема обмена выдает сигнал IPA «Окончание приема» низкого уровня и фаза приема завершается.

Во время выполнения фазы чтения выбирается источник информации (операнды или один из операндов) и производится асинхронная обработка информации в АЛУ. В зависимости от выполняемой микрокоманды в качестве источника информации могут служить аккумулятор, регистр состояний, РОН, шина D.

Во время выполнения фазы записи заканчивается обработка информации в АЛУ и производится запись результата в соответствующий приемник: A, РОН, PC, D. Если приемником информации является шина D, то микросхема устанавливает информацию на выводах D0—D15, сопровождая ее выдачей сигнала OPA низкого уровня.

Таблица 3.15

Номер вывода	Обозначение	Назначение
5—20	D0—D15	Шина данных
24—40, 1—4, 41	MNS0—MNS11	Микрокоманда
22—25	ST0—ST3	Состояние
21	GND	Общий
30	CS	Выбор микросхемы
31	F1	Синхронизация
32	OPA	Сопровождение информации по шине D
33	IPA	Окончание приема
42	U_{cc}	+5 В

В фазе выдачи микросхема является источником информации, а остальные блоки процессора — приемником. Процесс обмена осуществляется асинхронно. При выдаче информации источник устанавливает одновременно с данными сигнал OPA низкого уровня. По завершении приема информации приемник устанавливает сигнал IPA низкого уровня. Обмен заканчивается, когда источник устанавливает сигнал OPA высокого уровня, а приемник отвечает сигналом IPA высокого уровня. В процессе выполнения фазы выдачи предыдущей микрокоманды могут выполняться фазы приема и чтения текущей микрокоманды и фаза приема последующей микрокоманды. Назначение выводов КР588ВС2 приведено в табл. 3.15.

3.3.2. Микросхема КР588ВУ2

Микросхема КР588ВУ2 представляет собой управляющую память (УП) микропрограмм и предназначена для формирования последовательности микрокоманд по заданной команде. Микросхемы КР588ВУ2 выполняются в виде стандартных кодировок, содержимое которых определено на этапе изготовления микросхем. Кодировки 0001—0005 позволяют реализовать систему команд микроЭВМ «Электроника-60». Структурная схема КР588ВУ2 представлена на рис. 3.14. Рассмотрим назначение основных блоков и принцип их взаимодействия.

Блок синхронизации при поступлении входных управляющих сигналов производит установку всех регистров УП в исходное состояние, осуществляет синхронизацию приема команды и выдачи микрокоманды. Входная команда поступает в УП по 16-разрядной шине NS и хранится в регистре команд (РК). Одновременно в 4-разрядный регистр состояния (РС) записывается информация с шины состояний ST. На шину состояний УП поступает содержимое РС микросхемы КР588ВС2 или код прерывания из системного контроллера

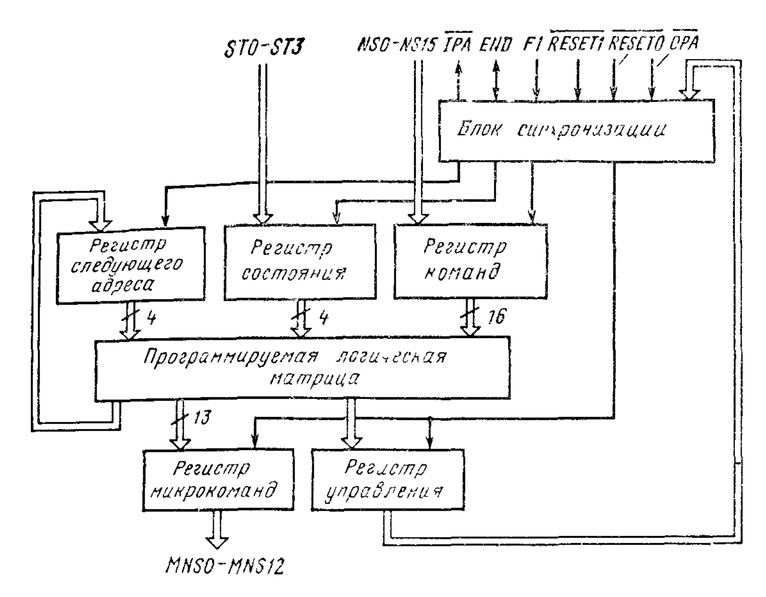


Рис. 3.14. Структурная схема КР588ВУ2

КР588ВГ1, что определяет ход выполнения или направление ветвления команды

Прием новой команды в РК и РС производится при подаче на вход ОРА «Сопровождение информации по шине NS» сигнала низкого уровня. Управляющая память информирует о приеме команды установкой на выводах IPA «Окончание приема» и END «Конец команды» сигналов низкого уровня. Внешнее устройство снимает сигнал ОРА, на что УП отвечает установкой на выводе IPA сигнала высокого уровня. Прием новой команды произошел, и УП переходит к формированию последовательности микрокоманд.

Программируемая логическая матрица (ПЛМ) в соответствии с кодом поступившей команды формирует код очередной микрокоманды, адрес следующей микрокоманды и управляющие коды, которые поступают соответственно на регистр микрокоманд, регистр следующего адреса и регистр управления.

Регистр микрокоманд хранит микрокоманду и выдает ее на шины MNS0 — MNS12 «Микрокоманда». Одновременно по коду, хранящемуся в регистре следующего адреса, происходит формирование следующей микрокомады. По отрицательному фронту сигнала на входе F1 «Синхронизация» выдача текущей микрокоманды прекращается, и если к этому моменту сформирована следующая микрокоманда, то происходит ее запись в РМК с последующей выдачей. В регистр управления поступают признаки, определяющие режим работы УП. При поступлении признака конца команды блок синхронизации на выводе END устанавливает сигнал высокого уровня, указывающий о необходимости подачи новой команды. Назначение выводов КР588ВУ2 приведено в табл. 3.16.

Таблица 3.16

Номер вывода	Обозначение	Назначение
1—4	ST0—ST4	Состояние
5—20	NS0—NS15	Команда
22—34	MNS0—MNS12	Микрокоманда
21	GND	Общий
36	F1	Синхронизация
37, 39	RESET1, RESET0	Установка
38	END	Конец команды
40	IPA	Окончание приема
41	OPA	Сопровождение информации по шине NS
42	U_{cc}	+5 В

3.3.3. Микросхема КР588ВГ1

Микросхема КР588ВГ1 представляет собой системный контроллер (СК) и предназначена для организации на базе МПК серии КР588 16-разрядного процессора с системой команд и интерфейсом микроЭВМ «Электроника-60».

Системный контроллер при работе в составе процессора обеспечивает: ввод/вывод 16-разрядных слов и байтов, обработку прерываний, прямой доступ к памяти, управление магистральными приемопередатчиками. Структурная схема системного контроллера представлена на рис. 3.15.

Работа СК, как и процессора в целом, начинается с подачи на вывод RESET «Начальная установка» напряжения низкого уровня. По сигналу RESET СК на выводах IC0—IC3 «Код прерывания» формирует команду «Режим начального пуска», по которой процессор выдает адрес начального пуска, определяемый уровнем напряжения, предварительно установленного на входе PUM. Как правило первой микрокомандой, подаваемой на входы MNS0—MNS4 СК, является микрокоманда RES «Начальная установка», которая подготавливает блок управления контроллера к приему следующей микрокоманды. Для установки всей системы, построенной на базе МПК серии КР588, в исходное состояние используется микрокоманда INIT «Инициализация», по которой СК на выводе INIT формирует импульс начальной установки внешних устройств длительностью ~10 мкс. Входная микрокоманда записывается в 5-разрядный регистр микрокоманд СК по сигналу CS «Выбор микросхемы». После дешифрации поступившей микрокоманды блок управления выдает сигнал F1, свидетельствующий о возможности снятия микрокоманды. Сформировав все необходимые сигналы, СК снимает сигнал F1, разрешая подачу новой микрокоманды. Число выполняемых микрокоманд равно 26.

Для организации передачи адресов, данных, команд и векторов прерываний по системной шине процессора блок управления обменом вырабатывает управляющие сигналы SYNC, DIN, DOUT, WTBT в со-

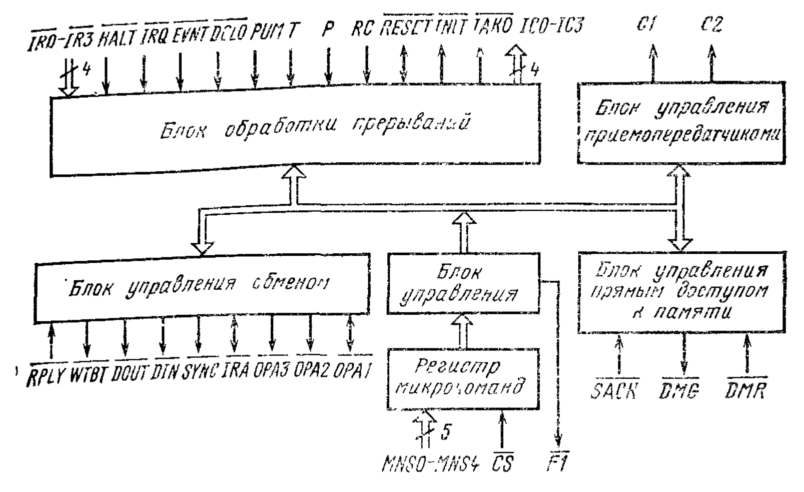


Рис 3 15. Структурная схема КР588ВГ1

ответствии с ГОСТ 26765.51—86 и группу сигналов квитирования для организации асинхронного обмена между отдельными блоками процессора. Двунаправленный вывод OPA1 служит для синхронизации работы микросхемы КР588ВС2 с СК при обмене данными по информационной шине процессора. Вывод OPA2 предназначен для синхронизации приема данных с шины процессора на группу микросхем КР588ВУ2 с кодировками 0001, 0002, 0003, которые вырабатывают микропрограммы в зависимости от результата выполнения операции в АЛУ. Вывод OPA3 синхронизирует прием данных с шины процессора на группу микросхем КР588ВУ2 с кодировками 0004, 0005, которые вырабатывают микропрограммы в зависимости от кода прерываний, формируемого СК и выдаваемого на выводы IC0—IC3.

Блок обработки прерываний СК производит обработку как внешних, так и внутренних запросов прерывания. К внутренним прерываниям относятся: ошибка обращения к каналу, прерывание по Т- и Р-биту слова состояния процессора. Установка Т- и Р-битов СК осуществляется специальной микрокомандой, и в дальнейшем Т- и Р-биты могут быть использованы для маскирования внешних прерываний EVNT «Прерывание по таймеру» и IRQ «Прерывание с вводимым адресом-вектором».

Поступившие на схему СК запросы прерываний анализируются, и код прерывания, соответствующий запросу с наивысшим приоритетом, выдается на выводы IC0—IC3. Затем он поступает в управляющую память процессора (КР588ВУ2 с кодировкой 0005), которая в соответствии с поступившим кодом прерывания переходит к определенной программе обслуживания.

Блок управления приемопередатчиками после начальной установки СК переводит магистральный приемопередатчик (МПП) в режим вывода информации: на выходе C1 устанавливается низкий уровень напряжения, на выходе C2 — высокий. При выполнении микрокоманд, связанных с процессом ввода информации, блок управления при-

емопередатчиками изменяет состояния управляющих выводов C1 и C2 на противоположные. При переходе процессора в режим прямого доступа к памяти СК переводит выводы C1 и C2 в состояние, запрещающее передачу информации.

Блок управления ПДП предоставляет канал процессора внешнему устройству, запросившему ПДП подачей сигнала DMR «Требование ПДП», только после выполнения цикла обмена самим процессором. При этом СК сигналами C1 и C2 отключает процессор от канала и вырабатывает сигнал DMG «Предоставление ПДП», по которому внешнее устройство снимает сигнал DMR и устанавливает сигнал SACK «Подтверждение запроса». Внешнее устройство выполня

Таблица 3.17

Номер вывода	Обозначение	Назначение
1, 2	T, P	Биты слова состояния
3	RC	Задержка сигнала RPLY
4—7	IC0—IC3	Код прерывания
8	RESET	Установка
9	OPA1	Сопровождение информации для АЛУ
10	OPA2	Сопровождение информации для УП (0001—0005)
11	OPA3	Сопровождение информации для УП (0004—0005)
12	IPA	Окончание приема
13—17	MNS4—MNS0	Микрокоманда
18	CS	Выбор микросхемы
19	FI	Синхронизация
20	PUM	Выбор начального адреса
21	GND	Общий
22	INIT	Инициализация
23	WTBT	Запись/байт
24	SYNC	Обмен
25	DIN	Ввод данных
26	DOUT	Вывод данных
27	RPLY	Ответ
28	IRQ	Прерывание с вводимым адресом-вектором
29	IAKO	Предоставление прерывания
30	DCLO	Авария источника питания
31, 34, 33, 32	IR0—IR3	Запросы прерывания
35	EVNT	Прерывание по таймеру
36	HALT	Останов
37	DMG	Предоставление ПДП
38	SACK	Подтверждение запроса
39	DMR	Требование ПДП
40, 41	C1, C2	Управление приемопередатчиками
42	U_{cc}	+5 В

ет циклы обмена с ЗУ и по завершении их освобождает канал и снимает сигнал SACK. Назначение выводов КР588ВГ1 приведено в табл. 3 17.

3.3.4. Микросхема КР588ИР1

Микросхема КР588ИР1 представляет собой 8-разрядный многофункциональный буферный регистр (МБР) и предназначена для приема, хранения и выдачи информации в различных микропроцессорных системах, схемах ЗУ, контроллерах внешних устройств. Она обеспечивает контроль четности принимаемой информации или формирует бит четности выдаваемой информации. Структурная схема МБР представлена на рис. 3.16.

Ввод информации осуществляется с 8-разрядной шины DI (DI0—DI7), вывод — на шину DO (DO0—DO7). Различные режимы работы МБР (запись, считывание, хранение, установка в исходное состояние) осуществляются при установке на входе CS «Выбор микросхемы» сигнала низкого уровня.

Установка МБР в исходное состояние осуществляется при подаче на вход RESET «Установка» сигнала низкого уровня. Запись входной информации с шины DI в регистр осуществляется по отрицательному фронту сигнала, подаваемого на вход WR «Запись». При этом появление напряжения низкого уровня на выводе ENDWR свидетельствует о том, что информация записана в регистр. Считывание информации из регистра на шину DO производится при подаче на вход RD «Считывание» напряжения низкого уровня. При этом появление

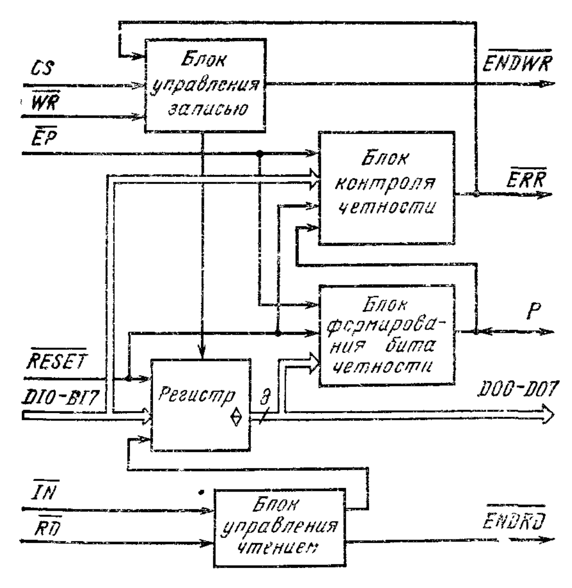


Рис 3.16 Структурная схема КР588ИР1

напряжения низкого уровня на выводе ENDRD свидетельствует о том, что считанная информация находится на выходной шине DO. При наличии на входе RD напряжения высокого уровня выходы DO устанавливаются в состояние «Выключено».

Считывание информации из регистра на шину DO может осуществляться с инверсией, когда на входе IN «Инверсия» установлен низкий уровень напряжения, и без инверсии, когда на входе IN — высокий уровень напряжения. Вход/выход P «Бит четности» в зависимости от уровня сигнала на входе EP «Формирование/контроль» либо принимает, либо выдает бит четности. При подаче на вход EP низкого уровня напряжения МБР производит контроль четности информации, принимаемой по шине DI и входу P; при подаче на вход EP высокого уровня напряжения МБР формирует бит четности для информации, выдаваемой по шине DO, и выдает его на вывод P. При несоблюдении условия четности информации, принимаемой по шине DI и входу P, на выходе ERR «Ошибка четности» устанавливается низкий уровень напряжения. При этом запись информации с шины DI в регистр не производится, и сигнал ENDWR не вырабатывается. Назначение выводов КР588ИР1 приведено в табл. 3.18.

Таблица 3.18

Номер вывода	Обозначение	Назначение
6—13	DI7—DI0	Входы регистра
16—23	DO0—DO7	Выходы регистра
1	EP	Формирование/контроль
2	CS	Выбор микросхемы
3	WR	Запись
4	RD	Чтение
5	RESET	Установка
14	GND	Общий
15	IN	Инверсия
24	P	Бит четности
25	ENDRD	Чтение выполнено
26	ENDWR	Запись выполнена
27	ERR	Ошибка четности
28	U_{cc}	+5 В

3.3.5. Микросхема КР588ВА1

Микросхема КР588ВА1 представляет собой магистральный приемопередатчик (МПП) и обеспечивает двунаправленную передачу информации по 8-разрядной шине с инверсией или без инверсии.

Микросхема может осуществлять контроль на четность принимаемой информации или формировать бит четности для выдаваемой информации. Структурная схема МПП представлена на рис. 3.17. Шины A0—A7 и B0—B7 — 8-разрядные двунаправленные, имеющие на выходе состояние «Выключено». Для работы микросхемы необходимо на вход CS «Выбор микросхемы» подать напряжение

низкого уровня. Направление передачи информации определяется сигналами на входах C1 и C2 в соответствии с табл. 3.19. Вид передачи (прямая или инверсная) задается сигналом на входе IN «Инверсия». При подаче на вход IN высокого уровня напряжения передача информации осуществляется без инверсии, низкого — с инверсией.

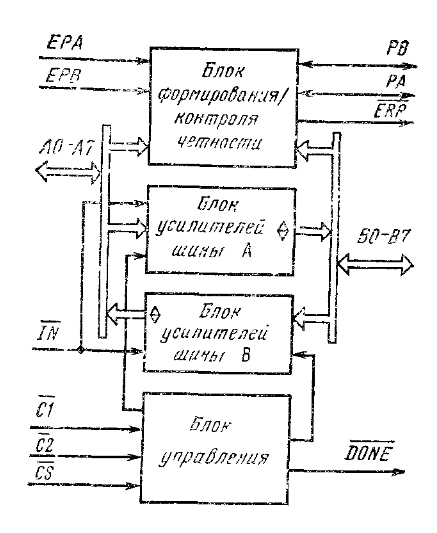


Рис. 3.17. Структурная схема КР588ВА1

Появление на выходе DONE «Выполнено» напряжения низкого уровня означает, что на выходе приемопередатчика появилась информация. Выводы PA и PB — двунаправленные и служат для приема или выдачи бита четности. Функция выводов PA и PB задается управляющими сигналами EPA и EPB в соответствии с табл. 3.20.

Появление в режиме контроля четности на выходе ERR «Ошибка четности» напряжения низкого уровня свидетельствует о том, что условие четности для принятой информации и бита четности не выполнено. Назначение выводов КР588ВА1 приведено в табл. 3.21.

Таблица 3.19

C1	C2	Вид передачи	C1	C2	Вид передачи
1	1	Нет передачи	1	0	B→A
0	1	A→B	0	0	Режим запрещен

3.3.6. Микросхема КР588ВГ2

Микросхема КР588ВГ2 представляет собой контроллер запоминающего устройства (КЗУ) и предназначена для управления модулями оперативных запоминающих устройств. (ОЗУ) и организации обмена информацией между ОЗУ и внешними устройствами в соответствии с ГОСТ 26.765.51—86. Структурная схема контроллера ЗУ представлена на рис. 3.18

При использовании КЗУ в составе конкретного модуля ОЗУ его адрес задается предварительно подключением выводов A13 — A15 к шинам U_{cc} и GND. Контроллер ЗУ разрешает выполнение операций в данном модуле ОЗУ только при условии совпадения кода старших разрядов на входах AD13 — AD15 «Шина адрес/данные» с ко-

дом, заданным на выводах A13—A15 КЗУ. Сравнение кодов производится блоком выбора модуля при поступлении на него сигнала SYNC «Обмен». Блок выбора модуля выдает разрешение на блоки обмена

Таблица 3.20

Вход		Контроль на четность информации, принимаемой по входам		Формирование бита четности		Выполняемые функции
EPA	EPB	A0—A7, PA	B0—B7, PB	PA	PB	
0	0	+	+	—	—	МПП контролирует на четность информацию, принимаемую по шине A или B
0	1	+	—	—	+	МПП контролирует на четность информацию, принимаемую по шине A и входу PA, и выдает бит четности на вывод PB при выдаче информации на шину B
1	0	—	+	+	—	МПП контролирует на четность информацию, принимаемую по шине B и входу PB, и выдает бит четности на вывод PA при выдаче информации на шину A
1	1	—	—	+	+	Формирование бита четности для информации, поступающей по шине A или B

Таблица 3.21

Номер вывода	Обозначение	Назначение
06—13	B7—B0	Шина B (вход/выход)
16—23	A0—A7	Шина A (вход/выход)
1	CS	Выбор микросхемы
2, 3	EPA, EPB	Формирование/контроль
4	ERR	Ошибка четности
5, 24	PB, PA	Бит четности шин B и A (вход/выход)
14	GND	Общий
15	IN	Инверсия
25	DONE	Выполнено
26, 27	C2, C1	Направление передачи
28	U_{cc}	+5 В

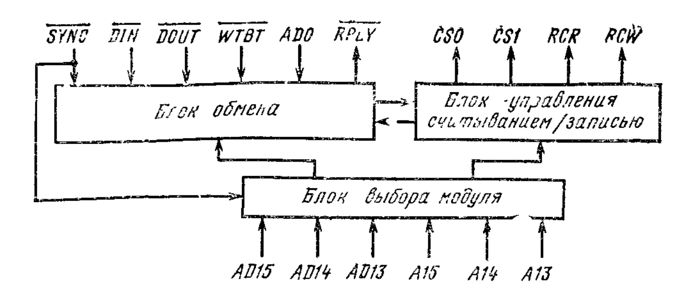


Рис. 3.18. Структурная схема КР588ВГ2

и управления считыванием/записью, причем последний формирует сигналы CS0 и CS1, осуществляющие выбор в модуле ОЗУ соответственно младшего и старшего байтов 16-разрядного слова. Формирование сигналов CS0 и CS1 в зависимости от состояния входных сигналов WTBT «Запись/байт» и AD0 «Младший разряд адреса» осуществляется в соответствии с табл. 3.22. Для задержки выдачи сиг-

Таблица 3.22

SYNC	WTBT	AD0	CS0	CS1	Выполняемая операция
0	1	X	0	0	Запись/считывание слова DA0—DA15
0	0	0	0	1	Запись младшего байта DA0—DA7
0	0	1	1	0	Запись старшего байта DA8—DA15
1	X	X	1	1	Нет выборки ОЗУ

Примечание. 1 — сигнал высокого уровня; 0 — сигнал низкого уровня; X — состояние безразлично.

нала RPLY «Ответ» относительно сигналов CS0 и CS1 к выводам RCR и RCW подключаются RC-цепи. Резистор R подключается к выводу U_{cc}, C — к выводу GND. Параметры этих RC-цепей должны подбираться в зависимости от быстродействия используемых в модуле микросхем ОЗУ таким образом, чтобы при поступлении сигнала DIN «Ввод данных» сигнал RPLY не опережал считывание информации из модуля ОЗУ на шину данных, а при поступлении сигнала DOUT «Вывод данных» гарантировалась запись информации в модуль ОЗУ.

Считывание данных из модуля ОЗУ в режиме ввода данных осуществляется следующим образом. По сигналу SYNC «Обмен» блок

выбора модуля КЗУ производит сравнение кодов на входах AD13—AD15 с предварительно установленным адресом КЗУ и при их совпадении выдает разрешение на блоки обмена и управления считыванием/записью.

При поступлении сигнала DIN в соответствии с табл. 3.22 формируются сигналы CS0 и CS1, а на выводе RCR устанавливается низкий уровень напряжения (разряжается емкость RC-цепи). Напряжение на выводе RCR начинает расти с постоянной времени, определяемой подключенной к нему RC-цепью, и при достижении определенного уровня КЗУ вырабатывает сигнал RPLY. На основании этого сигнала внешнее устройство снимает сигнал DIN, что вызывает прекращение выработки сигналов CS0 и CS1 и снятие сигнала RPLY. Считывание данных из модуля ОЗУ завершено.

Аналогично при поступлении сигнала DOUT происходит процесс формирования сигналов CS0, CS1, RPLY в режиме записи данных в модуль ОЗУ, при этом длительность задержки сигнала RPLY будет определяться параметрами RC-цепи, подключенной к выводу RCW. Назначение выводов КР588ВГ2 приведено в табл. 3.23.

Таблица 3.23

Номер вывода	Обозначение	Назначение
1	RPLY	Ответ
2	RCR	Задержка при вводе
3	SYNC	Обмен
4—7	AD15—AD13, AD0	Шина адрес/данные
8	DOUT	Вывод данных
9	GND	Общий
10	DIN	Ввод данных
11	WTBT	Запись/байт
12—14	A13—A15	Шина адреса модуля ОЗУ
15, 16	CS0, CS1	Выбор микросхемы
17	RCW	Задержка при выводе
18	U_{cc}	+5 В

3.4. Микропроцессорный комплект серии К1800

Микропроцессорный комплект К1800 предназначен для построения быстродействующих ЭВМ, контроллеров различного назначения, быстродействующих систем обработки данных. Секционная структура с возможностью наращивания, микропрограммное управление, достаточно полный функциональный состав и совместимость с ЭСЛ-схемами средней степени интеграции и ЗУ позволяют широко использовать МПК К1800 при построении быстродействующих систем для обработки информации в реальном масштабе времени.

Схемы комплекта выполнены на основе ЭСЛ-логики; исключение составляет микросхема К1800ВА4, которая выполнена на основе ТТЛ- и ЭСЛ-логики.

Рабочий диапазон температур —10...+75 °С. При применении данного комплекта необходимо принимать меры для снижения температуры корпуса, для чего использовать обдув и теплоотводы. Ни-

же приведены функциональный состав МПК серии К1800 и основные параметры микросхем, входящих в комплект.

Микропроцессорная секция параллельной обработки информации К1800ВС1

Число каналов ввода информации . . .	1
Число каналов ввода/вывода информации	2
Число разрядов каналов ввода, ввода/вывода информации	4
Число управляющих сигналов	17
Число выполняемых операций	68
Объем адресуемой памяти, слов	2^{4n}*
Потребляемая мощность, мВт	≤1600
Время выполнения операций сложения (вычитания), нс	≤41

Устройство синхронизации К1800ВБ2

Число фаз выходных синхросигналов . .	1—4
Число управляющих сигналов	8
Потребляемая мощность, мВт	≤735
Частота тактовых сигналов, МГц	≤36

Схема управления памятью К1800ВТ3

Число каналов ввода информации . . .	1
Число каналов вывода информации . . .	1
Число каналов ввода/вывода информации	3
Число разрядов каналов ввода, вывода и ввода/вывода информации	4
Объем адресуемой памяти, слов	2^{4n}*
Число управляющих сигналов	15
Потребляемая мощность, мВт	≤1700
Время передачи информации без обработки, нс	≤11

Многоразрядный сдвигатель К1800ВР8

Число разрядов каналов входной и выходной информации	16
Число различных типов сдвигов	8
Число разрядов, на которое можно осуществить сдвиг	≤16
Потребляемая мощность, мВт	≤1800
Время выполнения сдвига, нс	≤8

Двухадресный блок регистров К1800РП6

Организация	32 слова × 9 разрядов
Число разрядов адреса каналов А и В . .	5
Число разрядов каналов выходной информации AD и BD	9
Потребляемая мощность, мВт	≤1800
Время записи (считывания) информации, нс	≤18

Двунаправленный транслятор уровней К1800ВА4

Число разрядов	4
Потребляемая мощность, мВт	≤700
Время передачи информации ЭСЛ—ТТЛ, нс	≤8

Двунаправленный магистральный транслятор К1800ВА7

Число разрядов	5
Потребляемая мощность, мВт	≤440
Время передачи информации из канала А в канал В, нс	≤6

Схема микропрограммного управления К1800ВУ1

Число каналов ввода информации	1
Число каналов вывода информации . . .	2
Число каналов ввода/вывода информации	2
Число разрядов каналов ввода, вывода и ввода/вывода информации	4
Объем адресуемой памяти, слов	2^{4n}*
Число разрядов микрокоманды	4
Число управляющих сигналов	9
Потребляемая мощность, мВт	≤1900
Время выдачи следующего адреса, нс . .	≤33

* n — число используемых микросхем.

Микросхемы серии К1800 выполнены в прямоугольных металлокерамических корпусах типа: 2207.48-1 — К1800ВС1, К1800ВТ3, К1800ВУ1, К1800ВР8, К1800РП6; 2120.24-1 — К1800ВБ2; 2103.16-3— К1800ВА4 К1800ВА7.

Для работы микросхем К1800ВС1, К1800ВТ3, К1800ВУ1 требуются два источника напряжения питания: —5,2 В±5 %; —2,0 В ±5 %; для микросхемы К1800ВА4: —5,2 В ±5 %; +5 В ±5 %; для микросхем К1800ВБ2, К1800ВР8, К1800РП6, К1800ВА7 — один источник —5,2 В±5 %. Для питания выходных каскадов всех микросхем серии К1800 используется источник опорного напряжения — 2,0 В ±1 %.

3.4.1. Микросхема К1800ВС1

Микросхема К1800ВС1 представляет собой 4-разрядную микропроцессорную секцию параллельной обработки информации с возможностью наращивания. Микросхема ориентирована на выполнение арифметических, логических и операций сдвига. Арифметические операции могут выполняться над данными, представленными в двоичном или двоично-десятичном коде. Структурная схема К1800ВС1 представлена на рис. 3.19 Микросхема работает с тремя шинами. А, IB ФВ. Шины IB и ФВ являются двунаправленными, шина А — однонаправленная входная.

Арифметическо-логическое устройство выполняет различные операции над операндами, поступающими по шинам А, ФВ и из аккумулятора. Формирователь кодов в зависимости от выполняемой опе-

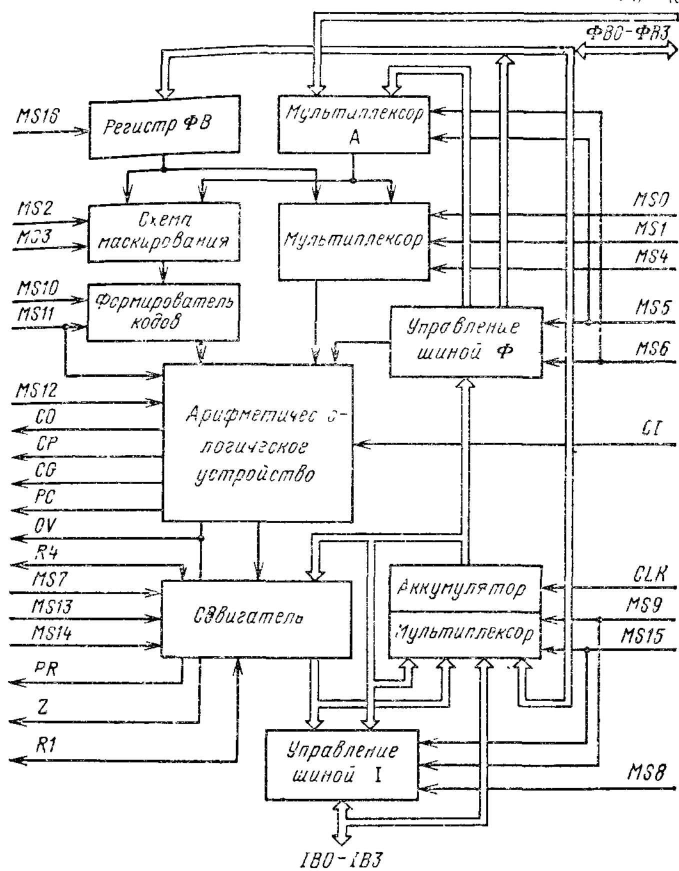


Рис. 3.19. Структурная схема К1800ВС1

рации (сложение, вычитание, двоично-десятичная арифметика) осуществляет передачу информации на вход АЛУ в прямом, обратном или дополнительном коде. Управление осуществляется сигналами MS10 и MS11. При выполнении арифметических операций АЛУ вырабатывает ряд признаков: CO — выход переноса, CG и CP — генерация и распространение переноса, PC — четность переноса и OV — переполнение, которые выдаются на соответствующие внешние выводы. Сигналы переноса используются для организации последовательного и ускоренного переноса при создании многоразрядных устройств обработки данных на основе нескольких микросхем К1800ВС1.

Информация с шины ФВ может направляться на один из входов АЛУ с фиксацией и без фиксации в регистре ФВ. Управление осу-

ществляется сигналом MS16. При необходимости, используя управляющие сигналы MS2 и MS3, можно производить маскирование различных разрядов информации, поступающей по шине ФВ, данными, поступающими по шине А. Сдвигатель позволяет выполнять сквозную передачу данных и различные операции сдвига (арифметический, логический, вправо, влево) информации, поступающей из АЛУ или из аккумулятора. Управляющий сигнал MS7 определяет источник информации для сдвигателя, а сигналы MS13 и MS14 — тип сдвига. Сдвигатель формирует признак нуля Z при наличии нулей на всех выходах сдвигателя и признак истинности результата PR. Оба сигнала выводятся на соответствующие внешние выводы.

Схема управления шиной IB представляет собой мультиплексор, который в зависимости от сочетания управляющих сигналов MS8, MS9, MS15 выдает на шину IB информацию из сдвигателя или из аккумулятора. Схема управления шиной ФВ представляет собой мультиплексор, осуществляющий передачу информации из аккумулятора на шину ФВ или на мультиплексор А. Назначение выводов К1800ВС1 приведено в табл. 3.24.

Таблица 3.24

Номер вывода	Обозначение	Назначение
13—16	IB0—IB3	Шина IB
23—20	ФВ0—ФВ3	Шина ФВ
29, 32, 34, 30	A0—A3	Шина адреса
1	U_{cc1}	—5,2 В
2	PC	Четность переноса
3	CO	Выход переноса
4	CG	Генерация переноса
5	CP	Распространение переноса
6	OV	Переполнение
7, 17	GNDI	Общий (выходных выводов)
8	R1	Выход/вход младшего разряда сдвигателя
9	R4	Выход/вход старшего разряда сдвигателя
10	PR	Четность результата
11	Z	Признак нуля
12	GND	Общий (схемы)
24	U_{cc1}	—5,2 В
25, 48	U_{cc2}	—2,0 В
27	CLK	Тактовый сигнал
36	GND	Общий (схемы)
44	CI	Вход переноса
37, 38, 40, 35, 39, 33, 31, 45, 28, 19, 41—43, 47, 46, 18, 26	MS0—MS16	Управляющие сигналы

3.4.2. Микросхема К1800ВБ2

Микросхема К1800ВБ2 представляет собой синхронизатор, предназначенный для построения многофазных синхронизирующих устройств и распределителей импульсов в системах цифровой обработки информации. Структурная схема синхронизатора представлена на рис. 3.20. Синхронизатор может вырабатывать от одного до четырех синхроимпульсов (фаз), выдаваемых на выводы Ф1—Ф4. Число фаз может программироваться с помощью управляющих сигналов MS4, MS5. При необходимости число фаз можно увеличивать последовательным включением нескольких микросхем. С помощью управляющих сигналов MS0—MS3, поступающих на блок управления длительностью фаз, осуществляется программная установка длительности каждой фазы, которая может быть задана равной одному или двум периодам тактового сигнала CLK.

С помощью сигнала R/M, поступающего на блок управления режимом работы микросхема может быть установлена в одно из двух состояний: работа или профилактика. Для каждого состояния с помощью сигналов G/H и SC/SP может быть задан один из четырех режимов работы: единичная фаза, единичный цикл, останов на фазе, останов в конце цикла. Единичная фаза — диагностический режим, при котором при подаче сигнала START «Пуск» вырабатывается один синхроимпульс из числа запрограммированных. Для выдачи следующего синхроимпульса необходимо вновь подать сигнал START. Единичный цикл — режим, при котором при подаче сигнала START вырабатывается один полный цикл синхроимпульсов в соответствии с запрограммированным числом фаз. Останов на фазе — режим, при

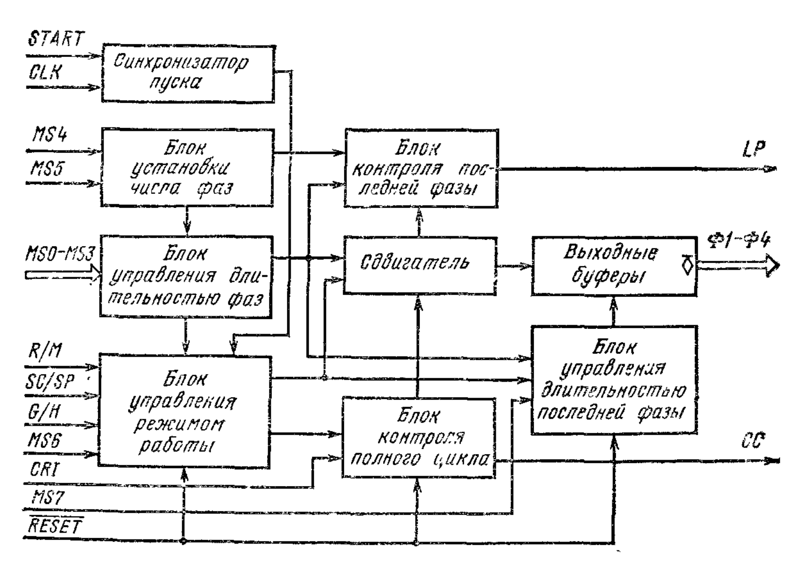


Рис. 3.20. Структурная схема К1800ВБ2

котором по сигналу START начинают вырабатываться синхросигналы и выдаются на выводы Ф1—Ф4 в зависимости от запрограммированного режима до поступления сигнала G/H «Пуск/останов». Выработка синхросигналов при поступлении сигнала «Останов» прекращается. Для дальнейшего продолжения работы необходимо снять сигнал «Останов» и подать очередной сигнал START, при этом работа синхронизатора возобновится от точки останова. Останов в конце цикла повторяет режим «Останов на фазе» с той разницей, что по сигналу «Останов» прекращается выработка синхросигналов после формирования последней из запрограммированных фаз.

Работа синхронизатора начинается при поступлении асинхронного сигнала START произвольной длительности, который с помощью синхронизатора пуска преобразуется во внутренний сигнал, длительность которого равна периоду задающего тактового сигнала CLK. Причем для правильной работы синхронизатора необходима предварительная установка различных блоков в начальное состояние, которая осуществляется сигналом RESET «Установка».

Блок контроля последней фазы вырабатывает контрольный сигнал, выдаваемый на вывод LP. Этот сигнал формируется одновременно с синхросигналом последней фазы каждого цикла и служит признаком наличия последней фазы. Управляющим сигналом MS7, поступающим на блок управления длительностью последней фазы, задается длительность последнего выходного синхросигнала в режимах работы «Единичная фаза» и «Останов на фазе». Блок контроля полного цикла вырабатывает сигнал CC «Контроль полного цикла», по которому можно определить рабочее состояние микросхемы. Появление сигнала CC совпадает с началом цикла, т. е. с появлением синхросигнала первой фазы. Окончание сигнала зависит от режима ра-

Таблица 3.25

Номер вывода	Обозначение	Назначение
1	GND	Общий
2, 21—23	Ф1—Ф4	Выходы фаз
3	LP	Контроль последней фазы
4	CC	Контроль полного цикла
5	CRI	Разрешение выработки синхросигналов
6	CLK	Тактовый сигнал
7	START	Пуск
8—11	MS0—MS3	Управление длительностью фаз
12	U_{cc}	—5,2 В
13	G/H	Пуск/останов
14	R/M	Работа/профилактика
15	SC/SP	Тактовый/импульсный режим
16	MS7	Управление длительностью последней фазы
17	RESET	Установка
18	MS6	Управление наращиванием
19, 20	MS5, MS4	Выбор числа фаз
24	GND	Общий

боты синхронизатора. Выходные буферы служат для усиления мощности синхросигналов и согласования с нагрузкой R_L=50 Ом. Назначение выводов К1800ВБ2 приведено в табл. 3.25.

3.4.3. Микросхема К1800ВТ3

Микросхема К1800ВТ3 представляет собой 4-разрядное устройство обработки информации, которое может быть использовано для формирования и хранения адреса ЗУ и выдачи адреса при операциях обращения к памяти. Имеется возможность наращивания разрядности.

Структурная схема К1800ВТ3 представлена на рис. 3.21. Микросхема имеет пять независимых 4-разрядных шин, три из которых (IB, ФВ, DB) двунаправленные и две однонаправленные (шина А — выходная и шина Р — входная), что обеспечивает максимальную гибкость при выполнении различных команд передачи данных.

Арифметическо-логическое устройство выполняет 13 операций (арифметические, логические, сдвиговые) над семью возможными операндами, поступающими на входы АЛУ через мультиплексоры А и В. Операнды могут поступать с различных входных шин в зависимости от значения управляющих сигналов MS0—MS14. Входы Р дают возможность модифицировать адрес или использовать константы для адресации памяти. При выполнении различных операций формируется ряд признаков, которые выводятся на внешние выводы микросхемы: CG/OV «Генерация переноса/переполнение»; CP/Z «Распростране-

Таблица 3.26

Номер вывода	Обозначение	Назначение
14, 13, 15, 16	DB0—DB3	Шина данных
18, 20, 21, 19	A0—A3	Шина адреса
6—3	ФВ0—ФВ3	Шина ФВ
8—11	IB0—IB3	Шина IB
38, 37, 33, 34	P0—P3	Шина Р
23	CP/Z	Распространение переноса/признак нуля
2	CG/OV	Генерация переноса/переполнение
35	CI/RI	Вход переноса/выход при сдвиге
22	CO/R4	Выход переноса/вход при сдвиге
43	CLK	Тактовый сигнал
39—42, 26, 29—32, 30, 47, 46, 44, 45	MS0—MS14	Управляющие сигналы
1, 24	U_{cc1}	—5,2 В
25, 48	U_{cc2}	—2,0 В
12, 36	GND	Общий (схемы)
7, 17	GND	Общий (выходных выводов)

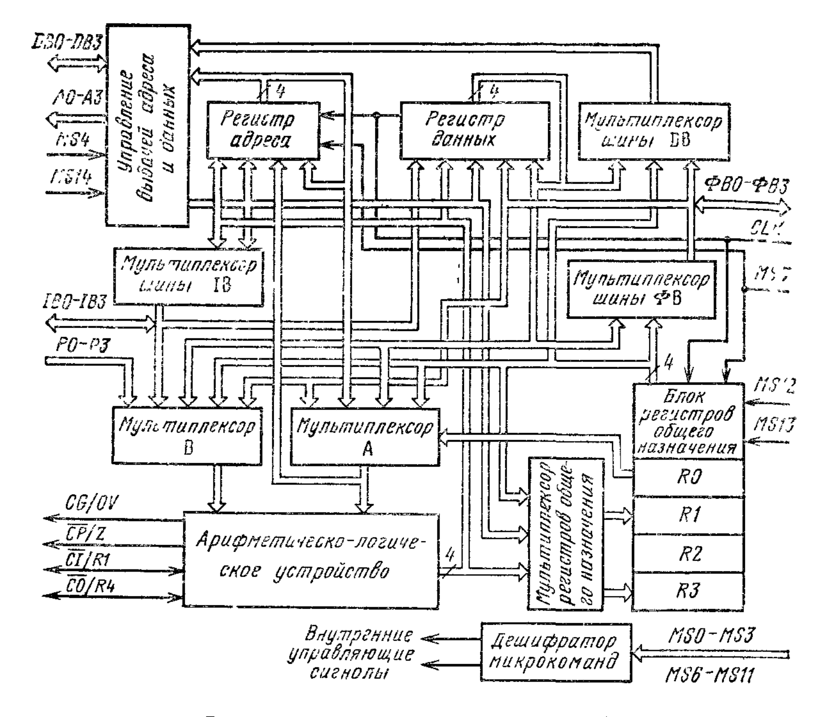


Рис. 3.21. Структурная схема К1800ВТ3

ние переноса/признак нуля»; CI/R1 «Вход переноса/выход при сдвиге»; CO/R4 «Выход переноса/вход при сдвиге». Назначение каждого из выводов определяется выполняемой операцией.

Регистр адреса содержит информацию о текущем адресе памяти. Запись информации в этот регистр может осуществляться с шин DB и ФВ, с регистра данных, с выхода АЛУ, с блока РОН. Информация с выхода регистра адреса передается на выходную шину A прямым или инверсным кодом. Управление выдачей адреса осуществляется сигналами MS4, MS14.

Регистр данных предназначен для предварительного хранения информации и может быть загружен с шин DB, ФВ, IB и из АЛУ. Источник информации для регистра данных и приемник результата определяются управляющими сигналами MS0—MS3. Кроме того, регистр может использоваться как аккумулятор, если микросхема К1800ВТ3 выполняет функции основного АЛУ или если организована параллельная работа с микросхемой К1800ВС1 для достижения удвоенной точности вычислений.

Блок регистров общего назначения состоит из четырех 4-разрядных регистров R0—R3. Регистр R0 используется в качестве счетчика программ и имеет специальный вход в АЛУ для модификации адре-

са памяти. Адресация РОН производится сигналами MS12, MS13. Блок РОН может быть загружен с шины DB и из АЛУ. Назначение выводов К1800ВТ3 приведено в табл. 3.26.

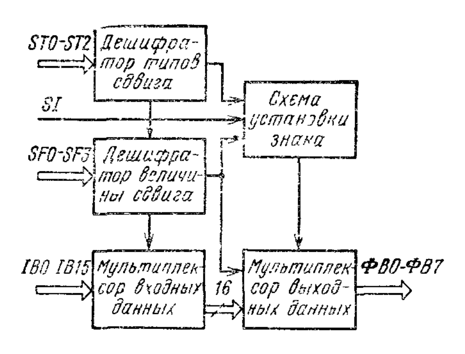


Рис. 3.22 Структурная схема К1800ВР8

3.4.4. Микросхема К1800ВР8

Микросхема К1800ВР8 представляет собой 16-разрядный сдвигатель и может быть использована для предварительной нормализации и выравнивания степеней при выполнении операций с плавающей запятой. Сдвигатель может выполнять восемь типов операций: арифметические сдвиги вправо и влево, циклические сдвиги вправо и влево, сдвиги вправо и влево дополнительным кодом, заполнение выходов значением знакового разряда или единицами. Число разрядов сдвига может быть до 15.

Структурная схема К1800ВР8 представлена на рис. 3.22. Рассмотрим назначение основных узлов. Дешифратор типов сдвига выбирает тип выполняемой операции сдвига в зависимости от кода, поступающего на входы ST0—ST2. Дешифратор величины сдвига в зависимости от кода на входах SF0—SF3 определяет число разрядов, на которое необходимо произвести сдвиг, и разряды, в которые должен быть помещен знак.

Мультиплексор входных данных осуществляет передачу входной информации, поступающей на входы IB0—IB15, прямым кодом или с циклическим сдвигом вправо на один, два или три разряда. Мультиплексор выходных данных осуществляет передачу информации

Таблица 3.27

Номер вывода	Обозначение	Назначение
28—35, 37—44	IB15—IB0	Входная шина данных
6, 8, 13, 21, 5, 9, 14, 20, 4, 10, 15, 19, 3, 11, 16, 18	ФВ0—ФВ15,	Выходная шина данных
1, 24	U_{cc}	—5,2 В
2	SI	Знаковый разряд
7, 17	GND	Общий
12, 36	GND	Общий
22, 23, 26, 27	SF0—SF3	Величина сдвига
47—45	ST0—ST2	Тип сдвига

прямым кодом или с циклическим сдвигом вправо на четыре, восемь либо двенадцать разрядов на выходы ФВ0—ФВ15 и устанавливает знак на выходе в соответствии с сигналом, формируемым схемой установки знака. Назначение выводов К1800ВР8 приведено в табл. 3.27.

3.4.5. Микросхема К1800РП6

Микросхема К1800РП6 представляет собой двухадресный блок регистров и может быть использована в качестве быстродействующего буфера в микропроцессорных системах. Структурная схема К1800РП6 представлена на рис. 3.23. Основу составляет матрица регистровой памяти, в которую можно записывать и считывать информацию одновременно в разные регистры. Матрица состоит из двух частей А и В, содержащих 32 слова по 9 бит каждая и адресуемых независимо через свои адресные входы АА1—АА5 и АВ1—АВ5. Такая организация памяти позволяет одновременно обращаться к двум регистрам используя независимые шины адресов и данных.

Запись информации с двунаправленных 9-разрядных шин DA и DB в регистры матрицы, адреса которых определяются кодами подаваемыми на адресные шины АА1—АА5 и АВ1—АВ5, осуществляется соответственно по сигналам EWA и EWB «Разрешение записи».

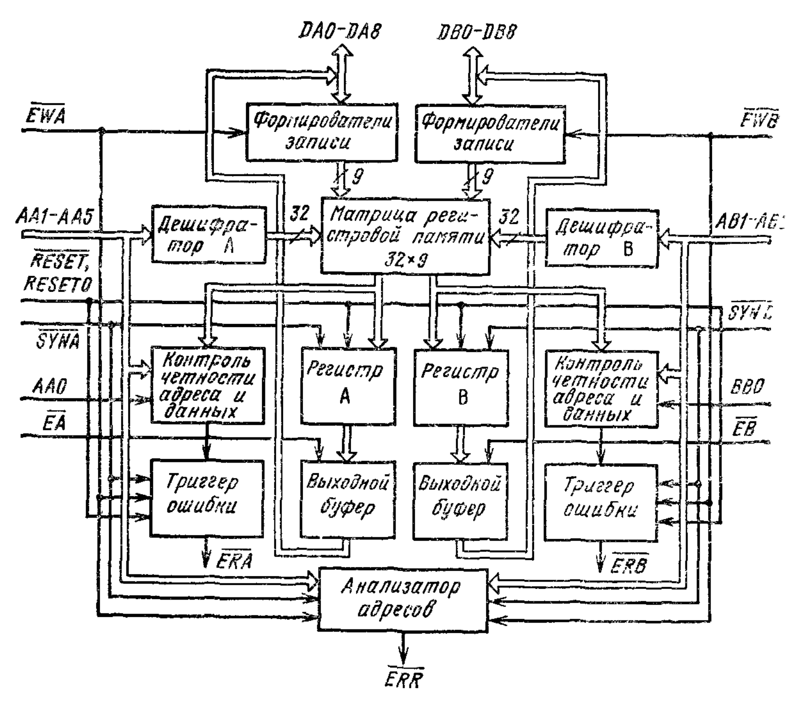


Рис. 3.23. Структурная схема К1800РП6

Регистры A и B предназначены для временного хранения информации, считанной из матриц A и B памяти. Синхронизация записи этой информации в регистры осуществляется соответствующими сигналами SYN «Синхронизация». Сигналы EA и EB «Разрешение выдачи» управляют выдачей информации с регистров на шину данных DA и DB.

В микросхеме К1800РП6 предусмотрена возможность контроля четности адреса и данных для каждого канала и выдачи ошибки четности на выводы ERA и ERB. В качестве битов четности адреса используются биты AA0, AB0. Возможен режим игнорирования контроля четности. Специфика схемы такова, что одновременное обращение к одинаковым адресам по каналам A и B является запрещенной комбинацией, которая может привести к сбою. Во избежание этого с помощью анализатора адресов сравниваются адреса обращения по каналам A и B и в случае их равенства выдается сигнал ERR. Установка триггеров ошибки регистров A и B и выходов ERA и ERB «Ошибка четности» в исходное состояние осуществляется сигналом RESET и RESET0 «Установка». Назначение выводов К1800РП6 приведено в табл. 3.28.

Таблица 3.28

Номер вывода	Обозначение	Назначение
20, 22, 21, 13—16, 19, 18	DA0—DA8	Шина данных DA
4, 2, 3, 11, 10, 9, 8, 5, 6	DB0—DB8	Шина данных DB
29	AA0	Бит четности адреса канала A
30—34	AA1—AA5	Адрес канала A
40—37, 35	AB1—AB5	Адрес канала B
41	AB0	Бит четности адреса канала B
27, 43	EA, EB	Разрешение выдачи данных на шины DA и DB
28, 42	EWA, EWB	Разрешение записи с шин DA и DB
23, 47	ERA, ERB	Ошибка четности каналов A и B
26, 44	SYNA, SYNB	Синхронизация считывания в регистры A и B
45, 48	RESET, RESET0	Установка
46	ERR	Ошибка обращения
1, 24	U_{cc}	—5,2 В
7, 17	GND	Общий
12, 36	GND	Общий

3.4.6. Микросхема К1800ВА4

Микросхема К1800ВА4 представляет собой 4-разрядный двунаправленный транслятор и предназначена для согласования логических уровней ЭСЛ- и ТТЛ-схем, что позволяет совместно с МПК серии К1800 использовать схемы памяти и внешних устройств, имеющие входные и выходные сигналы ТТЛ-уровня. Микросхема К1800ВА4 обеспечивает передачу информации в обоих направлениях: ЭСЛ→ТТЛ; ТТЛ→ЭСЛ. При необходимости информация запоминается. Микросхема состоит из четырех идентичных разрядов. Структурная схема одного разряда представлена на рис. 3.24. Коммутатор на основе анализа входных сигналов S и DE определяет направление передачи данных и запрещает или разрешает их вывод. Передача информации в микросхеме может происходить с запоминанием ее в триггере-защелке или минуя его, что увеличивает скорость передачи. Управление осуществляется сигналом BPS. Синхронизация триггера-защелки производится сигналом SYN. Схемы вывода ЭСЛ и ТТЛ содержат мультиплексоры, обеспечивающие заданные режимы работы, и выходные формирователи, позволяющие осуществить соответствующее согласование уровней. Назначение выводов К1800ВА4 приведено в табл. 3.29.

Таблица 3.29

Номер вывода	Обозначение	Назначение
1, 16	GND	Общий
2—5	ECL1—ECL4	Входы/выходы ЭСЛ-уровня
6	BPS	Запоминание информации
7	DE	Разрешение выхода
8	U_{cc1}	—5,2 В
9	U_{cc3}	+5 В
10	S	Направление передачи
11	SYN	Синхронизация
12—15	TTL1—TTL4	Входы/выходы ТТЛ-уровня

3.4.7. Микросхема К1800ВА7

Микросхема К1800ВА7 представляет собой 5-разрядный двунаправленный приемопередатчик, предназначенный для двустороннего обмена сигналами ЭСЛ-уровня в микропроцессорных системах.

Структурная схема одного разряда приемопередатчика К1800ВА7 представлена на рис. 3.25. Остальные разряды идентичны. Принципы работы микросхем К1800ВА7 и К1800ВА4 аналогичны: сигналы S и DE определяют направление передачи и разрешение выхода, сигнал BPS — передачу с запоминанием на триггере-защелке или минуя его.

Отличие приемопередатчика от транслятора уровня состоит в том, что в приемопередатчике передача информации осуществляется без инверсии и отсутствует преобразование уровней. Назначение выводов К1800ВА7 приведено в табл. 3.30.

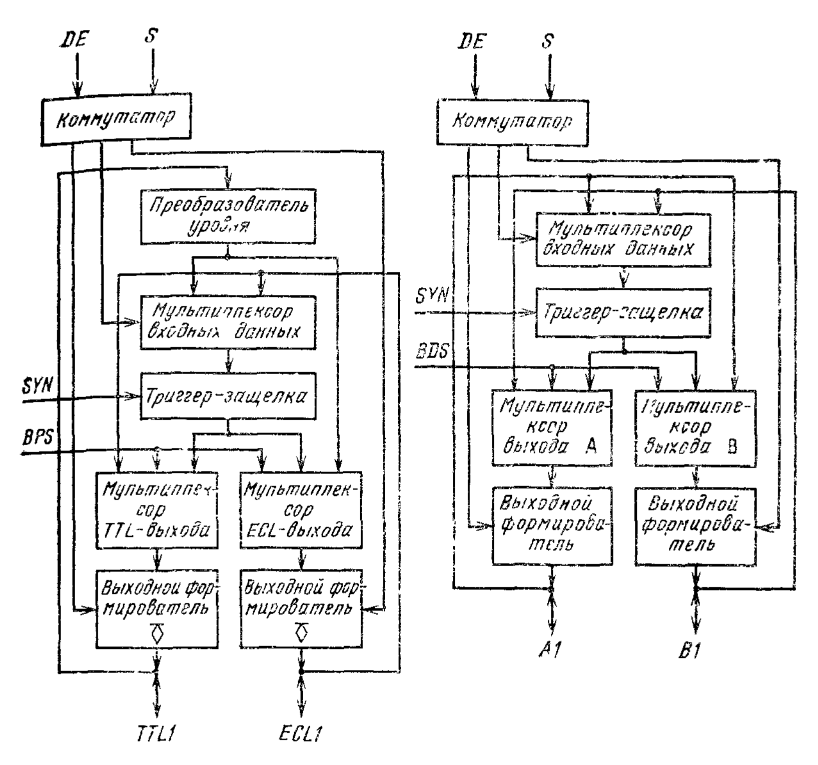


Рис. 3.24. Структурная схема К1800ВА4

Рис. 3.25. Структурная схема К1800 ВА7

Таблица 3.30

Номер вывода	Обозначение	Назначение
1—5	A1—A5	Шина А двунаправленная
6	BPS	Запоминание информации
7	DE	Разрешение выхода
8	U_{cc}	—5,2 В
9	S	Направление передачи
10	SYN	Синхронизация
11—15	B5—B1	Шина В двунаправленная
16	GND	Общий

3.4.8. Микросхема К1800ВУ1

Микросхема К1800ВУ1 представляет собой схему микропрограммного управления и предназначена для формирования адреса микропрограммной памяти и управления последовательностью выполнения микрокоманд в системах, построенных на базе МПК серии К1800. Микросхема осуществляет обработку 4-разрядной информации, имеет возможность наращивания разрядности и реализует 16 микрокоманд

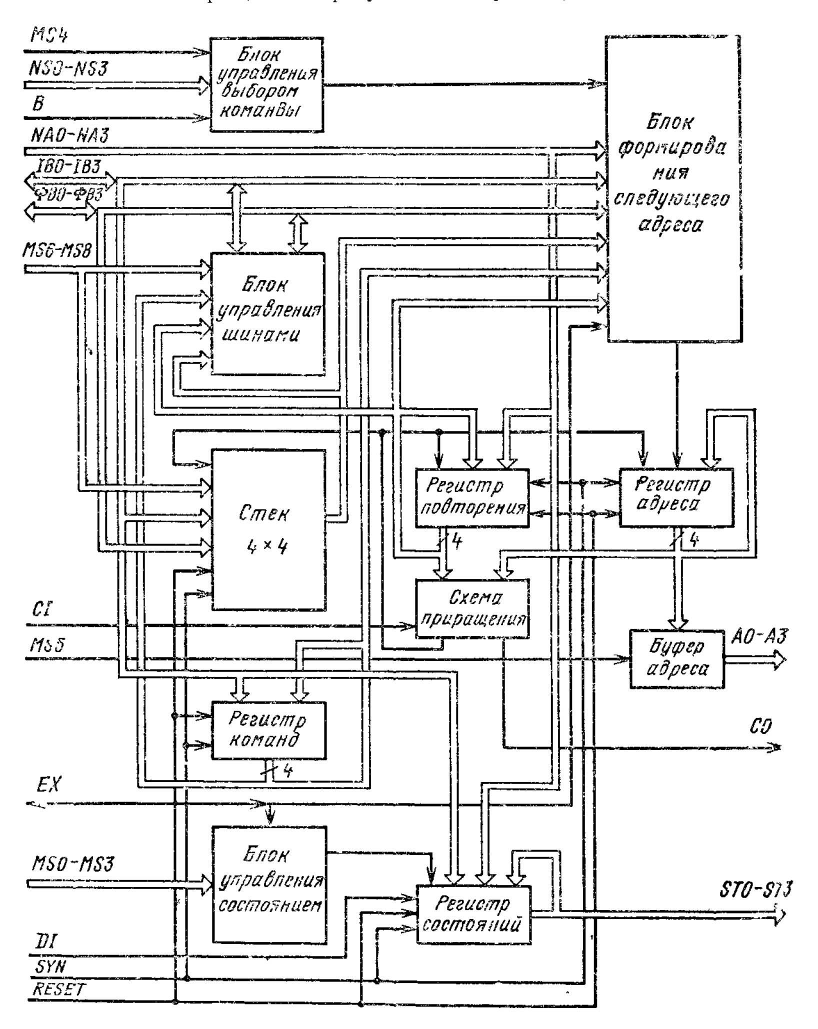


Рис. 3.26. Структурная схема К180ВУ1

Высокая гибкость схемы обеспечивается с помощью пяти независимых 4-разрядных шин, две из которых IB, ФВ — двунаправленные, остальные — однонаправленные (NA — входная шина следующего адреса, A — выходная шина адреса, ST — выходная шина состояния). Структурная схема К1800ВУ1 представлена на рис. 3.26. Рассмотрим назначение основных узлов.

Блок управления выбором команды в зависимости от кода команды, подаваемого на входы NS0—NS3, формирует управляющие сигналы, обеспечивающие ее выполнение. Блок формирования следующего адреса в зависимости от выполняемой команды определяет источник информации для следующего адреса, например шины NA, IB, ФВ, регистр команд, стек, регистр повторения, и направляет его в регистр адреса.

Содержимое регистра адреса через буфер адреса, управляемый сигналом MS5, выдается на выходную шину адреса A0—A3.

Регистр повторения выполняет несколько функций. Для команд многократного сдвига, умножения и деления регистр повторения является счетчиком, в который число повторений записывается специальной командой с шины NA. После исполнения выбранной микрокоманды или подпрограммы содержимое регистра повторения увеличивается на 1. При достижении заданного числа повторений схема переходит к следующей микрокоманде. Вторая функция регистра повторения — накопительный регистр для адреса управляющей памяти при реализации команд передачи управления. В этом случае содержимое регистра адреса, увеличенное на 1, поступает в регистр повторения, а после окончания подпрограммы вновь возвращается в регистр адреса. Схема приращения используется для увеличения на 1 содержимого регистра адреса или регистра повторения при выполнении некоторых микрокоманд.

Регистр команд предназначен для хранения начального адреса управляющей памяти, поступающего с шины IB. Код, содержащийся в регистре команд, может быть направлен в регистр адреса, где он используется для начала новой последовательности микрокоманд или для видоизменения команд существующей последовательности.

Блок управления состоянием содержит логику, управляющую запоминанием условий признака в регистре состояний. Запись в регистр состояний может осуществляться с шин NA и IB. Кроме того, любой разряд регистра состояний может быть установлен в «1» или «0» по входу DI. Выходы регистра состояний поступают на выводы ST0 — ST3 и при необходимости информация с любого его выхода может поступать на шины расширителя EX. Работа блока управления состоянием задается управляющими сигналами MS0—MS3.

Стек, выполненный в виде четырех 4-разрядных регистров, используется для хранения адресов возврата при обращении к подпрограммам и для запоминания состояния внутренних регистров при обработке прерываний. При возвращении к основной программе ее адрес, хранящийся в самом верхнем регистре стека, направляется в регистр адреса. Для увеличения глубины стека можно использовать регистр повторения как пятый регистр стека или внешние регистры, подключая их через шины IB и ФВ.

Блок управления шинами осуществляет двустороннюю связь между двунаправленными шинами IB и ФВ и внутренними регистрами микросхемы. Режим работы шин IB и ФВ (ввод-вывод) и направление передачи информации (регистр повторения, регистр команд, стек)

определяются управляющими сигналами MS6—MS8 и кодом выполняемой команды.

Все регистры микросхемы К1800ВУ1 запоминают поступающую на их вход информацию по фронту сигнала SYN «Синхронизация». Установка всех регистров в исходное состояние осуществляется сигналом RESET, синхронизированным сигналом SYN, причем для установки стека в исходное состояние требуются дополнительно четыре синхроимпульса. Назначение выводов К1800ВУ1 приведено в табл. 3.31.

Таблица 3.31

Номер вывода	Обозначение	Назначение
6, 3—5	A0—A3	Шина адреса
8—11	ФВ3—ФВ0	Шина ФВ
13—16	IB3—IB0	Шина IB
19—22	ST0—ST3	Шина состояний
37 34, 35, 33	NA0—NA3	Шина следующего адреса
42—44, 41	MNS0—MNS3	Микрокоманда
29, 30, 28, 32, 38, 47, 18, 26, 27	MS0—MS8	Управляющие сигналы
46	CI	Вход переноса
2	CO	Выход переноса
31	DI	Вход в регистр состояний
39	B	Условный переход
23	EX	Вход/выход расширителя
40	RESET	Установка
45	SYN	Синхронизация
1, 24	U_{cc1}	—5,2 В
25, 48	U_{cc2}	—2,0 В
7, 17	GND	Общий
12, 36	GND	Общий

3.5. Микропроцессорный комплект серии КР1801

Микропроцессорный комплект серии КР1801 выполнен на основе nМОП-технологии и является комплектом среднего быстродействия и средней потребляемой мощности. Его основу составляет однокристальный 16-разрядный микропроцессор, имеющий фиксированную систему команд, совместимую с системой команд микроЭВМ «Электроника-60». Микропроцессор осуществляет обработку как внешних, так и внутренних прерываний и организует обмен информацией между микропроцессором и внешними устройствами в соответствии с ГОСТ 26765.51—86.

Интерфейсные схемы МПК серии КР1801 выполнены на базе универсальной вентильной матрицы, которая позволяет при минималь-

ных производственных затратах получать микросхемы с самыми разнообразными функциональными возможностями. Все микросхемы, входящие в МПК серии КР1801, предназначены для работы в диапазоне температур −10...+70 °С, имеют напряжение питания 5 В±5 % и выпускаются в корпусах типа 2204.42-3 (КР1801ВМ1) и 2204.42-1 (остальные ИС МПК). Ниже приведены функциональный состав МПК серии КР1801 и основные параметры микросхем, входящих в комплект.

Однокристальный микропроцессор КР1801ВМ1А, КР1801ВМ1Б, КР1801ВМ1В

Разрядность обрабатываемых данных	16
Число выполняемых команд	68
Максимальный объем адресуемой памяти, Кбайт	64
Число каналов передачи информации	1
Число уровней прерывания	4
Виды адресации: регистровая, косвенно-регистровая, автоинкрементная, косвенно-автоинкрементная индексная, косвенно-индексная	
Быстродействие при выполнении операций типа регистр-регистр, тыс. оп./с	500
Тактовая частота, МГц,	
КР1801ВМ1А	≤4,7
КР1801ВМ1Б	≤3,5
КР1801ВМ1В	≤2,5
Потребляемая мощность, мВт	≤1200

Устройство управления ОЗУ динамического типа КР1801ВП1-030

Число разрядов адреса строки	7
Число разрядов адреса столбца	7
Время цикла регенерации памяти, мс	2
Потребляемая мощность, мВт	≤1000

Многофункциональное устройство КР1801ВП1-033

Число режимов работы	3
Потребляемая мощность, мВт	≤1000

Многофункциональное устройство КР1801ВП1-034

Число режимов работы	3
Потребляемая мощность, мВт	≤1000

Асинхронный приемопередатчик КР1801ВП1-035

Число разрядов принимаемых и выдаваемых данных, бит	5—8
Максимальная скорость передаваемой информации при тактовой частоте 4608 кГц, бод	19 200
Потребляемая мощность, мВт	≤1000

3.5.1. Микросхема КР1801ВМ1

Микросхема КР1801ВМ1 представляет собой однокристальный микропроцессор для обработки 16-разрядных данных. Система команд соответствует системе команд микроЭВМ «Электроника-60». Структурная схема микропроцессора представлена на рис. 3.27. Рассмотрим состав и назначение основных блоков. Операционный блок (ОБ) содержит АЛУ, блок РОН, регистр состояния процессора, регистры адреса и данных. Операционный блок осуществляет: вычисление адреса и его временное хранение; прием данных, их хранение в регистрах и выдачу в канал, выполнение арифметическо-логических операций; формирование состояний процессора и адресов векторов прерывания

Арифметическо-логическое устройство выполняет все арифметические и логические операции и операции сдвига над 16-разрядными операндами. Кроме того, оно офрмирует ряд признаков, необходимых для формирования состояний процессора.

Блок РОН состоит из восьми 16-разрядных регистров, которые могут использоваться в качестве: накопителей, когда обрабатываемые данные хранятся в регистрах; указателей адреса, когда регистр содержит адрес операнда, указателей индекса, когда содержимое регистра прибавляется к индексному слову для вычисления адреса операнда; указателей адреса при автоинкрементной и автодекрементной адресации, когда адрес автоматически изменяется с заданным шагом, что позволяет обращаться к последовательно расположенным ячейкам памяти. При автоинкрементной адресации происходит автоматическое увеличение, а при автодекрементной — автоматическое уменьшение содержимого указателя адреса. Два РОН — регистры R6 и R7 — имеют специальное назначение. Регистр R6 используется как указатель

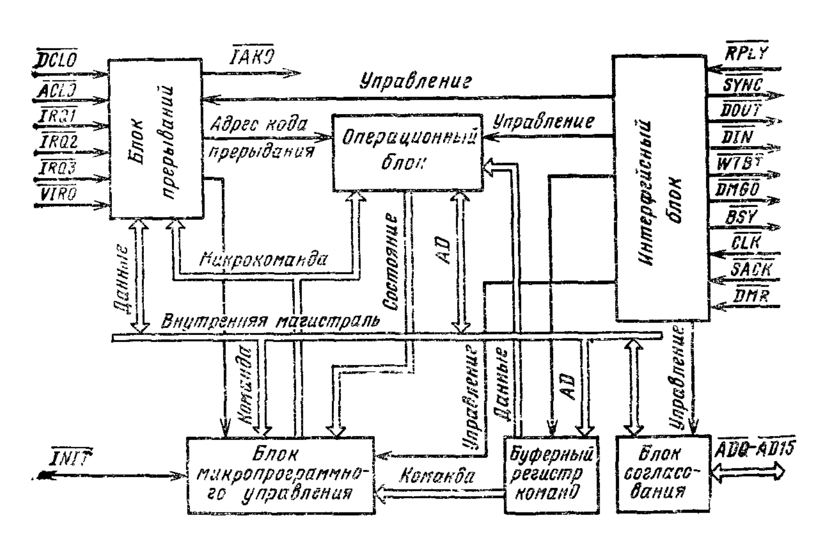


Рис. 3.27. Структурная схема КР1801ВМ1

стека, который содержит адрес последней заполненной ячейки стека. Регистр R7 служит счетчиком команд и содержит адрес очередной выполняемой команды. Использование РОН для хранения операндов при процессорных операциях повышает быстродействие систем, построенных на базе микропроцессора КР1801ВМ1. Информация о текущем состоянии процессора включает: текущий приоритет процессора, значения кодов условий ветвления, т. е. знак, нуль, переполнение, перенос, состояние Т-разряда, используемого при отладке программы. Эта информация хранится в регистре состояния процессора (РСП). При выполнении команд передачи управления содержимое регистра состояния сохраняется в стеке. Регистры адреса и данных осуществляют связь операционного блока с внутренней магистралью.

Блок микропрограммного управления (БМУ) производит преобразование команды, поступающей с системной магистрали, в последовательность микрокоманд и выполнен в виде программируемой логической матрицы. Программирование системы команд производится на этапе изготовления микросхемы.

Интерфейсный блок (ИБ) предназначен для организации обмена между системной магистралью и внутренними устройствами процессора. Он осуществляет управление совмещением операций и согласование работы ОБ и БМУ. Буферный регистр команд (БРК) предназначен для предварительного приема команды. В процессоре прием и обработка команд совмещены. Во время обработки текущей команды происходит прием следующей команды в БРК с дальнейшей ее пересылкой в БМУ.

Таблица 3.32

Номер вывода	Обозначение	Назначение
9—20, 22—25	AD0—AD15	Шина адрес/данные
1	CLK	Тактовый сигнал
2	SACK	Подтверждение выборки
4	DMGO	Предоставление ПДП
5	DMR	Требование ПДП
21	GND	Общий
28	BSY	Занято
29	DCLO	Авария источника питания
30	ACLO	Авария сетевого питания
31—33	IRQ1—IRQ3	Запрос радиального прерывания
34	INIT	Установка
35	VIRQ	Требование прерывания
36	IAKO	Предоставление прерывания
37	DOUT	Вывод данных
38	DIN	Ввод данных
39	PRLY	Ответ
40	WTBT	Запись/байт
41	SYNC	Обмен
42	U_{cc}	+5 В

Блок согласования осуществляет связь внутренней магистрали процессора с системной магистралью, управляет буферами приема и выдачи информации на шину A/D «Адрес/данные».

Блок прерываний организует приоритетную систему прерываний в процессоре, принимает и обрабатывает внутренние и внешние запросы на прерывание. При одновременном появлении нескольких запросов все источники прерываний по взаимному приоритету образуют следующую иерархию. ошибка обращения к каналу; резервный или запрещенный код в регистре команд; Т-разряд в слове состояния процессора; сигнал аварии сетевого питания ACLO, запросы радиального прерывания IRQ1, IRQ2, IRQ3; требование прерывания VIRQ. Необходимо отметить, что блок прерываний реагирует на запросы ACLO, IRQ2, IRQ3 при их переходе от высокого уровня напряжения к низкому. Предварительной установкой приоритета процессора (7-й разряд РСП) можно игнорировать запросы прерывания VIRQ, IRQ2, IRQ3. При возникновении условий прерывания процессор микропрограммно осуществляет сохранение текущего значения счетчика команд и слова состояния и производит загрузку их нового значения из пары ячеек внешнего ОЗУ или ПЗУ. Адрес вектора прерывания, т е. указатель пары ячеек внешней памяти, формируется в процессоре в соответствии с конкретным запросом прерывания. Прерывание процессора обычно допускается лишь в конце выполнения команды. Только прерывание «Ошибка обращения к каналу» может остановить выполнение команды на любой фазе ее выполнения. Назначение выводов КР1801ВМ1 приведено в табл. 3.32.

3.5.2. Микросхема КР1801ВП1-030

Микросхема КР1801ВП1-030 представляет собой схему управления блоком памяти, выполненным на основе микросхем динамического ОЗУ (К565РУ6). Микросхема осуществляет: прием, хранение и преобразование адреса для накопителя ОЗУ; регенерацию памяти; связь накопителя ОЗУ и буферного регистра данных с каналом передачи информации микроЭВМ типа «Электроника-60». Структурная схема КР1801ВП1-030 представлена на рис. 3.28.

Адрес, по которому происходит обращение к ОЗУ, поступает с шины AD0—AD15 в регистр адреса. Фиксация адреса в регистре осуществляется сигналом SYNC «Обмен». Выдача адреса ОЗУ А0—А6 осуществляется в виде разделенных во времени адреса строки и адреса столбца, сопровождаемых соответственно стробами RAS и CAS. Преобразование адреса осуществляется мультиплексором адреса. В режиме регенерации мультиплексор адреса выдает в качестве адреса регенерации содержимое 7—13 разрядов счетчика адресов регенерации. Разряды 0—6 этого счетчика выполняют функцию делителя сигналов тактовой частоты, поступающих на вход CLK «Тактовый сигнал».

Компаратор адресов анализирует адрес обращения к ОЗУ и формирует сигнал LOCK «Блокировка» при обращении в область старших 4К слов. Этот сигнал используется при совместной работе с микросхемой КР1801ВМ1.

Блок синхронизации вырабатывает сигналы управления внутренними узлами микросхемы и формирует сигналы, обеспечивающие об-

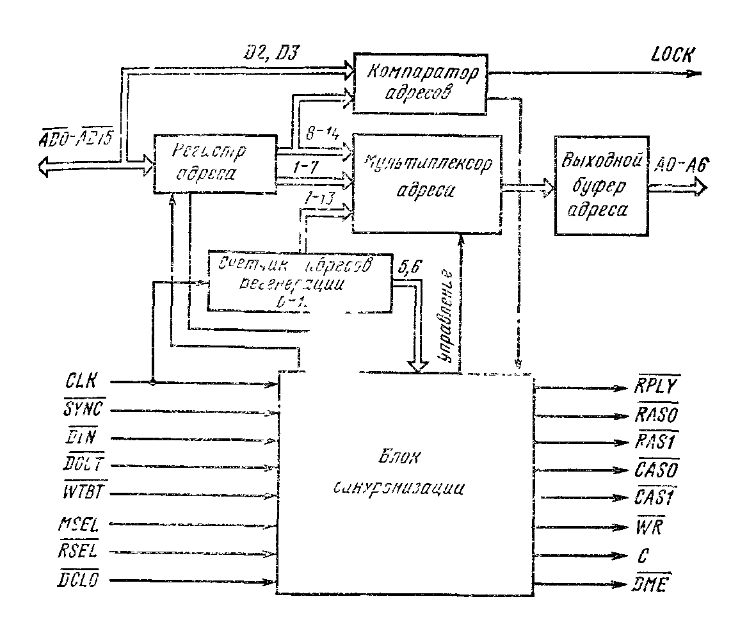


Рис. 3.28. Структурная схема КР1801ВП1-030

Таблица 3.33

Номер вывода	Обозначение	Назначение
7, 5—1, 41—34, 6, 31	AD0—AD15	Шина адрес/данные
22—28	A0—A6	Адрес ОЗУ
8	DIN	Ввод данных
9	DOUT	Вывод данных
10	CLK	Тактовый сигнал
11, 16	RAS0, RAS1	Строб адреса строки
12	LOCK	Блокировка
13	RPLY	Ответ
14	C	Синхронизация
15	DME	Разрешение выдачи
17	RSEL	Выборка регистра режима
18	WR	Строб записи
19, 20	CAS0, CAS1	Строб адреса столбца
21	GND	Общий
29	WTBT	Запись/байт
30	DCLO	Авария источника питания
32	SYNC	Обмен
33	MSEL	Выборка памяти
42	U_{cc}	+5 В

мен информацией между ОЗУ и внешними устройствами в соответствии с ГОСТ 26765.51—86. Назначение выводов КР1801ВП1-030 приведено в табл. 3.33.

3.5.3. Микросхема КР1801ВП1-033

Микросхема КР1801ВП1 033 является многофункциональным устройством и может работать в режимах: интерфейса накопителя на гибких магнитных дисках; контроллера интерфейса параллельного ввода/вывода; контроллера байтового параллельного интерфейса. Микросхема КР1801ВП1-033 совместно с микросхемой КР1801ВП1-034 может быть использована для организации 16- или 8-разрядного устройства параллельного ввода/вывода.

Структурная схема КР1801ВП1-033 для режима интерфейса накопителя на гибких магнитных дисках (НГМД) представлена на рис. 3.29. Рассмотрим назначение основных узлов. Режим работы микросхемы задается предварительно подачей на управляющие входы RC0—RC3 блока режима работы напряжения высокого уровня.

Обмен информацией между процессором и контроллером НГМД осуществляется с помощью двух регистров: регистра команд и сос-

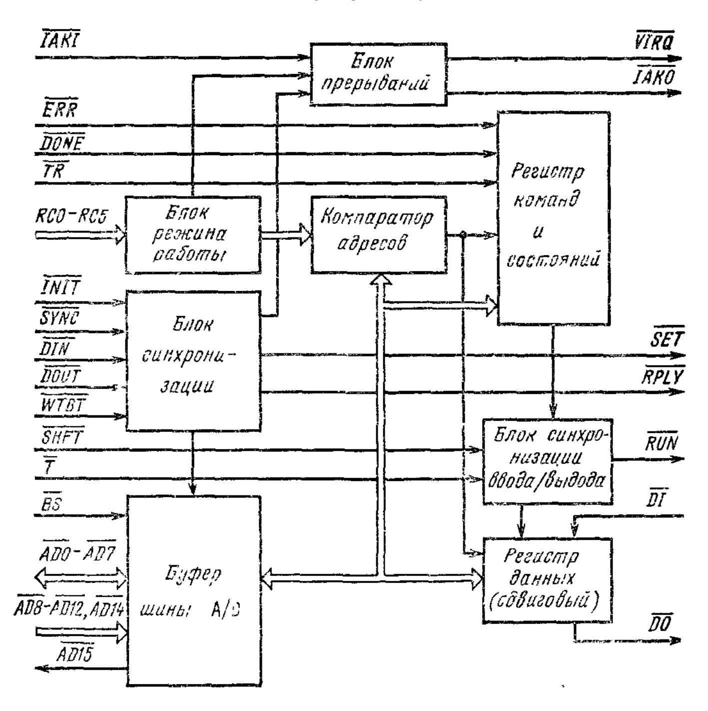


Рис. 3.29. Структурная схема КР1801ВП1-033 в режиме интерфейса накопителя на гибких магнитных дисках

тояний и сдвигового регистра данных. Оба регистра 16-разрядные, загружаются и считываются программно через буфер шины A/D «Адрес/данные». Каждый из регистров имеет свой фиксированный адрес, предварительная установка которого осуществляется подачей на выводы RC4, RC5 определенного уровня напряжения.

Компаратор адресов производит сравнение фиксированного адреса, заданного блоком режима работы, с адресом, подаваемым на буфер шины A/D, и при их совпадении разрешает обращение соответственно к регистру команд и состояний или к регистру данных.

Регистр команд и состояний предназначен для записи и хранения команд и управляющих сигналов, определяющих порядок взаимодействия микросхемы с контроллером НГМД.

Установка микросхемы в исходное состояние осуществляется сигналом INIT «Установка», при этом микросхема вырабатывает сигнал SET «Начальная установка», который используется для приведения механизма и электронной части НГМД в исходное состояние. Организация обмена информацией между системной магистралью и внутренней магистралью микросхемы производится блоком синхронизации в соответствии с ГОСТ 26765.51—86. Взаимодействие микросхемы с контроллером НГМД осуществляется следующим образом. По окончании выполнения текущей команды контроллер НГМД устанавливает сигнал DONE «Завершено», который разрешает запись очередной команды в регистр команд и состояний. Наличие признака пуска в нулевом разряде команды формирует сигнал RUN «Пуск», который, поступая на контроллер НГМД, инициирует прием команды. Контроллер снимает сигнал DONE и подает на вход SHFT «Сдвиг данных» серию из восьми импульсов. При этом происходит сброс сигнала RUN, а блок синхронизации ввода/вывода обеспечивает выдачу команды в последовательном коде на вывод DO «Выход регистра данных». В зависимости от принятого кода команды контроллер НГМД устанавливает сигналы T «Направление передачи» и TR «Требование передачи». Сигнал T указывает направление передачи байта информации. При наличии на входе T напряжения низкого уровня информация передается от контроллера НГМД к микросхеме. Сигнал TR указывает, что контроллер готов принять/передать байт информации. Установка сигнала TR вновь вызывает формирование сигнала RUN и серию импульсов на входе SHFT: восемь для синхронизации адреса сектора и дорожки, семь для синхронизации данных, которые в зависимости от состояния сигнала T синхронизируют ввод информации через вход DI или вывод ее через выход DO. По окончании выполнения очередной команды контроллер НГМД устанавливает сигнал DONE. При условии установки в регистре команд признака разрешения прерывания IE, появление сигнала DONE формирует сигнал VIRQ «Требование прерывания». Выполнение процедуры прерывания стандартное Назначение выводов КР1801ВП1-033 в режиме интерфейса НГМД приведено в табл. 3.34.

Структурная схема КР1801ВП1-033 при работе в режиме контроллера интерфейса параллельного ввода/вывода представлена на рис. 3.30. Микросхема формирует управляющие сигналы, обеспечивающие прием информации из регистра-приемника и выдачу информации в регистр-источник. В качестве регистра-приемника и регистра-источника можно использовать микросхемы КР1801ВП1-034. Установка микросхемы КР1801ВП1-033 в режим контроллера интерфейса параллельного ввода/вывода производится подачей определенных уровней напряжения на выводы RC0—RC3 «Выбор режима». По-

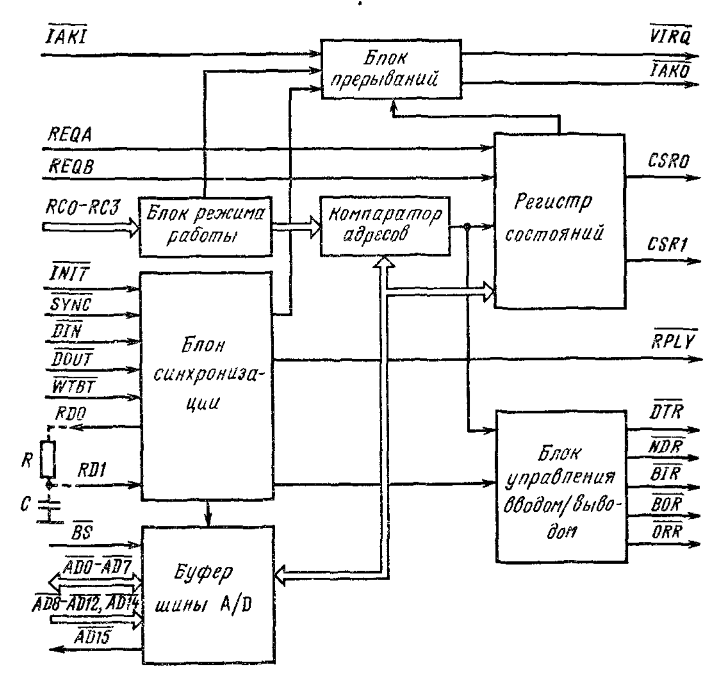


Рис. 3.30. Структурная схема КР1801ВП1-033 в режиме контроллера интерфейса параллельного ввода/вывода

мимо выбора режима работы микросхемы комбинации напряжений на выводах RC0—RC3 осуществляют переадресацию регистров (состояния, источника и приемника) и векторов прерываний.

Регистр состояний предназначен для записи и хранения команд и сигналов, обеспечивающих управление обменом информацией между внешними устройствами и системной магистралью. Нулевой и первый разряды регистра состояний соединены с внешними выводами CSR0, CSR1 и могут использоваться для имитации запросов прерывания в режиме автономной проверки.

При поступлении одного из сигналов REQA или REQB «Требование А, В» и при наличии в регистре состояний соответствующего разрешения прерывания IEA, IEB блок прерываний формирует сигнал VIRQ «Требование прерывания». Выполнение процедуры прерывания стандартное. При одновременном поступлении сигналов REQA и REQB более высокий приоритет имеет сигнал REQB.

Блок управления вводом/выводом вырабатывает сигналы NDR, BIR и BOR при записи соответственно слова, старшего или младшего байта в регистр-источник и сигналы DTR и ORR при чтении соответственно из регистра-приемника и регистра-источника. Для увеличения длительности сигналов DTR и NDR можно использовать RC-цепочку, подключение которой к выводам RD0 и RD1 показано на

Таблица 3.34

Номер вывода	Обозначение	Назначение
2—4, 1, 5, 6	RC0—RC5	Выбор режима
7	SHFT	Сдвиг данных
8	T	Направление передачи
9—20, 22, 24, 25	AD0—AD12, AD14, AD15	Шина адрес/данные
21	GND	Общий
23	BS	Внешнее устройство
26	DI	Вход регистра данных
27	DO	Выход регистра данных
28	RUN	Пуск
29	SET	Начальная установка
30	ERR	Ошибка
31	DONE	Завершено
32	TR	Требование передачи
33	IAKI	Разрешение прерывания
34	INIT	Установка
35	VIRQ	Требование прерывания
36	IAKO	Предоставление прерывания
37	DOUT	Вывод данных
38	DIN	Ввод данных
39	RPLY	Ответ
40	WTBT	Запись/байт
41	SYNC	Обмен
42	U_{cc}	+5 В

рис. 3.30 условными линиями. Назначение выводов КР1801ВП1-033 в режиме контроллера интерфейса параллельного ввода/вывода приведено в табл. 3.35.

Структурная схема КР1801ВП1-033 при работе в режиме контроллера байтового параллельного интерфейса приведена на рис. 3.31. Микросхема формирует управляющие сигналы, обеспечивающие прием и передачу информации с помощью регистров состояния источника и приемника, находящихся в микросхеме, и регистров источника и приемника, которые могут быть выполнены на основе микросхемы КР1801ВП1-034.

Установка микросхемы в режим контроллера байтового параллельного интерфейса осуществляется подачей определенных уровней напряжения на выводы RC0—RC2 «Выбор режима». Помимо выбора режима работы микросхемы комбинации напряжений на выводах RC0—RC2 осуществляют переадресацию регистров и векторов прерываний.

Работа микросхемы в режиме приема информации начинается при поступлении сигнала SO-S «Готовность источника», на который микросхема выдает сигнал AC-S «Запрос источника». Внешний источник формирует сигнал SC-S «Строб источника», который устанавливает в регистре состояния источника бит AR «Требование приема».

При наличии в регистре состояния источника бита IEA «Разре-

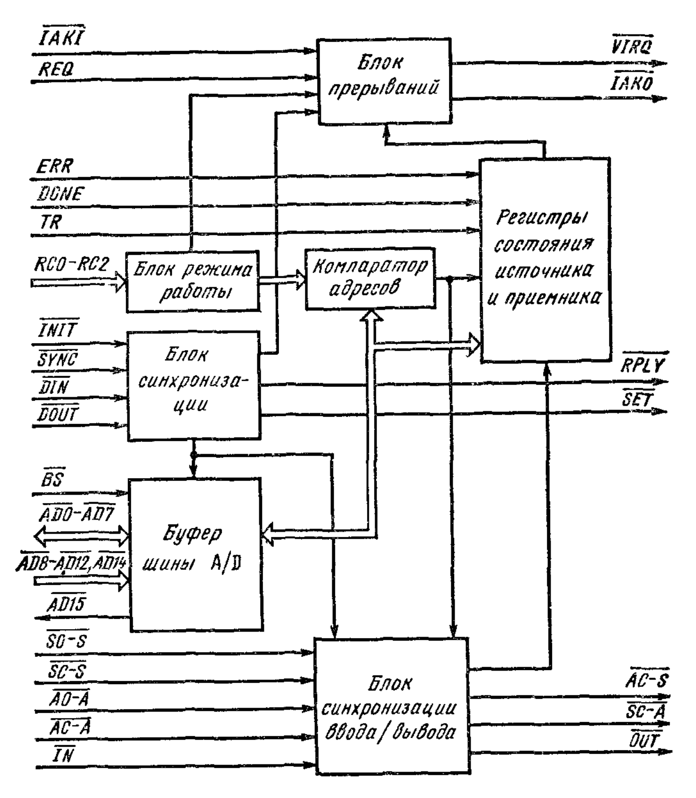


Рис. 3.31. Структурная схема КР1801ВП1-033 в режиме контроллера байтового параллельного интерфейса

шение прерывания по приему» формируется сигнал VIRQ «Требование прерывания». Выполнение процедуры прерывания стандартное. При приеме информации с регистра-источника микросхема вырабатывает сигнал IN «Чтение регистра-приемника» и снимает сигнал AC-S. Сигнал AC-S может установиться вновь только после снятия сигнала SC-S.

При работе микросхемы в режиме передачи информации микросхема анализирует наличие сигналов низкого уровня на входах AO-A «Готовность приемника» и AC-A «Запрос приемника» и при их поступлении производит передачу информации в регистр-приемник, сопровождая ее выдачей сигнала OUT «Запись в регистр-источник». По окончании сигнала OUT микросхема вырабатывает сигнал SC-A «Строб приемника», который сбрасывается после снятия сигнала AC-A. Требование прерывания VIRQ по передаче информации возникает при поступлении сигнала REQ «Требование» и при установленном бите IET «Разрешение прерывания по передаче» в регистре

Таблица 3.35

Номер вывода	Обозначение	Назначение
2—4, 1	RC0—RC3	Выбор режима
5, 6	RD0, RD1	Задержка ответа
7, 8	CSR0, CSR1	Регистр состояния (разряды 0,1)
9—20, 22, 24, 25	AD0—AD12, AD14, AD15	Шина адрес/данные
21	GND	Общий
23	BS	Внешнее устройство
26	BIR	Вывод старшего байта
27	DTR	Чтение регистра-приемника
28	NDR	Запись в регистр-источник
29	BOR	Вывод младшего байта
30, 32	REQB, REQA	Требование B, A
31	ORR	Чтение выходного регистра
33	IAKI	Разрешение прерывания
34	INIT	Установка
35	VIRQ	Требование прерывания
36	IAKO	Предоставление прерывания
37	DOUT	Вывод данных
38	DIN	Ввод даниых
39	RPLY	Ответ
40	WTBT	Запись/байт
41	SYNC	Обмен
42	U_{cc}	+5 В

состояния передатчика. Назначение выводов КР1801ВП1-033 в режиме контроллера байтового параллельного интерфейса приведено в табл. 3.36.

3.5.4. Микросхема КР1801ВП1-034

Микросхема КР1801ВП1-034 является многофункциональным устройством и может выполнять функции: устройства передачи информации, буферного регистра данных, устройства выдачи вектора прерывания и компаратора адреса.

Различные режимы работы задаются подачей на управляющие входы RC0, RC1 соответствующего уровня напряжения. Структурная схема КР1801ВП1-034 при работе в режиме устройства передачи информации представлена на рис. 3.32.

Микросхема имеет две входные 8-разрядные шины A0—A7 и B0—B7, по которым входная информация поступает на мультиплексор. В зависимости от управляющих сигналов CA и CB информация с шины A или B через блок ввода/вывода передается на двунаправленную шину C0—C7 Передача осуществляется прямым или инверсным кодом в зависимости от значения сигнала COM. Сигналом C «Синхронизация» осуществляется запись информации с шины C0—C7 в буферный регистр. Выдача информации из буферного регистра на

Таблица 3.36

Номер вывода	Обозначение	Назначение
1	REQ	Требование
2—4	RC0—RC2	Выбор режима
5	AO-A	Готовность приемника
6	AC-A	Запрос приемника
7	AC-S	Запрос источника
8	SC-A	Строб приемника
9—20, 22, 24, 25	AD0—AD12, AD14, AD15,	Шина адрес/данные
21	GND	Общий
23	BS	Внешнее устройство
26	SC-S	Строб источника
27	IN	Чтение регистра-приемника
28	OUT	Запись в регистр-источник
29	SET	Начальная установка
30	ERR	Ошибка
31	DONE	Завершено
32	TR	Требование передачи
33	IAKI	Разрешение прерывания
34	INIT	Установка
35	VIRQ	Требование прерывания
36	IAKO	Предоставление прерывания
37	DOUT	Вывод данных
38	DIN	Ввод данных
39	RPLY	Ответ
40	SO-S	Готовность источника
41	SYNC	Обмен
42	U_{cc}	+5 В

шину D0—D7 производится по сигналу CD в прямом или инверсном коде. Установка буферного регистра в исходное состояние осуществляется сигналом RESET «Установка». Назначение выводов КР1801ВП1-034 при работе в качестве устройства передачи информации приведено в табл. 3.37.

Структурная схема КР1801ВП1-034 в режиме буферного регистра представлена на рис. 3.33. Входная информация, поступающая на шину DI0—DI15, по сигналу С «Синхронизация» записывается в 16-разрядный буферный регистр и через выходной буфер выдается на выходную шину DO0—DO15. Выходной буфер имеет на выходе состояние «Выключено». Управление осуществляется сигналом DME «Разрешение выдачи». Назначение выводов КР1801ВП1-034 при работе в режиме буферного регистра данных приведено в табл. 3.38.

Структурная схема КР1801ВП1-034 в режиме устройства выдачи вектора прерывания и компаратора адреса представлена на рис. 3.34. Режим работы микросхемы устанавливается сигналами RC0, RC1 «Выбор режима». Старшие шесть разрядов фиксированного адреса вектора прерывания устанавливаются на выводах SI1—SI6. При по-

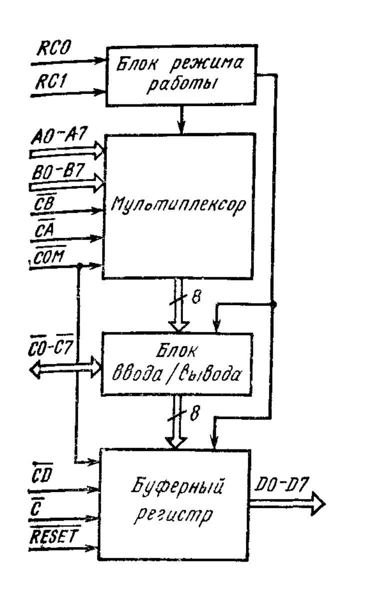


Рис. 3.32. Структурная схема КР1801ВП1-034 в режиме устройства передачи информации

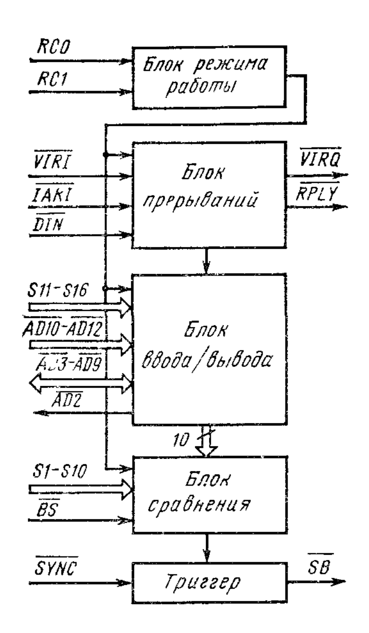


Рис. 3.34. Структурная схема КР1801ВП1-034 в режиме устройства выдачи вектора прерывания и компаратора адреса

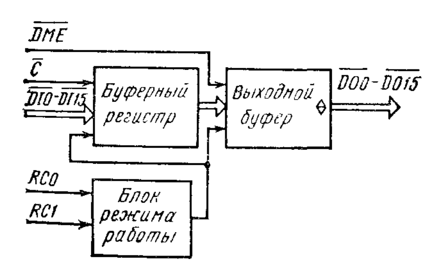


Рис. 3.33. Структурная схема КР1801ВП1-034 в режиме буферного регистра данных

ступлении сигнала VIRI «Запрос прерывания» производится стандартная процедура обработки прерывания и на шину AD2—AD7 выдается адрес вектора прерывания.

Функция компаратора адреса выполняется путем сравнения адреса, заданного на входах S1—S10, с адресом, поступающим на входы AD3—AD12. Сравнение осуществляется при поступлении сигнала BS «Внешнее устройство». При равенстве сравниваемых адресов вырабатывается сигнал SB «Устройство выбрано», который запоминается в триггере на все время присутствия сигнала SYNC «Обмен». Назначение выводов КР1801ВП1-034 при работе в качестве устройства выдачи вектора прерывания и компаратора адреса приведено в табл. 3.39.

Таблица 3.37

Номер вывода	Обозначение	Назначение
1, 2	RC1, RC0	Выбор режима
3—8, 35, 36	B0—B7	Шина B
9—16	C0—C7	Шина C (ввод/вывод)
17—20, 22—25	D0—D7	Шина D
21	GND	Общий
26—33	A0—A7	Шина A
34	RESET	Установка
37, 38, 41	CD, CB, CA	Разрешение выдачи шин D, B, A
39	COM	Инверсия
40	C	Синхронизация
42	U_{cc}	+5 В

Таблица 3.38

Номер вывода	Обозначение	Назначение
1, 2	RC1, RC0	Выбор режима
26—33, 4-8, 35, 36	DI0—DI15	Входная шина данных
9—20, 22—25	DO0—DO15	Выходная шина данных
21	GND	Общий
34	DME	Разрешение выдачи
40	C	Синхронизация
42	U_{cc}	+5 В

Таблица 3.39

Номер вывода	Обозначение	Назначение
1, 2	RC1, RC0	Выбор режима
3—8	S11—S16	Установка вектора прерывания 2—7
9	SB	Устройство выбрано
10	VIRQ	Требование прерывания
11—20, 22	AD2—AD12	Шина адрес/данные
21	GND	Общий
23	BS	Внешнее устройство
26—33, 35, 36	S1—S10	Зашивка адреса 3—10
34	IAKI	Разрешение прерывания
37	VIRI	Запрос прерывания
38	DIN	Ввод данных
39	RPLY	Ответ
41	SYNC	Обмен
42	U_{cc}	+5 В

3.5.5. Микросхема КР1801ВП1-035

Микросхема КР1801ВП1-035 представляет собой асинхронный приемопередатчик для внешних устройств, работающих на линии связи с последовательной передачей информации, и предназначена для преобразования параллельной информации в последовательную и наоборот. При организации обмена информацией по последовательному каналу микросхема выполняет требования интерфейса для радиального подключения устройств с последовательной передачей информации. Микросхема обеспечивает по последовательному каналу: прием и выдачу информации в форматах 5, 7 или 8 бит; формирование 2 стоповых бит (1,5 стоповых бит при передачах в формате 5 бит); формирование и контроль бита паритета (четности или нечетности), а также работу без бита паритета; скорости обмена при тактовой частоте 4608 кГц: 50, 75, 100, 150, 200, 300, 600, 1200, 2400, 4800, 9600, 19 200 бод.

Структурная схема КР1801ВП1-035 представлена на рис. 3.35. Формат посылки и режим контроля паритета задаются соответственно сигналами NB0, NB1 «Выбор формата», PEV «Четность/нечетность» и NP «Установка паритета», подаваемыми на блок режимов работы. Селектор скоростей устанавливает скорость обмена в соответствии с управляющими сигналами CLK «Тактовый сигнал» и FR0—FR3 «Скорость обмена» и вырабатывает сигнал EVNT «Прерывание по таймеру» с частотой 50 Гц и скважностью 2 при входной тактовой частоте сигнала CLK 4608 кГц.

В состав микросхемы входят приемник и передатчик, каждый из которых содержит регистр состояния, буферный и сдвиговый регист-

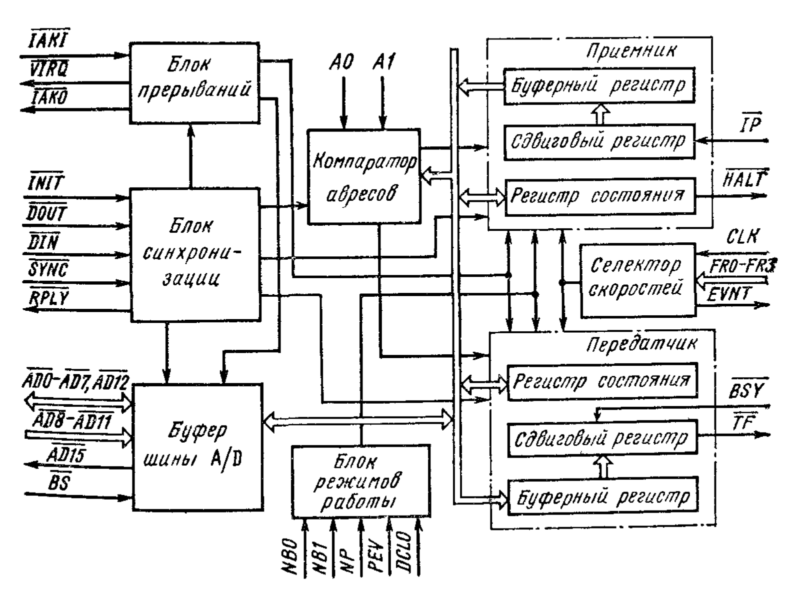


Рис. 3.35. Структурная схема КР1801ВП1-035

ры. Регистры состояния и буферные регистры имеют фиксированные адреса и позволяют производить обращение к ним из системной магистрали. Микросхема формирует адреса векторов прерывания приемника и передатчика. Адреса векторов прерывания и адреса регистров состояния и буферных регистров могут быть изменены по группам (фиксированные адреса для каждой группы). Число групп равно 4, и номер группы задается сигналами A0, A1 «Выбор адреса», подаваемыми на компаратор адресов. Обмен информацией между различными узлами микросхемы, подключенными к внутренней магистрали, и системной магистралью обеспечивают блок синхронизации и буфер шины A/D в соответствии с ГОСТ 26765.51—86.

Условия работы по прерыванию и различные состояния приемника и передатчика в процессе работы (сигналы готовности, ошибка в принятой информации, ошибка переполнения, разрыв линии, проверка работы) фиксируются в регистрах состояния приемника и передатчика. Установка микросхемы в исходное состояние производится подачей сигналов низкого уровня на входы INIT «Установка» или DCLO «Авария источника питания».

Информация, принимаемая и передаваемая микросхемой, называется посылкой и представляет собой последовательность битов, состоящую из старт-бита, информационных битов (5...8 бит в зависимости от установленного режима работы), бита паритета (если он запрограммирован) и стоп-бита. В режиме приема посылка со входа IP «Вход приемника» поступает в сдвиговый регистр и по окончании сдвига переписывается в буферный регистр, после чего в регистре состояния приемника устанавливается сигнал готовности приемника. Если предварительно в регистре состояния было записано разрешение работы канала приемника по прерыванию, то блок прерываний формирует сигнал VIRQ «Требование прерывания». Требование прерывания должно быть обработано процессором по системной магистрали, в результате чего по адресу буферного регистра должна быть прочитана информация (посылка). По окончании чтения посылки сигнал готовности приемника в регистре состояния сбрасывается и приемник может принимать новую посылку.

При отсутствии разрешения прерывания в регистре состояния приемника сигнал VIRQ не вырабатывается, и процессор должен работать с микросхемой в режиме сканирования (периодического чтения по адресу) регистра состояния приемника. После чтения сигнала готовности приемника процессор должен прочитать посылку из буферного регистра. Чтение посылки необходимо производить не позднее поступления в сдвиговый регистр последнего информационного бита следующей посылки, иначе возникает ошибка переполнения.

В режиме передачи информация должна быть записана из системной магистрали по адресу буферного регистра передатчика. Эта запись производится процессором либо по запросу, формируемому блоком прерывания, либо в режиме сканирования процессором регистра состояния передатчика, в котором устанавливается сигнал готовности, если буферный регистр передатчика пуст. По окончании записи информации в буферный регистр она параллельно переписывается в сдвиговый регистр и при отсутствии сигнала BSY «Занято» на выходе TF «Выход передатчика» через время, равное 1/16 длительности бита, появляется посылка, автоматически выдвигаемая из сдвигового регистра.

С началом сдвига посылки в регистре состояния передатчика выставляется сигнал готовности передатчика, свидетельствующий о том,

Таблица 3.40

Номер вывода	Обозначение	Назначение
1	CLK	Тактовый сигнал
2	EVNT	Прерывание по таймеру
3—6	ER0—ER3	Скорость обмена
7, 8	NB0, NB1	Выбор формата
9—20, 22, 25	AD0—AD12, AD15	Шина адрес/данные
21	GND	Общий
23, 24	A0, A1	Выбор адреса
26	BS	Внешнее устройство
27	TF	Выход передатчика
28	IP	Вход приемника
29	BSY	Занято
30	NP	Установка паритета
31	HALT	Останов
32	PEV	Четность/нечетность
33	IAKI	Разрешение прерывания
34	INIT	Установка
35	VIRQ	Требование прерывания
36	IAKO	Предоставление прерывания
37	DOUT	Вывод данных
38	DIN	Ввод данных
39	RPLY	Ответ
40	DCLO	Авария источника питания
41	SYNC	Обмен
42	U_{cc}	+5 В

что буферный регистр передатчика пуст и в него можно записывать новую информацию. Назначение выводов КР1801ВП1-035 приведено в табл. 3.40.

3.6. Микропроцессорный комплект серии КР(КМ)1802

Микропроцессорный комплект серии КР1802 выполнен на основе биполярной технологии ТТЛШ и предназначен для построения быстродействующих контроллеров различного назначения, встроенных автономных микро- и мини-ЭВМ, устройств автоматики, систем обработки данных, аппаратных умножителей, устройств для быстрого преобразования Фурье (БПФ) и т. д.

Разнообразная номенклатура МПК, возможность параллельного наращивания разрядности, микропрограммный способ управления, совместимость с ТТЛ- и ТТЛШ-сериями обеспечивают широкие возможности применения данного комплекта в различных областях народного хозяйства. Все микросхемы, входящие в МПК серии КР(КМ)1802, предназначены для работы в диапазоне температур −10...+70 °С и имеют напряжение питания 5 В±5 %.

Ниже приведены функциональный состав МПК серии КР(КМ)1802 и основные параметры микросхем, входящих в комплект,

Микропроцессорная секция параллельной обработки информации КР1802ВС1

Разрядность обрабатываемых данных	8
Число каналов ввода/вывода информации	2
Разрядность каналов ввода/вывода информации	8
Число разрядов микрокоманды	8
Максимальный объем адресуемой памяти, слов	2^{8n}*
Время передачи информации от входа до выхода, нс	⩽150
Потребляемая мощность, мВ	⩽1400

Двухадресный блок регистров общего назначения КР1802ИР1

Число адресных шин	2
Разрядность адресных шин	4
Число информационных шин	2
Разрядность информационных шин	4
Число регистров	16
Разрядность каждого регистра	4
Время передачи информации с шины DA на шину DB, нс	⩽45
Потребляемая мощность, мВт	⩽800

Арифметический расширитель (сдвигатель) КР1802ВР1

Число каналов ввода/вывода информации	1
Разрядность канала ввода/вывода информации	16
Разрядность канала параметра сдвига	5
Разрядность микрокоманды	3
Время передачи информации от входа до выхода, нс	⩽90
Потребляемая мощность, мВт	⩽1400

Схема обмена информацией КР1802ВВ1

Число каналов ввода/вывода информации	4
Разрядность каждого канала ввода/вывода информации	4
Время передачи информации из канала в канал, нс	⩽80
Потребляемая мощность, мВт	⩽1400

Схема умножителя 8×8 разрядов КР1802ВР3

Число каналов ввода информации	2
Разрядность каналов ввода информации	8
Число каналов вывода информации	1
Разрядность канала вывода информации	16
Время умножения 8-разрядных чисел, нс	⩽130
Потребляемая мощность, мВт	⩽1350

Схема умножителя 12×12 разрядов КМ1802ВР4

Число каналов ввода информации	2
Разрядность каналов ввода информации	12
Число каналов вывода информации	2
Разрядность каналов вывода информации	12
Время умножения 12-разрядных чисел, нс	⩽180
Потребляемая мощность, мВт	⩽3000

Схема умножителя 16×16 разрядов КМ1802ВР5

Число каналов ввода информации	1
Разрядность канала ввода информации	16
Число каналов ввода/вывода информации	1
Разрядность канала ввода/вывода информации . .	16
Число каналов вывода информации	1
Разрядность канала вывода информации	16
Время умножения 16-разрядных чисел, нс	≤165
Потребляемая мощность, мВт	≤4000

Сумматор четырех 4-разрядных чисел КР1802ИМ1

Число каналов ввода информации	4
Разрядность каналов ввода информации	4
Число каналов вывода информации	1
Разрядность канала вывода информации	4
Время суммирования, нс	≤47
Потребляемая мощность, мВт	≤1400

* n — число используемых микросхем.

Микросхемы выполнены в пластмассовых (КР) и керамических (КМ) корпусах типа· 239.24-2 — КР1802ИР1; 2206.42-1 — КР1802ВС1, КР1808ВР1, КР1802ВВ1; КР1802ВР3; 2207.48-4 — КР1802ИМ1; 2136.64-1 — КМ1802ВР4, КМ1802ВР5.

3.6.1. Микросхема КР1802ВС1

Микросхема КР1802ВС1 представляет собой 8-разрядную микропроцессорную секцию параллельной обработки информации с возможностью наращивания разрядности и предназначена для выполнения следующих операций: арифметическое сложение и вычитание в дополнительном коде; логические операции конъюнкции, дизъюнкции, инверсии и сложения по модулю 2; арифметические, логические и циклические сдвиги вправо и влево на 1 разряд. При этом имеется возможность маскирования отдельных разрядов входных данных содержимым регистра расширения. При соединении нескольких микросхем КР1802ВС1 можно выполнять операции обработки байтов, широкий набор сдвигов, включая расширенные сдвиги, последовательный и ускоренный перенос без внешних дополнительных схем с выработкой признаков результата только в выбранных микросхемах. Структурная схема КР1802ВС1 представлена на рис. 3.36.

Ввод и вывод информации осуществляются через двунаправленные 8-разрядные шины данных DA и DB. Регистры А и В предназначены для приема и хранения входной информации, запись которой в соответствующий регистр осуществляется по тактовому сигналу CLK. Входная информация с регистров А и В через мультиплексоры А и В поступает в АЛУ, которое производит операции над поступившими операндами в соответствии с кодом микрокоманды MNS0—MNS7, подаваемым на вход дешифратора микрокоманд. В зависимости от выполняемой микрокоманды АЛУ вырабатывает ряд признаков (нуль результата, переполнение, выдвигаемый разряд), которые выдаются соответственно на выводы ZR, OV, F. Результат

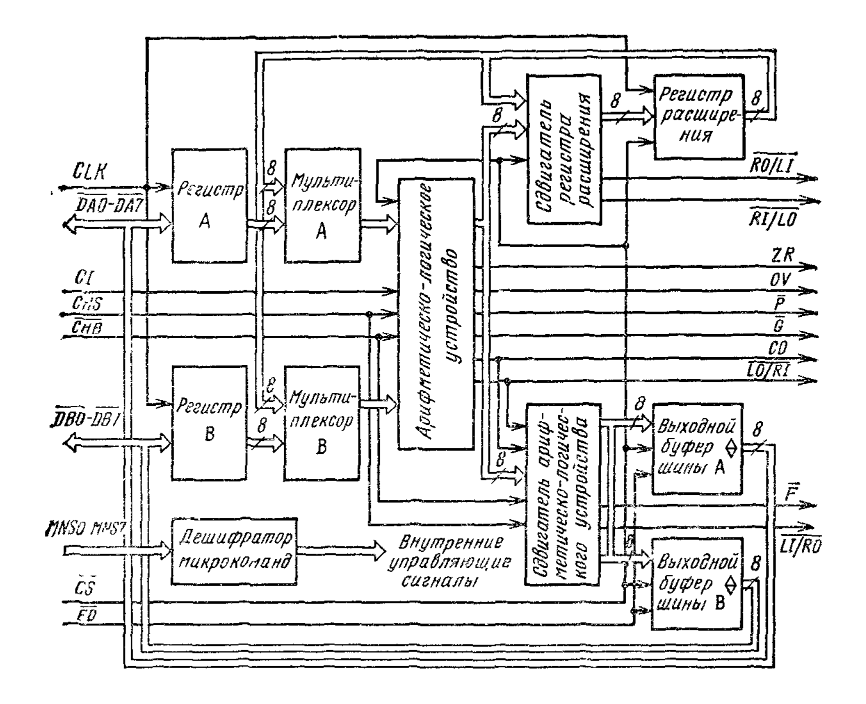


Рис. 3.36 Структурная схема КР1802ВС1

выполнения операции через сдвигатель АЛУ поступает в выходной буфер А или В и на соответствующую выходную шину. Выходные буферы имеют на выходе состояние «Выключено» и могут быть переведены в это состояние при подаче на входы CS «Выбор микросхемы» и ED «Разрешение выдачи» сигналов высокого уровня.

Регистр расширения и его сдвигатель используются для хранения маски при выделении битов, для хранения одного из операндов при выполнении операции АЛУ, при работе со словами двойной длины в процессорах, реализующих операции с плавающей запятой. Синхронизация работы различных узлов микросхемы осуществляется тактовым сигналом CLK. Назначение выводов КР1802ВС1 приведено в табл. 3.41.

3.6.2. Микросхема КР1802ИР1

Микросхема КР1802ИР1 представляет собой двухадресный блок РОН, предназначенный для организации сверхоперативной памяти и многоадресных ОЗУ. Он имеет два независимых 4-разрядных канала А и В для приема и выдачи информации. Структурная схема блока РОН представлена на рис. 3.37.

Матрица РОН состоит из шестнадцати регистров, каждый из ко-

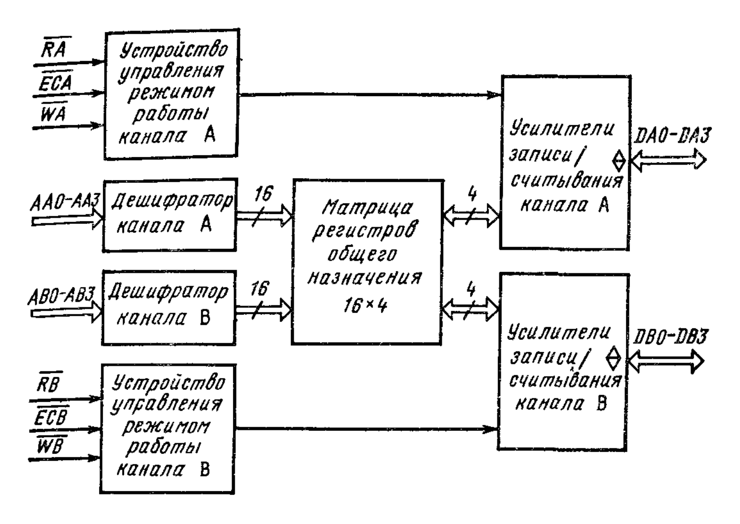


Рис. 3.37. Структурная схема КР1802ИР1

Таблица 3.41

Номер вывода	Обозначение	Назначение
1, 3, 5, 18, 20, 22, 24, 41	DA0—DA7	Шина данных A (ввод/вывод)
2, 4, 19, 21, 23, 25, 40, 42	DB0—DB7	Шина данных B (ввод/вывод)
6—9, 14—17	MNS0—MNS7	Микрокоманда
10	CI	Вход переноса
11	GND	Общий
12	ZR	Признак нуля
13	CLK	Тактовый сигнал
26	OV	Переполнение
27	F	Выдвигаемый разряд
28, 37—39	LO/RI, RI/LO, RO/LI, LI/RO	Входы/выходы при сдвиге
29	ED	Разрешение выдачи
30	CHS	Выбор старшей микросхемы
31	CHB	Управление инверсией старшего разряда
32	U_{cc}	+5 В
33	CO	Выход переноса
34, 35	P, G	Распространение, генерация переноса
36	CS	Выбор микросхемы

торых имеет четыре разряда, и выполнена на триггерах, переключение которых из одного состояния в другое осуществляется сигналом потенциального типа и не зависит от его фронта. Выбор необходимого регистра матрицы как в режиме записи, так и в режиме считывания осуществляют дешифраторы канала А и В. Задание необходимого адреса регистра осуществляется подачей двоичного кода на входы AA0—AA3 — для канала А, AB0—AB3 — для канала В.

Устройства управления режимом работы каналов А и В в зависимости от сочетания управляющих сигналов RA, ECA, WA и RB, ECB, WB, поступающих на их входы, обеспечивают следующие режимы работы: запись по каналу А; запись по каналу В; одновременную запись по каналам А и В; считывание по каналу А; считывание по каналу В; одновременное считывание по каналам А и В; запись по каналу А и считывание по каналу В. Причем необходимо учитывать, что при выполнении записи по какому-либо каналу усилители считывания этого канала должны быть установлены в состояние «Выключено», а запись информации с обоих каналов по одному адресу приводит к неопределенности результата.

Двунаправленные усилители записи/считывания каналов А и В обеспечивают прием входной информации в режиме записи с 4-разрядной двунаправленной шины DA или DB и выдачу информации на эти же шины в режиме считывания. Усилители записи/считывания каналов А и В имеют на выходе состояние «Выключено», установка которого осуществляется подачей на вход RA или RB «Считывание» напряжения высокого уровня. Назначение выводов КР1802ИР2 приведено в табл. 3.42.

Таблица 3.42

Номер вывода	Обозначение	Назначение
1—4	AA0—AA3	Шина адреса канала А
13—16	AB0—AB3	Шина адреса канала В
5—8	DA0—DA3	Шина ввода/вывода данных канала А
20—17	DB0—DB3	Шина ввода/вывода данных канала В
9, 21	RA, RB	Считывание каналов А, В
10, 22	ECA, ECB	Разрешение каналов А, В
11, 23	WA, WB	Запись каналов А, В
12	GND	Общий
24	U_{cc}	+5 В

3.6.3. Микросхема КР1802ВР1

Микросхема КР1802ВР1 представляет собой арифметический расширитель (АР) и предназначена для построения устройств, выполняющих сдвиги (арифметические, логические, циклические, влево, вправо, расширенные) и поиск левого единичного бита. Арифметический расширитель обеспечивает сдвиг за один цикл на произвольное число

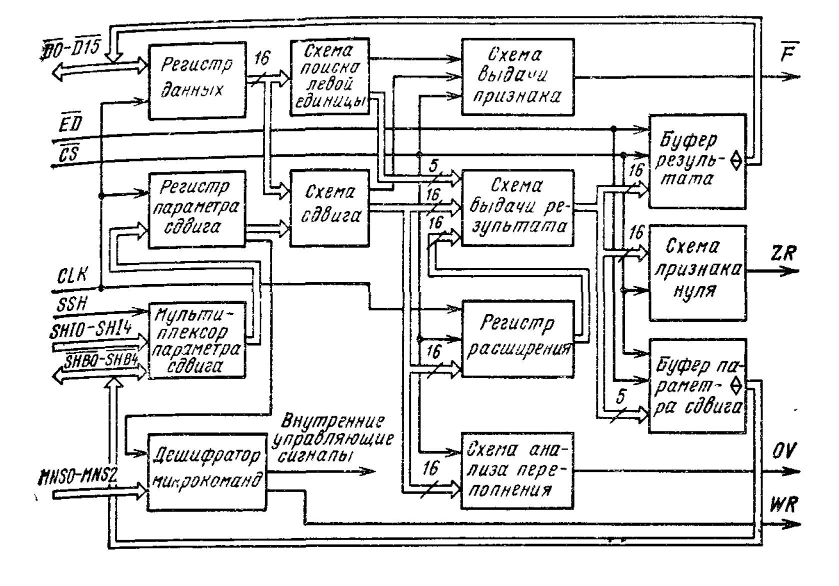


Рис. 3.38. Структурная схема КР1802ВР1

разрядов, которое предварительно может устанавливаться в пределах 0...15. Структурная схема АР представлена на рис 3.38.

Прием входной информации и выдача результата осуществляются через двунаправленную 16-разрядную шину D0—D15. Ввод параметра сдвига (число разрядов, на которое необходимо произвести сдвиг) может производиться с шины SHI или с шины SHB в зависимости от значения сигнала SSH «Выбор параметра сдвига». Входная информация и параметр сдвига по тактовому сигналу CLK фиксируются в соответствующих регистрах.

Вид выполняемой операции (тип сдвига или поиск левого единичного бита) задается кодом микрокоманды MNS0—MNS2 и значением старшего разряда регистра параметра сдвига, поступающими на дешифратор микрокоманд. Схема сдвига производит сдвиг входной информации, хранящейся в регистре данных, на число разрядов, указанное в регистре параметра сдвига, и через схему выдачи результата и буфер результата выдает обработанную информацию на шину D0—D15. Буфер результата имеет на выходе состояние «Выключено», управление которым осуществляется сигналом ED «Разрешение выдачи». При арифметических сдвигах вправо в схеме имеется возможность размножения знака. При выполнении различных типов сдвигов выдвигаемые разряды поступают в регистр расширения, позволяя тем самым увеличить разрядность сдвигаемого слова. При выполнении микрокоманды «Поиск левого единичного бита» входная информация из регистра данных поступает на схему поиска левой единицы, которая анализирует ее и определяет номер первого разряда, находящегося в состоянии «1» (отсчет ведется от старшего 15-го раз-

ряда). Результат поиска выдается 5-разрядным кодом через схему выдачи результата и буфер параметра сдвига на двунаправленную шину SHB0—SHB4. Буфер параметра сдвига имеет на выходе состояние «Выключено», управление которым осуществляется сигналом ED. Кроме того, схема поиска левой единицы при отсутствии единицы во входной информации формирует сигнал, который, поступая на схему выдачи признака, вырабатывает сигнал F «Признак». При операциях сдвига схема выдачи признака производит выдачу на вывод F последнего из выпадаемых разрядов. Вся информация, выдаваемая со схемы выдачи результата, анализируется схемой признака нуля, и при равенстве нулю всех разрядов формируется сигнал ZR «Признак нуля».

Схема анализа переполнения вырабатывает сигнал OV «Переполнение» при сдвигах влево, если хотя бы один выпадаемый разряд при арифметическом сдвиге не равен старшему разряду результата. Кроме того, она выдает знак 15-го разряда входной информации при поиске левой единицы и определяет потерю единиц при логических, расширенных и циклических сдвигах влево. Назначение выводов КР1802ВР1 приведено в табл. 3.43.

Таблица 3.43

Номер вывода	Обозначение	Назначение
2—10, 12—18	D0—D15	Шина данных (ввод/вывод)
36—33, 31	SHI0—SHI4	Параметр сдвига
38—42	SHB0—SHB4	Параметр сдвига/левая единица
1, 11, 22	GND	Общий
19	ZR	Признак нуля
20	CLK	Тактовый сигнал
21	OV	Переполнение
23	F	Признак
24	ED	Разрешение выдачи
25	CS	Выбор микросхемы
26	WR	Разрешение записи
27—29	MNS0—MNS2	Микрокоманда
32	U_{cc}	+5 В
37	SSH	Выбор параметра сдвига

3.6.4. Микросхема КР1802ВВ1

Микросхема КР1802ВВ1 представляет собой схему обмена информацией (ОИ) и предназначена для использования в качестве коммутатора каналов, причем в одном из каналов имеется возможность организации режима двоичного счетчика. Структурная схема КР1802ВВ1 представлена на рис. 3.39.

Ввод/вывод информации осуществляется по четырем независимым 4-разрядным каналам A, B, C, X, причем режим обмена по каждому каналу задается независимо от режима обмена других каналов. Разрешение обмена информацией между шинами A, B, C, X, запись

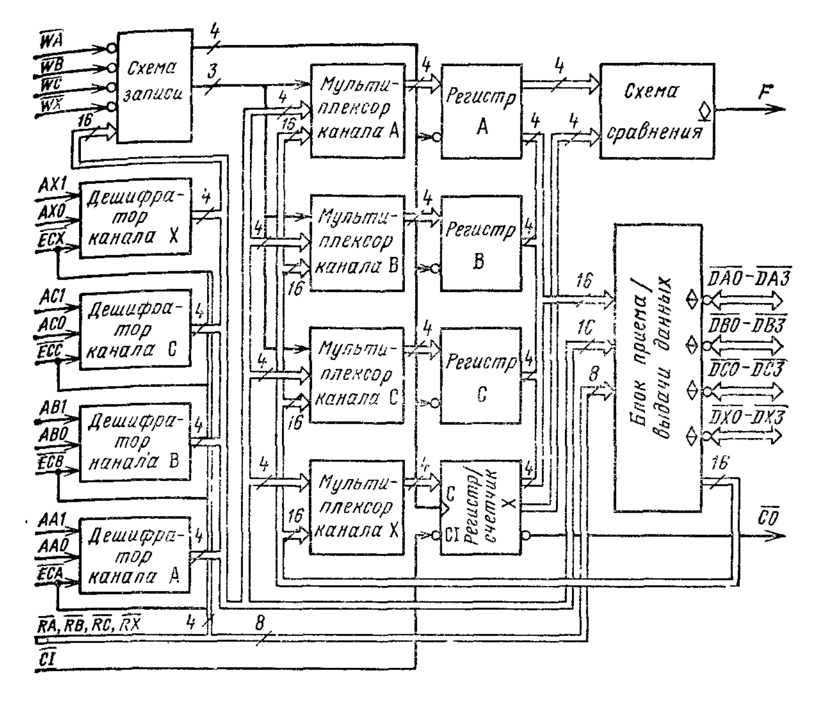


Рис. 3.39. Структурная схема КР1802ВВ1

ее в регистры и считывание на выходные шины обеспечиваются при подаче на соответствующие входы ECA, ECB, ECC, ECX «Разрешение обмена» напряжения низкого уровня. Выбор регистра, с которым будет происходить обмен информацией, осуществляется дешифраторами каналов в зависимости от подаваемого кода адреса: AA0, AA1 — для канала A; AB0, AB1 — для канала B; AC0, AC1 — для канала C; AX0, AX1 — для канала X.

Регистры A, B, C реализованы на D-триггерах типа «Защелка» и предназначены для записи, хранения и считывания информации, поступающей по двунаправленным 4-разрядным шинам DA, DB, DC. Регистр/счетчик X реализован на D-триггерах типа M-S с записью информации по фронту сигнала, подаваемого на его вход C.

Тип обмена для каждого канала — запись или считывание — задается подачей соответственно на входы WA, WB, WC, WX «Запись» или входы RA, RB, RC, RX «Считывание» сигналов низкого уровня. Регистр X помимо режима обмена информацией с любым каналом обеспечивает режим двоичного счетчика, при котором счет осуществляется по сигналу, подаваемому на вход CI «Вход переноса». Выход счетчика выдается на вывод CO «Выход переноса», что позволяет при использовании нескольких микросхем КР1802ВВ1 организовать многоразрядный счетчик с последовательным переносом. При этом

необходимо учитывать, что для правильного выполнения операции счета не допускается при подаче положительного фронта сигнала на вход CI подавать хотя бы на одну из адресных шин код, определяющий адрес регистра X.

Микросхема позволяет производить непосредственную передачу информации с одной шины на другую через любой регистр, кроме регистра X. Осуществляется это подачей управляющих сигналов таким образом, чтобы запись информации с шины источника и чтение информации на шину приемника производились с одного и того же регистра. Если в любой из регистров произведена запись информации с одной из шин и одновременно на адресных входах других шин установлен код, определяющий тот же регистр, и задан режим записи, то в регистр запишется результат поразрядной операции ИЛИ с информацией на этих шинах. Содержимое регистров X и A сравнивается схемой сравнения, и при их равенстве вырабатывается признак сравнения F. Назначение выводов КР1802ВВ1 приведено в табл. 3.44.

Таблица 3.44

Номер вывода	Обозначение	Назначение
1, 42	AB0, AB1	Шина адреса канала B
3, 2	AC0, AC1	Шина адреса канала C
5, 4	AX0, AX1	Шина адреса канала X
14, 13, 7, 6	DC0—DC3	Шина ввода/вывода данных канала C
12, 10, 9, 8	DX0—DX3	Шина ввода/вывода данных канала X
11, 38	GND	Общий
25, 26, 15, 16	RA, RB, RC, RX	Считывание каналов A, B, C, X
24, 22, 19, 17	ECA, ECB, ECC, ECX	Разрешение обмена с каналами A, B, C, X
23, 21, 20, 18	WA, WB, WC, WX	Запись в каналы A, B, C, X
27	CI	Вход переноса
28	F	Признак сравнения
32	U_{cc}	+5 В
39	CO	Выход переноса
41, 40	AA0, AA1	Шина адреса канала A

3.6.5. Микросхема КР1802ВР3

Микросхема КР1802ВР3 представляет собой быстродействующий параллельный умножитель 8×8 разрядов, предназначенный для умножения кодов (чисел без знака) и чисел со знаком, представленных в дополнительном коде. Числа могут быть как целыми, так и меньше единицы. Умножитель является устройством модульного типа, обеспечивающим построение умножителей с любой разрядностью операндов, кратной 8. Структурная схема умножителя представлена на рис. 3.40.

Множимое, подаваемое на шину X0—X7, и множитель, поступаю-

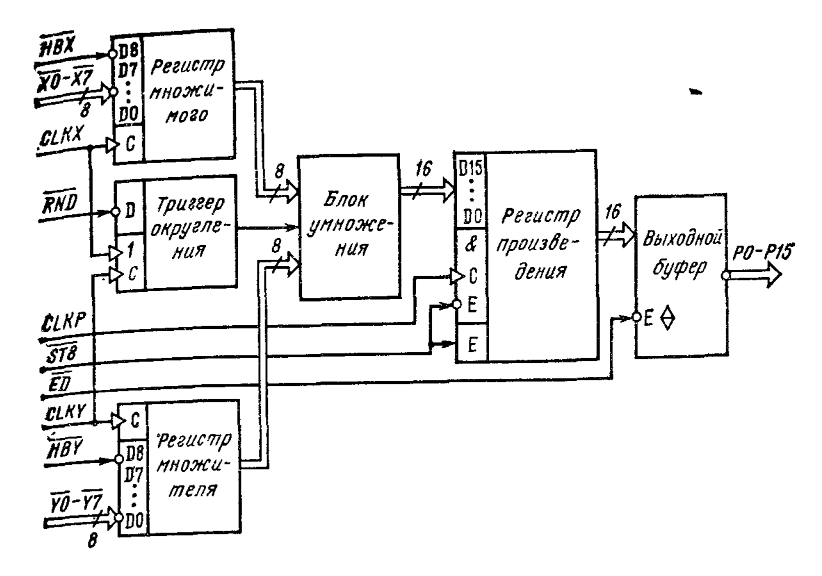


Рис. 3.40. Структурная схема КР1802ВР3

щий на шину Y0—Y7, запоминаются соответственно в регистре множимого и регистре множителя. Регистры выполнены на D-триггерах с записью информации по фронту сигналов CLKX и CLKY соответственно. Управляющие сигналы HBX и HBY указывают, что умножение

Таблица 3.45

Номер вывода	Обозначение	Назначение
22—29	X0—X7	Множимое
31	HBX	Знак множимого
36—42, 1	Y0—Y7	Множитель
34	HBY	Знак множителя
21—12, 10—5	P0—P15	Выходы произведения
2	STB	Управление записью в регистр произведения
3	CLKP	Синхронизация записи в регистр произведения
4	ED	Разрешение выдачи
11	GND	Общий
30	CLKX	Синхронизация записи в регистр множимого
32	U_{cc}	+5 В
33	RND	Округление
35	CLKY	Синхронизация записи в регистр множителя

производится над кодами (при высоком уровне напряжения на входах HBX и HBY) или над числами со знаком, представленными дополнительным кодом (при низком уровне напряжения на входах HBX и HBY).

Блок умножения представляет собой комбинационную схему, выполняющую умножение двух 8-разрядных чисел и одновременное округление результата. Округление произведения до 16 разрядов выполняется при установке триггера округления в «1», что осуществляется по фронту сигнала CLKX или CLKY при наличии на входе RND «Округление» напряжения высокого уровня. Результат умножения по фронту сигнала CLKP и при наличии сигнала STB «Управление записью в регистр произведения» записывается в 16-разрядный регистр произведения и через выходной буфер, управляемый сигналом ED «Разрешение выдачи», выдается на выходную шину P0—P15. При подаче на управляющий вход ED сигнала высокого уровня выходной буфер устанавливается в состояние «Выключено». Назначение выводов КР1802ВР3 приведено в табл. 3.45.

3.6.6. Микросхема КМ1802ВР4

Микросхема КМ1802ВР4 представляет собой быстродействующий параллельный умножитель 12×12 разрядов, предназначенный для умножения кодов (чисел без знака) и чисел со знаком, представленных в дополнительном коде. Числа могут быть как целыми, так и меньше единицы. Умножитель является устройством модульного типа, обеспечивающим построение умножителей с любой разрядностью операндов, кратной 12. Структурная схема умножителя представлена на рис. 3.41.

Регистр множимого служит для хранения разрядов множимого X0—X11 и управляющего сигнала HBX. Регистр множителя служит для хранения разрядов множителя Y0—Y11 и управляющего сигнала HBY. Управляющие сигналы HBX и HBY указывают, что умножение производится над кодами (при низком уровне напряжения на входах HBX и HBY) или над числами со знаком, представленными дополнительным кодом (при высоком уровне напряжения на входах HBX и HBY). Регистры множимого и множителя выполнены на D-триггерах с записью информации по фронту сигналов CLKX и CLKY соответственно.

Блок умножения представляет собой комбинационную матрицу, в которой формируются частичные произведения от поразрядного умножения множимого на множитель, суммируются с соответствующими весами, и результат корректируется при действии над числами со знаком.

Операция округления выполняется одновременно с суммированием произведений прибавлением единицы в старший разряд отбрасываемой части, т. е. дополнительной задержки не вносит. Округление производится при подаче сигнала RND «Округление», который по фронту сигнала CLKX или CLKY записывается в триггер округления.

С помощью сдвигателя, управляемого сигналом RS, произведение в соответствующем формате подается на регистры младшей и старшей части произведения. Запись в регистры младшей и старшей части произведения производится по фронту сигналов CLKL и CLKM соответственно в случае, если STB=0. При STB=1 сигналы CLKL и CLKM блокируются, при этом D-триггеры регистров произведения

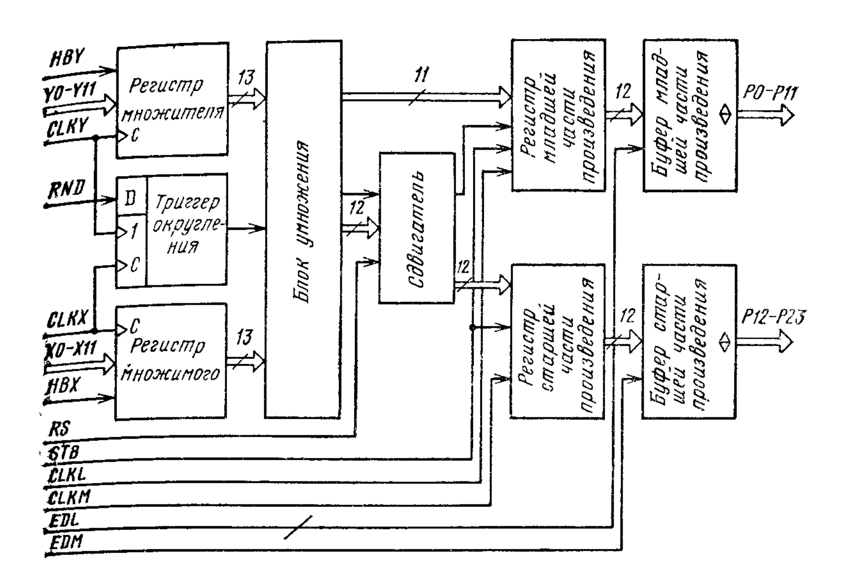


Рис. 3.41. Структурная схема КМ1802ВР4

Таблица 3.46

Номер вывода	Обозначение	Назначение
8—1, 64—61	X0—X11	Множимое
56—51, 47—42	Y0—Y11	Множитель
9—20, 29—40	P0—P23	Выходы произведения
21, 22	EDL, EDM	Разрешение выдачи младшей и старшей части произведения
23, 24	GND	Общий
25	STB	Управление записью в регистр произведения
26	RS	Управление сдвигом вправо старшей части произведения
27, 28	CLKL, CLKM	Синхронизация записи в регистры младшей и старшей части произведения
41	HBY	Знак множителя
48—50	U_{cc}	+5 В
57	HBX	Знак множимого
58	RND	Округление
59, 60	CLKX, CLKY	Синхронизация записи в регистры множимого, множителя

становятся потенциальными — «прозрачны», и информация с регистров произведения через буферы произведения передается на выходы P0—P23. Управление буферами младшей и старшей части произведения осуществляется соответственно сигналами EDL и EDM «Разрешение выдачи». При высоком уровне этих сигналов выходные буферы устанавливаются в состояние «Выключено». Назначение выводов КМ1802ВР4 приведено в табл. 3.46.

3.6.7. Микросхема КМ1802ВР5

Микросхема КМ1802ВР5 представляет собой быстродействующий умножитель 16×16 разрядов, предназначенный для умножения кодов (чисел без знака) и чисел со знаком, представленных в дополнительном коде. Числа могут быть как целыми, так и меньше единицы. Умножитель является устройством модульного типа, обеспечивающим построение умножителей с любой разрядностью операндов, кратной 16. Структурная схема КМ1802ВР5 приведена на рис. 3.42. Назначение основных узлов микросхемы и управляющих сигналов аналогично соответствующим узлам и сигналам микросхемы КМ1804ВР4. Исключение составляет шина множителя PY0—PY15, которая с целью уменьшения числа используемых выводов в микросхеме КМ1802ВР5 сделана двунаправленной и предназначена как для ввода множителя Y0—Y15, так и для вывода младшей части произведения. Округление произведения до 16 разрядов выполняется при установке триггера округления в «1», что осуществляется по фронту

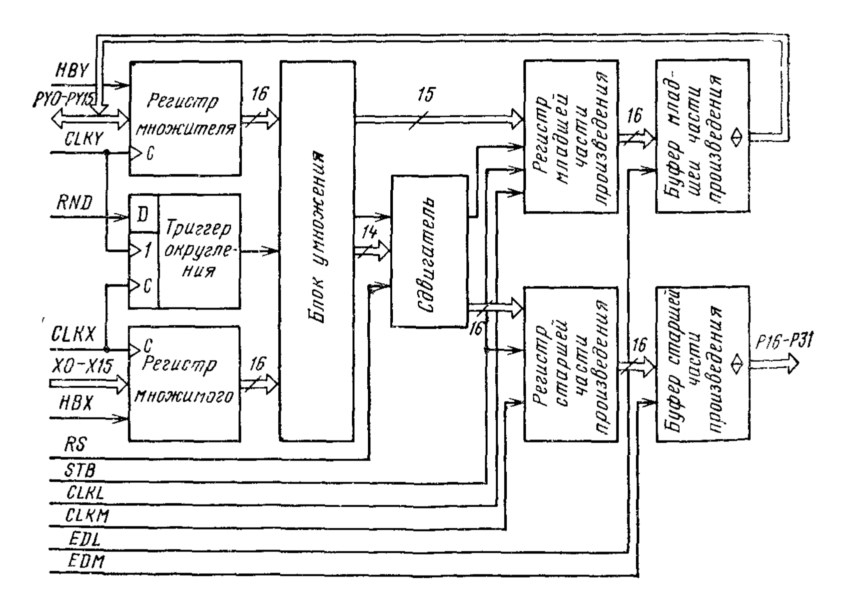


Рис. 3.42. Структурная схема КМ1802ВР5

сигнала CLKX или CLKY при наличии на входе RND «Округление» напряжения высокого уровня. Назначение выводов КМ1802ВР5 приведено в табл 3.47.

Таблица 3.47

Номер вывода	Обозначение	Назначение
5—1, 64—54	X0—X15	Множимое
9—24	PY0—PY15	Множитель/выходы произведения
25—40	P16—P31	Выходы произведения
6, 42	EDL, EDM	Разрешение выдачи младшей и старшей части произведения
7, 41	CLKL, CLKM	Синхронизация записи в регистры младшей и старшей части произведения
8, 53	CLKY, CLKX	Синхронизация записи в регистры множителя, множимого
43	RS	Управление сдвигом вправо старшей части произведения
44	STB	Управление записью в регистр произведения
45—47	GND	Общий
48, 49	U_{cc}	+5 В
50, 51	HBY, HBX	Знак множителя, множимого
52	RND	Округление

3.6.8. Микросхема КР1802ИМ1

Микросхема КР1802ИМ1 представляет собой устройство для суммирования (вычитания) четырех 4-разрядных операндов. Предусмотрена возможность расширения разрядности операндов до любого числа разрядов, кратного четырем.

Структурная схема КР1802ИМ1 представлена на рис. 3.43. Управляемые блоки инверсии служат для выработки инверсного кода операнда, поступающего на информационные входы DA, DB, DC, DD. Так как информация, поступающая на входы DA, DB, DC, DD, представлена в инверсном коде, то при выполнении операции «Сложение» на блоках инверсии происходит ее повторное инвертирование и на соответствующие регистры и суммирующую матрицу входные операнды поступают в прямом коде. Инвертирование входных данных происходит при подаче на вход OP «Управление операцией» сигнала низкого уровня. Вычитание операндов выполняется по принципу сложения уменьшаемого с дополнительным кодом вычитаемого. Дополнительный код вычитаемого формируется путем прямой передачи на вход суммирующей матрицы через блоки инверсии входной информации, представленной в инверсном коде, и при наличии на соответствующем входе переноса CA1, CB1, CC1, CD1 сигнала высокого уровня. Работа каждого из блоков инверсии разрешается при наличии

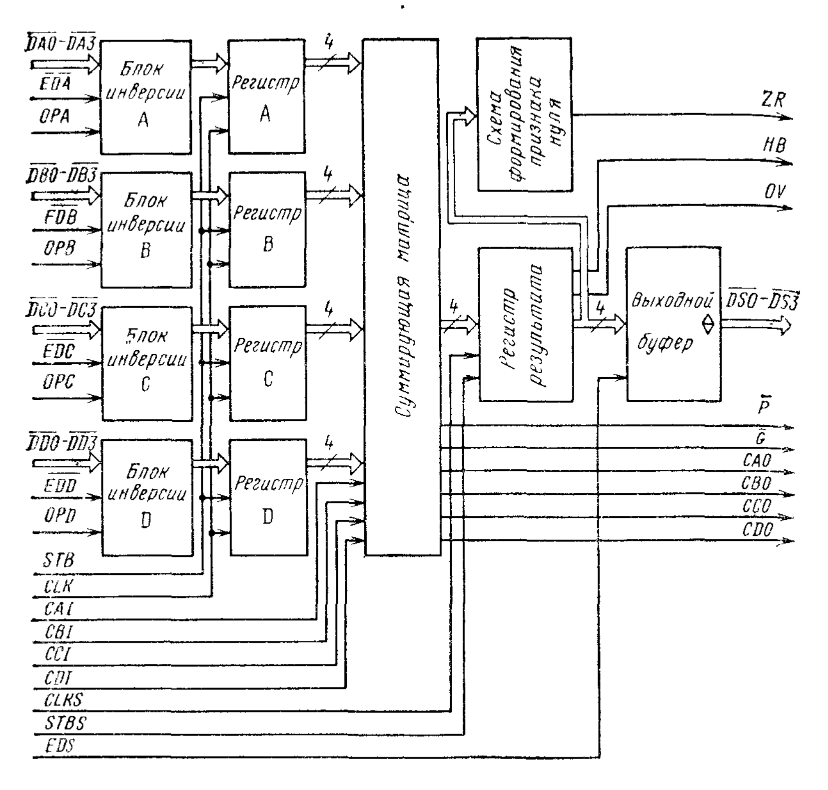


Рис. 3.43. Структурная схема КР1802ИМ1

сигнала низкого уровня на соответствующем входе ED «Разрешение».

Регистры A, B, C, D выполнены на двухтактных D-триггерах с записью информации в первую и вторую ступень соответственно по низкому и высокому уровням напряжения на входе CLK «Синхронизация записи». Вторая ступень регистра имеет вход управления STB «Управление записью операндов», который дает возможность исключить регистр данных как запоминающий элемент, делая его «прозрачным» при высоком уровне напряжения на входе STB и низком уровне напряжения на входе CLK.

Суммирующая матрица представляет собой комбинационную схему, выполняющую операцию суммирования четырех 4-разрядных чисел и входных переносов CA1, CB1, CC1, CD1 с выделением признака переполнения OV и сигналов простых CO и ускоренных переносов P, G.

Регистр результата служит для хранения результата суммирования и признака переполнения и выполнен аналогично регистрам A, B, C, D. Результат суммирования с регистра результата через выходной буфер, имеющий состояние «Выключено», выдается на шину

DS. Перевод выходного буфера в состояние «Выключено» осуществляется сигналом EDS «Разрешение выдачи» высокого уровня. Одновременно схема формирования признака нуля вырабатывает сигнал высокого уровня ZR при равенстве нулю результата суммирования. Назначение выводов КР1802ИМ1 приведено в табл. 3.48.

Таблица 3.48

Номер вывода	Обозначение	Назначение
29, 33, 38, 42	DA0—DA3	Шина данных канала A
30, 34, 39, 43	DB0—DB3	Шина данных канала B
31, 35, 40, 44	DC0—DC3	Шина данных канала C
28, 32, 37, 41	DD0—DD3	Шина данных канала D
45—48	OPA, OPB, OPC, OPD	Управление операцией в каналах A, B, C, D
27—24	EDA, EDB, EDC, EDD	Разрешение каналов A, B, C, D
23—20	CAI, CBI, CCI, CDI	Входы переносов каналов A, B, C, D
3—6	CAO, CBO, CCO, CDO	Выходы переносов каналов A, B, C, D
17—14	DS0—DS3	Результат
1, 18	CLK, CLKS	Синхронизация записи операндов, результата
2, 19	STB, STBS	Управление записью операндов, результата
7, 8	P. G	Распространение, генерация переноса
9	HB	Знак результата
10	OV	Переполнение
11	ZR	Признак нуля
12	GND	Общий
13	EDS	Разрешение выдачи
36	U_{cc}	+5 В

3.7. Микропроцессорный комплект серии КМ(КР)1804

Микропроцессорный комплекс серии КМ1804 выполнен на основе биполярной технологии ТТЛШ и предназначен для построения быстродействующих вычислительных устройств, контроллеров различного назначения, микроЭВМ с различными системами команд, измерительных систем.

Возможность параллельного наращивания разрядности, микропрограммный способ управления, совместимость с ТТЛ- и ТТЛШ-сериями, непрерывно расширяющаяся номенклатура позволяют использовать данный МПК в качестве элементной базы для разработок самого разнообразного назначения.

Все микросхемы, входящие в МПК серии КМ(КР)1804, предназначены для работы в диапазоне температур —10...+70 °С и имеют напряжение питания 5 В±5 %.

Ниже приведены функциональный состав МПК серии КМ1804 и основные параметры микросхем, входящих в комплект.

Микропроцессорная секция параллельной обработки информации КМ1804ВС1

Число каналов ввода информации	3
Число каналов вывода информации	1
Разрядность каналов ввода и вывода информации .	4
Число РОН	16
Разрядность РОН	4
Разрядность микрокоманды	9
Объем адресуемой памяти, слов	2^{4n}*
Длительность цикла тактовых сигналов, нс . . .	≥100
Потребляемая мощность, мВт	≤1470

Микропроцессорная секция параллельной обработки информации КМ1804ВС2

Число каналов ввода информации	3
Число каналов ввода/вывода информации	2
Разрядность каналов ввода и ввода/вывода информации	4
Число РОН	16
Разрядность РОН	4
Разрядность микрокоманды	9
Объем адресуемой памяти, слов	2^{4n}*
Длительность цикла тактовых сигналов, нс	≥104
Потребляемая мощность, мВт	≤1837

Схемы управления адресом микрокоманды КМ1804ВУ1 и КМ1804ВУ2

Число каналов ввода информации:	
КМ1804ВУ1	3
КМ1804ВУ2	1
Число каналов вывода информации	1
Разрядность каналов ввода и вывода информации .	4
Объем адресуемой памяти, слов	2^{4n}*
Время передачи информации от входа тактового сигнала до выхода, нс	<102
Потребляемая мощность, мВт	≤683

Схема управления следующим адресом КМ1804ВУ3

Число формируемых управляющих микрокоманд .	16
Число входов	5
Число выходов	8
Время передачи информации от входа до выхода, нс	≤60
Потребляемая мощность, мВт	≤604

Схема управления последовательностью микрокоманд КМ1804ВУ4

Объем адресуемой памяти, слов	4096
Разрядность адреса	12
Объем стека, слов	5
Число выполняемых микроинструкций	16

Время передачи информации от входа тактового сигнала до выхода, нс	⩽125
Потребляемая мощность, мВт	⩾1806

Параллельный регистр КМ1804ИР1

Число каналов ввода информации	1
Число каналов вывода информации	2
Разрядность каналов ввода и вывода информации .	4
Время передачи информации от входа тактового сигнала до выхода, нс	⩽21
Потребляемая мощность, мВт	⩽683

Схема ускоренного переноса КМ1804ВР1

Число разрядов	4
Время передачи информации от входа до выхода, нс	⩽19
Потребляемая мощность, мВт	⩽572

Схема управления состоянием и сдвигами КМ1804ВР2

Число каналов ввода информации	2
Число каналов ввода/вывода информации	1
Разрядность каналов ввода и ввода/вывода информации	4
Разрядность микрокоманды	13
Число выполняемых типов сдвигов	32
Время передачи информации от тактового сигнала до выхода условия, нс	⩽58
Потребляемая мощность, мВт	⩽1670

Магистральный приемопередатчик КМ1804ВА1

Число каналов ввода информации	2
Число каналов вывода информации	1
Число каналов ввода/вывода информации	1
Разрядность каналов ввода, вывода и ввода/вывода информации	4
Время передачи информации от входа до выхода, нс	⩽42
Потребляемая мощность, мВт	⩽525

Магистральный приемопередатчик КМ1804ВА2

Число каналов ввода информации	1
Число каналов вывода информации	1
Число каналов ввода/вывода информации	1
Разрядность каналов ввода, вывода и ввода/вывода информации	4
Контроль четности	Имеется
Время передачи информации от входа до выхода, нс	⩽44
Потребляемая мощность, мВт	⩽600

Магистральный приемопередатчик КМ1804ВА3

Число каналов ввода информации	2
Число каналов вывода информации	1
Число каналов ввода/вывода информации	1
Разрядность каналов ввода, вывода и ввода/вывода информации	4
Контроль четности	Имеется
Время передачи информации от входа до выхода, нс	≤50
Потребляемая мощность, мВт	≤550

Параллельный регистр КМ1804ИР2

Число разрядов	8
Время передачи информации от входа тактового сигнала до выхода, нс	≤45
Потребляемая мощность, мВт	≤185

Параллельный двунаправленный регистр КМ1804ИР3

Число каналов ввода/вывода информации	2
Разрядность каналов ввода/вывода информации .	8
Время передачи информации от входа тактового сигнала до выхода, нс	≤26
Потребляемая мощность. мВт	≤1375

Генератор тактовых импульсов КМ1804ГГ1

Число выходных фаз	4
Число режимов работы	4
Частота опорного генератора, МГц	≤30
Потребляемая мощность, мВт	≤600

Схема векторного приоритетного прерывания КМ1804ВН1

Число запросов прерывания	8
Разрядность вектора прерывания	3
Число разрядов микрокоманды	4
Время передачи информации от входа тактового сигнала до выхода сигнала «Прерывание», нс	≤97
Потребляемая мощность, мВт	≤1525

Расширитель приоритетного прерывания КМ1804ВР3

Число входов	8
Число выходов	3
Время передачи информации от входа до выхода, нс	≤48
Потребляемая мощность, мВт	≤120

Секция управления адресом программной памяти КМ1804ВУ5

Число каналов ввода информации	1
Число каналов вывода информации	1
Разрядность каналов ввода и вывода информации .	4
Число разрядов микрокоманды	5
Время передачи информации от входа до выхода, нс	≤60
Потребляемая мощность, мВт	≤1100

Схема обнаружения и коррекции ошибок КМ1804ВЖ1

Число каналов ввода/вывода информации	2
Разрядность каналов ввода/вывода информации . .	8
Разрядность входной и выходной шин контрольных битов	7
Время передачи информации от входа до выхода, нс	≤61
Потребляемая мощность, мВт	≤2000

* n — число используемых микросхем.

Микросхемы серии КМ1804 выполнены в металлокерамических корпусах типа: 201.16-13 — КМ1804ВУ3, КМ1804ВР1, КМ1804ИР1; 2140Ю.20-2 — КМ1804ВУ2, КМ1804ВА2, КМ1804ВР3; 2108.22-1 — КМ1804ИР2; 2120.24-1 — КМ1804ВА1, КМ1804ВА3, КМ1804ГГ1; 2121.28-6 — КМ1804ВУ1; КМ1804ИР3, КМ1804ВУ5; 2123.40-6 — КМ1804ВС1, КМ1804ВР2, КМ1804ВУ4, КМ1804ВН1; 2126.48-1 — КМ1804ВС2, КМ1804ВЖ1.

Значительная часть МПК серии К1804 выпускается в пластмассовых корпусах. Такие микросхемы имеют обозначение КР1804... Их функциональное назначение и параметры соответствуют аналогичным по наименованию типономиналам МПК серии КМ1804.

Микросхемы серии КР1804 выполнены в пластмассовых корпусах типа: 201.16-16 — КР1804ВУ3, КР1804ВР1, КР1804ИР1; 2140.20-1 — КР1804ВУ2, КР1804ВА2, КР1804ВР3; 239.24-7 — КР1804ВА1, КР1804ВА3, КР1804ГГ1; 2121.28-4 — КР1804ВУ1; 2123.40-1 — КР1804ВС1, КР1804ВР2, КР1804ВУ4, КР1804ВН1.

3.7.1. Микросхема КМ1804ВС1

Микросхема КМ1804ВС1 представляет собой 4-разрядную микропроцессорную секцию, предназначенную для построения блоков обработки цифровой информации с разрядностью, кратной 4. Структурная схема КМ1804ВС1 представлена на рис. 3.44. Рассмотрим назначение основных узлов и принцип их взаимодействия.

Арифметическо-логическое устройство выполняет арифметические операции (сложение, вычитание с формированием сигналов переноса и состояния), логические операции (И, ИЛИ, ИСКЛЮЧАЮЩЕЕ ИЛИ, ИСКЛЮЧАЮЩЕЕ ИЛИ—НЕ), положительные и отрицательные приращения над операндами, поступающими с селектора входных данных. Тип выполняемой АЛУ микрокоманды задается кодом, подаваемым на входы MNS0—MNS8, причем разряды MNS0—MNS2 определяют источник входной информации в АЛУ, разряды MNS3—MNS5 — выполняемую функцию, а разряды MNS6—MNS8 — приемник результата. Код микрокоманды поступает в блок управления, который в соответствии с выполняемой микрокомандой формирует комплекс сигналов, управляющих работой различных узлов микросхемы. Источником информации для АЛУ могут быть регистры А, В, Q и информация, поступающая с шины данных D0—D3. Выбор входных операндов осуществляет селектор входных данных. Результат выполнения операции через селектор выходных данных выдается на шину Y0—Y3. При выполнении определенных микрокоманд на шину Y выдается содержимое регистра А. Сигнал EY «Разрешение выходов Y» управляет выходами Y0—Y3. При подаче на вход EY напряжения

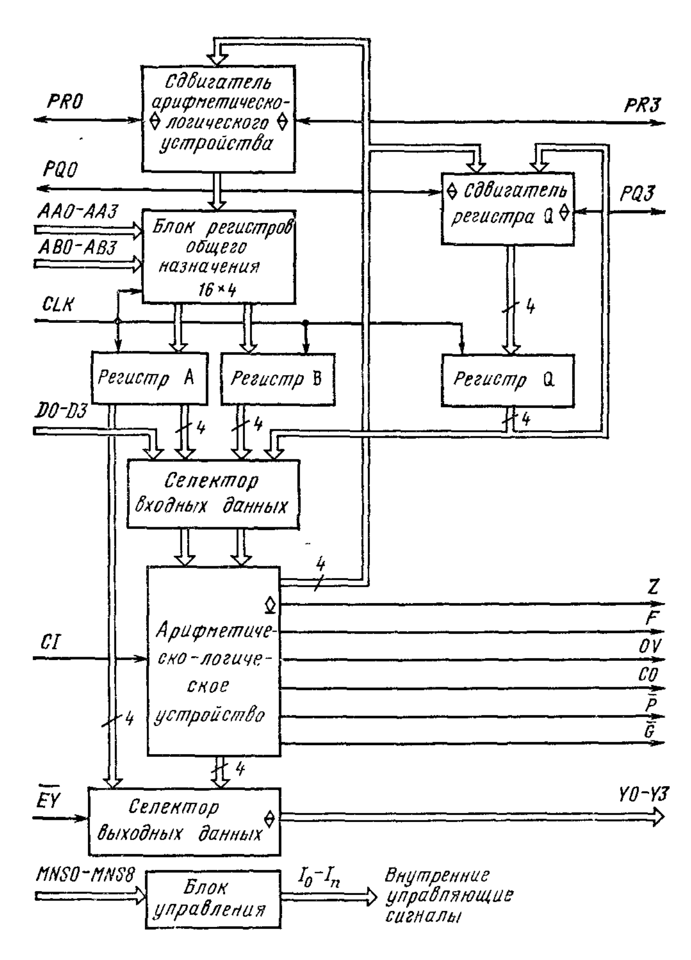


Рис. 3.44. Структурная схема КМ1804ВС1

высокого уровня выходы Y0—Y3 переводятся в состояние «Выключено» При выполнении определенных микрокоманд одновременно с выдачей результата на выходную шину Y производится запись результата из АЛУ через соответствующий сдвигатель в блок РОН или в регистр Q.

Блок РОН состоит из шестнадцати 4-разрядных регистров и позволяет осуществлять обращение одновременно и независимо к двум регистрам, адресуемым кодами, поступающими по шинам АА и АВ Сдвигатель АЛУ обеспечивает запись в блок РОН результата АЛУ непосредственно или со сдвигом вправо или влево на 1 разряд.

Регистр Q — 4-разрядный промежуточный регистр, предназна-

ченный для хранения результата операции. Запись информации в регистр Q осуществляется через его сдвигатель либо непосредственно с выхода АЛУ, либо из регистра Q со сдвигом вправо или влево на 1 разряд. Для организации сдвига информации в регистре Q и РОН используются соответственно входы/выходы PQ0, PQ3 и PR0, PR3 При выполнении арифметических и логических операций АЛУ формирует ряд признаков: Z «Признак нуля», F «Старший разряд результата», OV «Переполнение», CO «Выход переноса», которые выдаются на соответствующие выводы микросхемы. Работа различных узлов микросхемы синхронизируется одним тактовым сигналом CLK. Назначение выводов КМ1804ВС1 приведено в табл. 3.49.

Таблица 3.49

Номер вывода	Обозначение	Назначение
4—1	AA0—AA3	Шина адреса канала A
17—20	AB0—AB3	Шина адреса канала B
25—22	D0—D3	Входная шина данных
12—14, 26, 28, 27, 5, 7, 6	MNS0—MNS8	Микрокоманда
36—39	Y0—Y3	Выходная шина
8, 9, 16, 21	PR3, PR0, PQ3, PQ0	Входы/выходы сдвига
10	U_{cc}	+5 В
11	Z	Признак нуля
15	CLK	Тактовый сигнал
29	CI	Вход переноса
30	GND	Общий
31	F	Старший разряд результата
32, 35	G, P	Генерация, распространение переноса
33	CO	Выход переноса
34	OV	Переполнение
40	EY	Разрешение выходов Y

3.7.2. Микросхема КМ1804ВС2

Микросхема КМ1804ВС2 представляет собой 4-разрядную микропроцессорную секцию параллельной обработки информации и предназначена для построения операционных блоков вычислительных устройств с разрядностью, кратной 4. Микросхема КМ1804ВС2 по сравнению с микросхемой КМ1804ВС1 выполняет большее число арифметическо-логических функций и дополнительно реализует 9 специальных функций, таких как умножение без знака, умножение и деление в дополнительном коде, умножение и деление в дополнительном коде с коррекцией, увеличение числа на 1 или 2, преобразование числа со знаком в дополнительный код, нормализация слова обычной и двойной длины. Использование специальных функций позволяет существенно повысить быстродействие систем, построенных на основе микросхем КМ1804ВС2, и сэкономить объем требуемой памяти

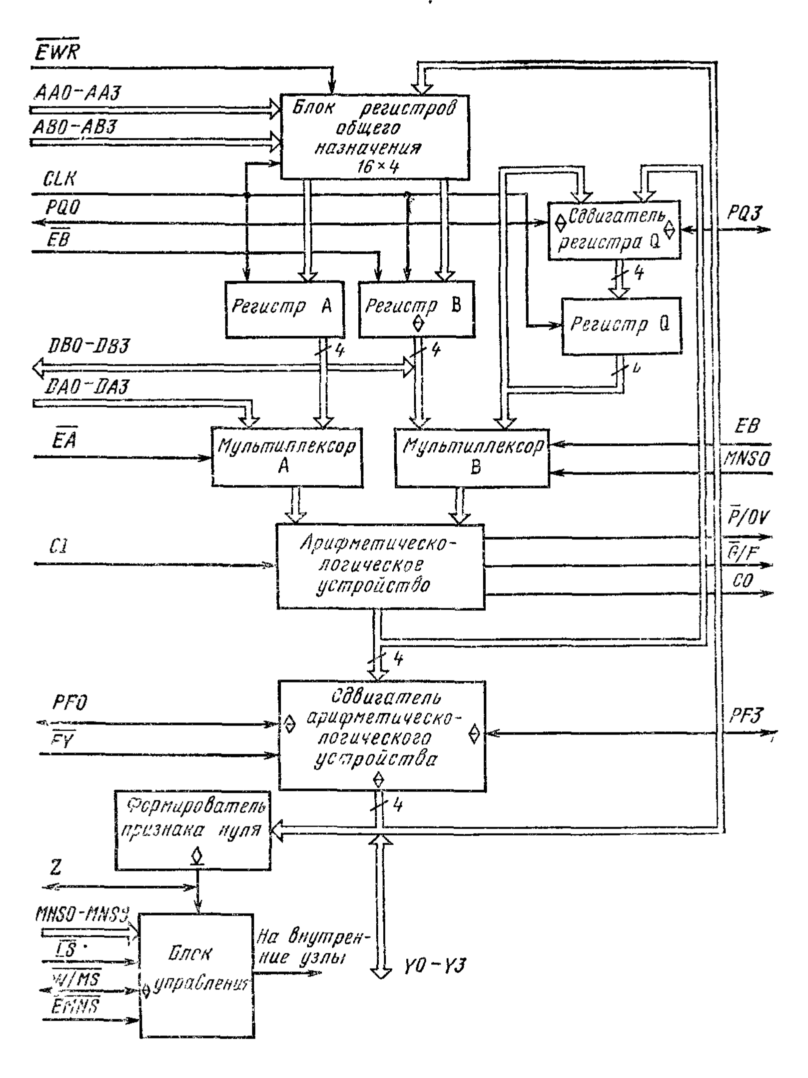


Рис. 3.45. Структурная схема КМ1804ВС2

программ. Кроме того, микросхема КР1804ВС2 обеспечивает возможность расширения файла РОН и осуществляет контроль четности. Структурная схема КМ1804ВС2 приведена на рис. 3.45.

Особенностью микросхемы КМ1804ВС2 является необходимость программирования местоположения секции: младшая, средняя, старшая, что осуществляется подачей напряжения определенного уровня

на выводы LS и W/MS «Управление относительным положением». Отдельные выводы микросхемы в зависимости от ее местоположения имеют различное назначение. Рассмотрим назначение основных узлов. Арифметическо-логическое устройство выполняет арифметические, логические и специальные микрокоманды над операндами, поступающими с мультиплексоров А и В. Мультиплексор А передает на вход АЛУ информацию с шины данных DA или с блока РОН через регистр А; мультиплексор В — с шины данных DB, с регистра Q и с блока РОН через регистр В. Различные сочетания источников информации, поступающей на вход АЛУ, определяются управляющими сигналами ЕА «Разрешение шины DA», MNS0 «Микрокоманда 0 разряд» и ЕВ «Разрешение выходов DB». В зависимости от выполняемой микрокоманды АЛУ вырабатывает сигналы состояния Р, G, OV, F, CO, причем выводы сигналов P/OV и G/F совмещены и назначение этих выводов зависит от местоположения микропроцессорной секции. Для старшей секции эти выводы имеют назначение OV «Переполнение» и F «Старший разряд результата»; для остальных секций выводы P/OV и G/F являются выходами генерации G и распространения Р переносов.

Информация с выхода АЛУ поступает на сдвигатель регистра Q и сдвигатель АЛУ, управляемый сигналом EY «Разрешение выходов Y». Сдвигатель АЛУ обеспечивает передачу результата без сдвига и со сдвигом вправо или влево на 1 разряд. При наличии на входе EY напряжения низкого уровня информация с АЛУ поступает на выходную шину Y0—Y3 или записывается в блок РОН. При высоком уровне напряжения на входе EY выходы сдвигателя АЛУ переводятся в состояние «Выключено», и шина Y может использоваться как входная шина данных для записи в блок РОН.

Формирователь признака нуля вырабатывает сигнал Z «Признак нуля», если содержимое АЛУ или содержимое регистра Q или того и другого равно нулю. При выполнении некоторых специальных микрокоманд вывод Z является входом.

Блок РОН состоит из шестнадцати 4-разрядных регистров, каждый из которых может быть как источником операндов, так и местом записи результата. Блок РОН имеет две 4-разрядные адресные шины АА0—АА3 и АВ0—АВ3. Адреса АА и АВ могут поступать из полей микрокоманды или из других блоков; данные — с выхода сдвигателя АЛУ или с двунаправленной шины Y. Запись информации в блок РОН производится только по адресу АВ при наличии на входах EWR «Разрешение записи» и CLK «Тактовый сигнал» напряжения низкого уровня. Считывание информации из блока РОН может производиться одновременно по адресам АА и АВ. Если на адресных входах установлены одинаковые адреса, то в регистры А и В считывается одна и та же информация. Управление передачей информации через регистры А и В осуществляется сигналом CLK. Регистр В в отличие от регистра А имеет на выходе состояние «Выключено», управление которым осуществляется сигналом ЕВ «Разрешение выходов DB». При высоком уровне напряжения на входе ЕВ выводы регистра В переводятся в состояние «Выключено», и шина DB может использоваться для ввода данных в АЛУ.

Регистр Q — 4-разрядный рабочий регистр, служащий источником операнда для АЛУ или приемником информации через сдвигатель регистра Q с выходов АЛУ или с собственных выходов. Запись информации в регистр Q производится по положительному фронту сигнала CLK при наличии на входе EMNS «Разрешение микрокоманды»

Таблица 3.50

Номер вывода	Обозначение	Назначение
30—27	AA0—AA3	Шина адреса канала A
44—47	AB0—AB3	Шина адреса канала B
3—6	DA0—DA3	Входная шина данных DA
23—26	DB0—DB3	Шина ввода/вывода данных DB
16—19	Y0—Y3	Шина ввода/вывода данных Y
42, 41, 7—9, 35—32	MNS0—MNS8	Микрокоманда
2	EA	Разрешение шины DA
10	CI	Вход переноса
11	CO	Выход переноса
12	P/OV	Распространение переноса/переполнение
13	GND	Общий
14	G/F	Генерация переноса/старший разряд результата
15	EY	Разрешение выходов Y
1, 20, 21, 48	PQ0, PF0, PF3, PQ3	Входы/выходы сдвига
22	Z	Признак нуля
31	EB	Разрешение выходов DB
36	U_{cc}	-5 В
37	EWR	Разрешение записи
38	EMNS	Разрешение микрокоманды
39, 40	LS, W/MS	Управление относительным положением
43	CLK	Тактовый сигнал

напряжения низкого уровня. Код микрокоманды задается сигналами MNS0—MNS8 на входе блока управления, который в соответствии с выполняемой микрокомандой формирует управляющие сигналы, поступающие на различные узлы микросхемы. Назначение выводов КМ1804ВС2 приведено в табл. 3.50.

3.7.3. Микросхемы КМ1804ВУ1 и КМ1804ВУ2

Микросхема КМ1804ВУ1 предназначена для формирования адреса микрокоманды, подлежащей выполнению, и используется для создания микропрограммных устройств управления. Структурная схема КМ1804ВУ1 представлена на рис. 3.46. Рассмотрим назначение основных узлов и принцип их взаимодействия.

Блок выборки адреса формирует адрес управляющей памяти, где хранится микрокоманда, и представляет собой мультиплексор, на вход которого подается информация с различных источников: регистра адреса, стека, счетчика микрокоманд, шины данных D0—D3, маскирующей шины OR0—OR3. Управление выбором источника осуще-

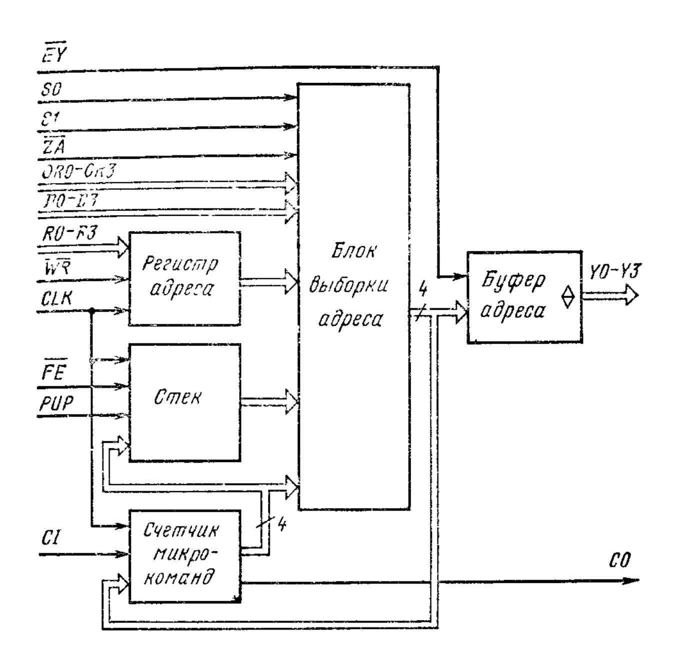


Рис. 3.46 Структурная схема КМ1804ВУ1

ствляется сигналами S0, S1 «Выбор адреса». Кроме того, блок выборки адреса по сигналу ZA «Нулевой адрес» низкого уровня осуществляет переход к нулевому адресу: формирует на выходах Y0—Y3 сигналы низкого уровня независимо от состояния остальных входов.

Адрес микрокоманды с блока выборки адреса через буфер адреса, имеющий на выходе состояние «Выключено», выдается на выходную шину Y0—Y3. Перевод буфера адреса в состояние «Выключено» осуществляется при подаче на вход EY «Разрешение выходов Y» напряжения низкого уровня.

Регистр адреса представляет собой 4-разрядный регистр, построенный на триггерах D-типа. Запись информации в регистр адреса происходит по положительному фронту тактового сигнала CLK при наличии напряжения низкого уровня на входе WR «Запись». Стек, состоящий из указателя стека, накопителя стека 4×4 и схемы записи/считывания, предназначен для хранения адреса микрокоманды и обеспечивает переход с возвратом при выполнении микропрограммы. Стек организован по принципу памяти «магазинного» типа и может работать в трех режимах в зависимости от состояния управляющих сигналов FE «Разрешение стека» и PUP «Управление стеком»: чтение без изменения состояния указателя стека; запись адреса микрокоманды с увеличением указателя стека на 1; выдача адреса микрокоманды с уменьшением указателя стека на 1.

Запись информации в стек производится из счетчика микро-

команд по тактовому сигналу CLK. Счетчик микрокоманд выполнен в виде 4-разрядного регистра и схемы приращения и предназначен для хранения и преобразования информации, поступающей с выхода блока выборки адреса. Управление счетчиком микрокоманд осуществляется сигналом CI «Вход переноса». При установке на входе CI напряжения низкого уровня адрес с блока выборки адреса передается немодифицированным и по очередному сигналу CLK будет выполняться та же микрокоманда. При поступлении на вход CI напряжения высокого уровня в счетчик микрокоманд по положительному фронту сигнала CLK будет записываться адрес, представляющий собой выходной адрес микрокоманды, увеличенный на 1.

В микросхеме с помощью сигналов маскирования OR0—OR3 предусмотрена возможность модификации адреса на выходной шине Y. Подача напряжения высокого уровня на любой из входов OR0—OR3 приводит к установке напряжения высокого уровня на соответствующем выходе. Назначение выводов КМ1804ВУ1 приведено в табл. 3.51.

Назначение микросхемы КМ1804ВУ2, состав ее основных узлов и принцип их взаимодействия в основном, те же, что и микросхемы КМ1804ВУ1. Структурная схема КМ1804ВУ2 представлена на рис. 3.47. Отличие состоит в том, что в микросхеме КМ1804ВУ2 отсутствует маскирующая шина OR0—OR3 и входы регистра адреса объединены внутри микросхемы с информационными входами и вы-

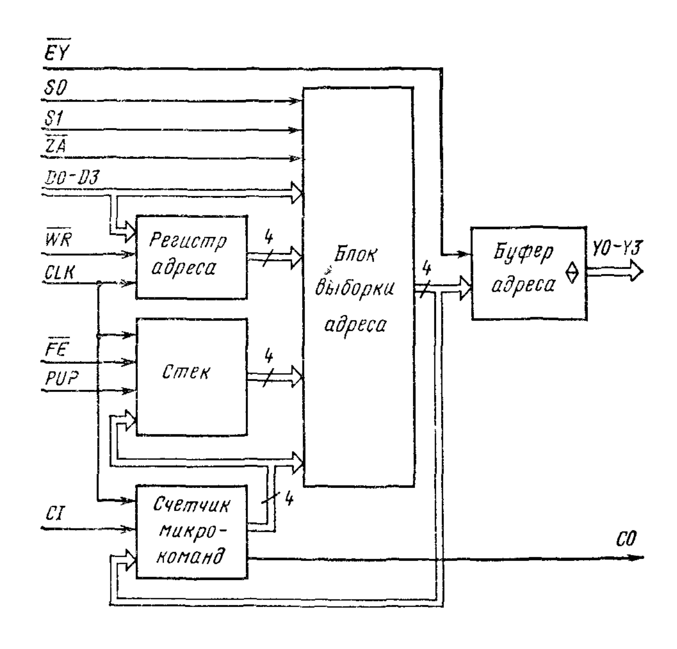


Рис. 3.47. Структурная схема КМ1804ВУ2

Таблица 3.51

Номер вывода	Обозначение	Назначение
5—2	R0—R3	Шина регистра адреса
12, 10, 8, 6	OR0—OR3	Маскирующая шина
13, 11, 9, 7	D0—D3	Входная шина данных
18—21	Y0—Y3	Выходная шина адреса
1	WR	Запись
14	GND	Общий
15	ZA	Нулевой адрес
16, 17	S0, S1	Выбор адреса
22	EY	Разрешение выходов Y
23	CI	Вход переноса
24	CO	Выход переноса
25, 26	FE, PUP	Управление стеком
27	CLK	Тактовый сигнал
28	U_{cc}	+5 В

ведены на выводы D0—D3. Микросхемы КМ1804ВУ1 и КМ1804ВУ2 выполнены в разных корпусах. Назначение выводов КМ1804ВУ2 приведено в табл 3.52.

Таблица 3.52

Номер вывода	*Обозначение*	*Назначение*
7—4	D0—D3	Входная шина адреса
12—15	Y0—Y3	Выходная шина адреса
1	CLK	Тактовый сигнал
2	U_{cc}	+5 В
3	WR	Запись
8	GND	Общий
9	ZA	Нулевой адрес
10, 11	S0, S1	Выбор адреса
16	EY	Разрешение выходов Y
17	CI	Вход переноса
18	CO	Выход переноса
19, 20	FE, PUP	Управление стеком

3.7.4. Микросхема КМ1804ВУ3

Микросхема КМ1804ВУ3 представляет собой схему управления выбором следующего адреса и предназначена для преобразования поля микрокоманды, выбранной из управляющей памяти, в комплекс сигналов, управляющих работой различных узлов блока микропрограммного управления (БМУ).

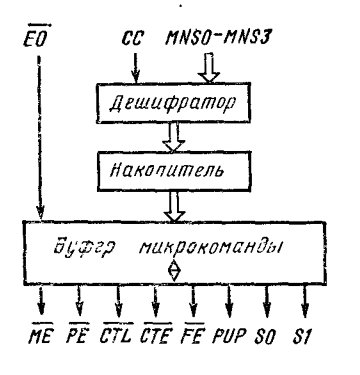


Рис. 3.48. Структурная схема КМ1804ВУ3

Микросхему КМ1804ВУ3 целесообразно использовать совместно со схемой КМ1804ВУ1 (КМ1804ВУ2). Причем в зависимости от необходимого объема памяти микрокоманд число используемых схем КМ1804ВУ1 (КМ1804ВУ2) можно увеличивать. Структурная схема КМ1804ВУ3 представлена на рис. 3.48 Микросхема КМ1804ВУ3 может реализовать 16 различных операций по управлению выбором следующего адреса: переход к нулевому адресу, условный переход к подпрограмме, условный возврат из подпрограммы и др. Для каждой выполняемой операции, задаваемой кодом, поступающим на входы MNS0—MNS3, микросхема в зависимости от значения признака ветвления CC формирует на выходах различные значения управляющих сигналов, которые, поступая на определенные узлы БМУ, однозначно определяют следующий адрес выполняемой микрокоманды. Назначение выводов КМ1804ВУ3 приведено в табл. 3.53.

Таблица 3.53

Номер вывода	Обозначение	Назначение
11—14	MNS0—MNS3	Микрокоманда
1	ME	Разрешение работы ПЛМ
2, 3	PUP, FE	Управление стеком
4, 5	S1, S0	Выбор адреса
6	CTL	Разрешение загрузки счетчика
7	CTE	Разрешение счета
8	GND	Общий
9	PE	Разрешение регистра микрокоманд
10	CC	Признак ветвления
15	EO	Разрешение выходов
16	U_{cc}	+5 В

3.7.5. Микросхема КМ1804ВУ4

Микросхема КМ1804ВУ4 представляет собой схему управления последовательностью микрокоманд и предназначена для формирования адреса микропрограммной памяти объемом до 4К слов. При построении БМУ микросхема КМ1804ВУ4 по своим функциональным возможностям равнозначна использованию трех микросхем КМ1804ВУ1 (или КМ1804ВУ2) и одной микросхемы КМ1804ВУ3.

Структурная схема КМ1804ВУ4 представлена на рис. 3.49. Блок

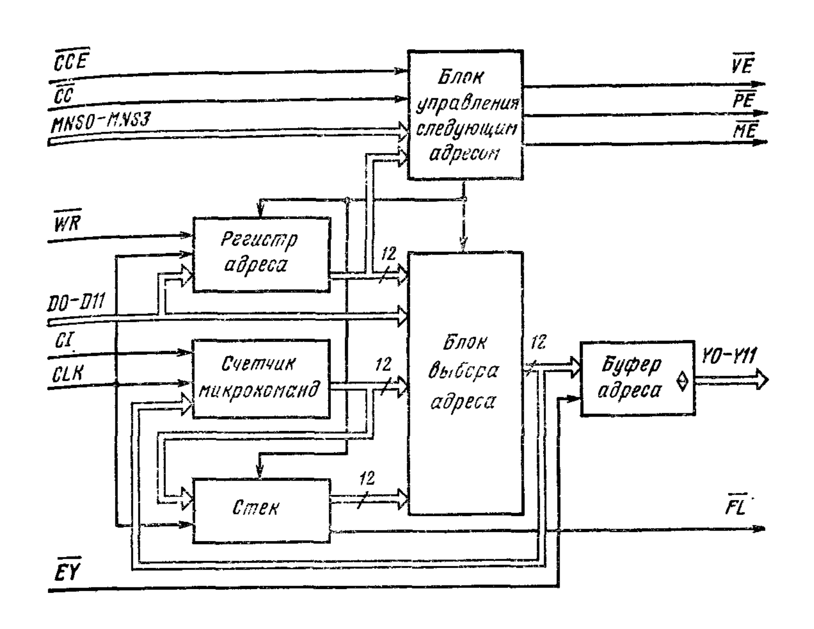


Рис. 3.49. Структурная схема КМ1804ВУ4

выбора адреса формирует 12-разрядный адрес следующей микрокоманды, который через буфер адреса выдается на выходную шину Y0—Y11. Буфер адреса имеет на выходе состояние «Выключено» и переводится в это состояние сигналом EY «Разрешение выходов» высокого уровня Источником информации для блока выбора адреса могут служить регистр адреса, стек, счетчик микрокоманд и входная шина D0—D11. Управление выбором источника адреса осуществляет блок управления следующим адресом, который в зависимости от кода микрокоманды, подаваемой на входы MNS0—MNS3, выполняет 16 микроинструкций. При выполнении каждой микроинструкции одновременно с сигналами, управляющими работой отдельных узлов микросхемы, блок управления следующим адресом вырабатывает один из сигналов разрешения выбора внешнего источника адреса — VE, PE, ME, информация с которого подключается к шине D. В качестве внешнего источника могут использоваться регистр микрокоманд, преобразователь начального адреса или адрес вектора прерывания. Выполнение большинства микроинструкций (12 из 16) зависит от некоторого условия, в качестве которого выступает либо сигнал равенства нулю содержимого регистра адреса (две микроинструкции), либо значение сигналов на входах CC «Вход условия» и CCE «Разрешение условия», либо их совокупность

Регистр адреса, выполненный на двенадцати триггерах D-типа, предназначен для записи и хранения адреса, поступающего с шины D0—D11. Запись в регистр адреса осуществляется по положительному фронту тактового сигнала CLK при наличии напряжения низ-

кого уровня на входе WR «Запись» или при поступлении сигнала управления записью с блока управления следующим адресом. Для некоторых микрокоманд регистр адреса может выполнять функцию счетчика, содержимое которого уменьшается на единицу по каждому положительному фронту тактового сигнала. При этом на входе WR должно быть установлено напряжение высокого уровня.

Стек, состоящий из указателя стека, накопителя стека и схемы записи/считывания, предназначен для хранения адреса микрокоманды и обеспечивает переход с возвратом при выполнении микропрограммы. Изменение указателя стека, представляющего собой реверсивный счетчик, и запись в один из пяти 12-разрядных регистров, составляющих накопитель стека, происходит по положительному фронту сигнала CLK. Управление работой стека осуществляется сигналами, вырабатываемыми блоком управления следующим адресом. Указатель стека определяет регистр накопителя стека, содержащий информацию, записанную в стек последней. При записи в стек содержимое указателя стека увеличивается на 1, при считывании уменьшается на 1. Схема позволяет осуществлять любую последовательность микроинструкций для обращения к стеку. При переходе указателя стека в состояние «5» на выходе FL «Стек заполнен» формируется низкий уровень напряжения. При записи в заполненный стек состояние указателя стека не изменяется, происходит запись в тот же регистр накопителя стека, который определен его указателем.

Счетчик микрокоманд, включающий регистр счетчика микрокоманд и схему приращения, предназначен для преобразования и хранения адреса, поступающего с выхода блока выбора адреса

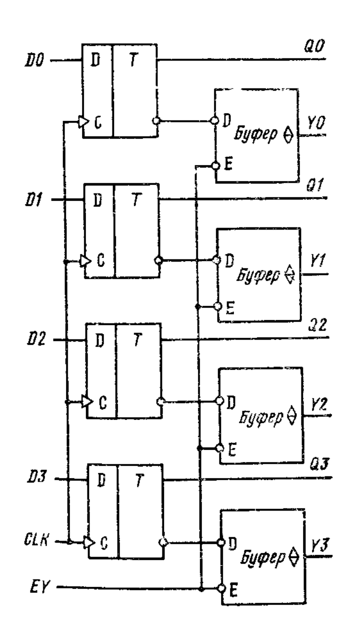
Таблица 3.54

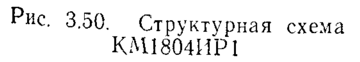
Номер вывода	Обозначение	Назначение
34, 36, 38, 40, 2, 4, 17, 19, 21, 23, 25, 27	D0—D11	Входная шина адреса
33, 35, 37, 39, 1, 3, 18, 20, 22, 24, 26, 28	Y0—Y11	Выходная шина адреса
12, 11, 9, 8	MNS0—MNS3	Микрокоманда
5	VE	Разрешение источника адреса
6	PE	Разрешение источника микрокоманд
7	ME	Разрешение дешифратора команд
10	U_{cc}	+5 В
13	CCE	Разрешение условия
14	CC	Вход условия
15	WR	Запись
16	FL	Стек заполнен
29	EY	Разрешение выходов
30	GND	Общий
31	CLK	Тактовый сигнал
32	CI	Вход переноса

Управление счетчиком микрокоманд осуществляется сигналом CI, причем, если CI=0, адрес с блока выбора адреса передается немодифицированным и по следующему сигналу CLK будет выполняться та же микрокоманда. Если CI=1, то в счетчике микрокоманд по положительному фронту сигнала на входе CLK запишется адрес, представляющий собой текущий выходной адрес, увеличенный на 1. Назначение выводов КМ1804ВУ4 приведено в табл. 3.54.

3.7.6. Микросхема КМ1804ИР1

Микросхема КМ1804ИР1 представляет собой 4-разрядный регистр, предназначенный для записи и хранения информации. Структурная схема регистра представлена на рис. 3.50. Регистр состоит из четырех триггеров D-типа и четырех буферов, имеющих на выходе состояние «Выключено». Запись информации в регистр производится с информационных входов D0—D3 по положительному фронту тактового сигнала CLK. Информация, записанная в регистр, считывается либо с прямых выходов триггеров Q0—Q3, либо с выходов буферов Y0—Y3. Считывание с буферов осуществляется при наличии на входе EY «Разрешение выходов Y» напряжения низкого уровня. При напряжении высокого уровня на входе EY выходы Y0—Y3 находятся в состоянии «Выключено». Назначение выводов КМ1804ИР1 приведено в табл. 3.55.




Рис. 3.50. Структурная схема КМ1804ИР1

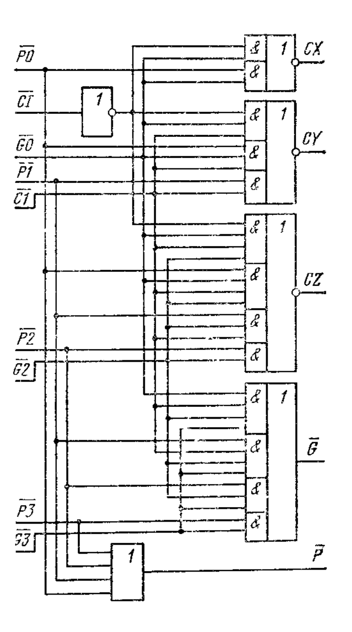


Рис. 3.51. Функциональная схема КМ1804ВР1

Таблица 3.55

Номер вывода	Обозначение	Назначение
1, 4, 12, 15	D0—D3	Входная шина данных
2, 5, 11, 14	Q0—Q3	Выходная шина Q
3, 6, 10, 13	Y0—Y3	Выходная шина Y
7	EY	Разрешение выходов Y
8	GND	Общий
9	CLK	Тактовый сигнал
16	U_{cc}	+5 В

3.7.7. Микросхема КМ1804ВР1

Микросхема КМ1804ВР1 представляет собой схему ускоренного переноса и позволяет организовать параллельные цепи переноса в процессоре разрядностью до 20. Функциональная схема КМ1804ВР1 представлена на рис. 3.51. На микросхему поступают до четырех пар сигналов распространения и генерации переноса P0—P3, G0—G3 и сигнал входного переноса CI. Схема ускоренного переноса формирует выходные сигналы в соответствии со следующими уравнениями:

$$P = P0 + P1 + P2 + P3;$$

$$G = P3G3 + P2G2G3 + P1G1G2G3 + G0G1G2G3;$$

$$CX = \overline{CI}G0 + P0G0;$$

$$CY = \overline{CI}G0G1 + P0G0G1 + P1G1;$$

$$CZ = \overline{CI}G0G1G2 + P0G0G1G2 + P1G1G2 + P2G2.$$

Назначение выводов КМ1804ВР1 приведено в табл. 3.56.

Таблица 3.56

Номер вывода	Обозначение	Назначение
4, 2, 15, 6	P0—P3	Входы распространения переноса
3, 1, 14, 5	G0—G3	Входы генерации переноса
7, 10	P, G	Выходы распространения, генерации переноса
8	GND	Общий
12, 11, 9	CX, CY, CZ	Выходы переноса младшей, средней и старшей групп
13	CI	Вход переноса
16	U_{cc}	+5 В

3.7.8. Микросхема КМ1804ВР2

Микросхема КМ1804ВР2 представляет собой схему управления состоянием и сдвигами и предназначена для работы в составе блоков обработки данных. Микросхема производит обработку признаков состояния, поступающих из АЛУ, выполняя операции как над всем 4-разрядным словом состояния, так и над каждым битом в отдельности; формирует сигнал переноса, выбирая его из семи источников; организует 32 варианта сдвига (арифметический, логический, циклический одинарной и двойной длины и т. д.); выполняет 16 операций по формированию сигнала условия. Структурная схема КМ1804ВР2 представлена на рис. 3.52.

Признаки состояния микропроцессорного устройства Z «Нуль», C «Перенос», N «Знак» и OV «Переполнение» поступают соответственно на входную шину IZ, IC, IN, IOV. Их хранение и обработка осуществляются на 4-разрядных регистрах N и M, построенных на триггерах D-типа. Запись информации в регистры N и M происходит по положительному фронту тактового сигнала CLK при наличии соответственно на входах WRN и WRM «Запись в регистры N и M» напряжения низкого уровня.

Информация в регистр N поступает через мультиплексор регистра N. В зависимости от кода микрокоманды, поступившего на входы MNS0—MNS3, в регистр N может быть записана информация с входной шины признаков состояния или с выходов регистра M, а также могут быть записаны все «0» или все «1». Операции, выполняемые регистром N, делятся на: поразрядные, когда в любой из разрядов производится запись «0» или «1»; регистровые, когда операция осуществляется над всем словом; операции записи, при выполнении которых запись признаков состояния с входной шины I в регистр N производится либо непосредственно, либо с модификацией, например с инверсией признака переноса.

Информация в регистр M поступает через мультиплексор регистра M и может быть записана с входной шины признаков состояния, или с двунаправленных выводов признаков состояния Y, или с выходов регистра N. Кроме того, в каждый из разрядов регистра M может быть записан «0» или «1». Так же как и регистр N, регистр M позволяет выполнять поразрядные операции, регистровые и запись в регистр M с входной шины признаков состояния. Управление регистровыми операциями и операциями записи осуществляется сигналами, подаваемыми на входы MNS0—MNS3 «Микрокоманда». Поразрядные операции выполняются с помощью сигналов разрешения записи EZ, EC, EN, EOV. В зависимости от значения входов MNS4, MNS5 содержимое регистра M или N, или входной шины признаков состояния через мультиплексор поступает в буфер признаков состояния и блок проверки условий. Буфер признаков состояния при наличии на входе EY «Разрешение выходов Y» напряжения низкого уровня выдает признаки на двунаправленную шину Y. При поступлении на вход EY напряжения высокого уровня или напряжения низкого уровня на входы MNS0—MNS5 выходы буфера признаков состояния устанавливаются в состояние «Выключено», а шина Y переключается в режим приема признаков.

Блок проверки условий выполняет до 16 операций над данными, поступившими с мультиплексора признаков состояния, и формирует сигнал условия, который при наличии на входе ECC «Разре-

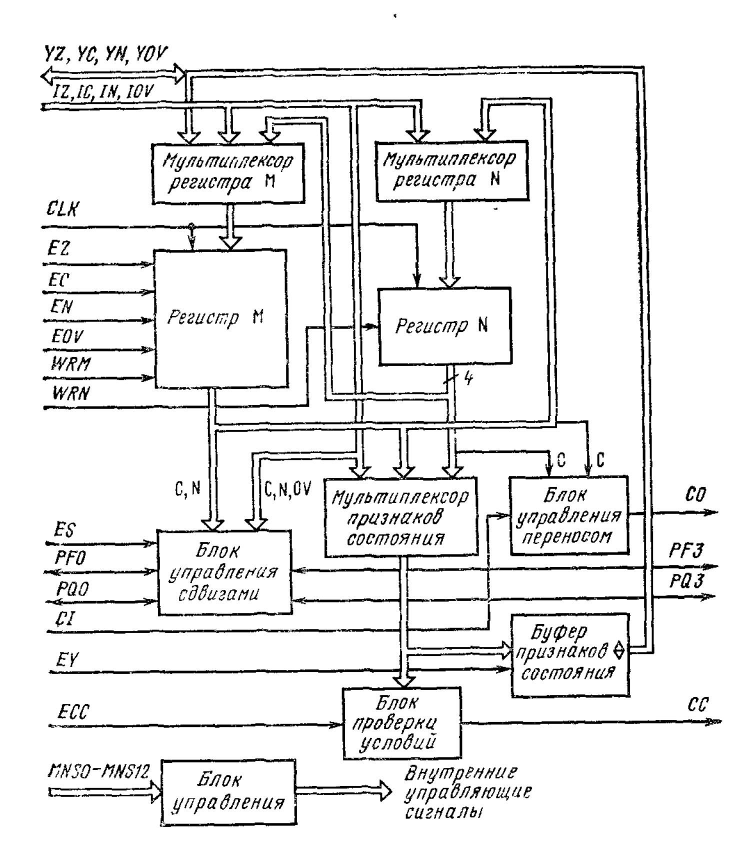


Рис. 3.52. Структурная схема КМ1804ВР2

шение выхода CC» напряжения низкого уровня выдается на вывод CC «Условие» прямым или инверсным кодом.

Блок управления переносом осуществляет формирование выходного переноса CO от семи различных источников переноса в зависимости от значения управляющих сигналов, подаваемых на входы MNS0—MNS3, MNS5, MNS11, MNS12.

Блок управления сдвигами в зависимости от значения управляющих сигналов на входах MNS6—MNS10 формирует 32 вида сдвигов. Направление сдвига определяется входом MNS10. При высоком уровне напряжения на входе MNS10 выполняются сдвиги влево, при низком — вправо. Выводы PF0, PF3, PQ0, PQ3 — двунаправленные и в зависимости от выполняемого вида сдвига могут использоваться в качестве входов или выходов. В последнем случае возможна установка выходов в состояние «Выключено», что обеспечивается подачей на вход ES «Разрешение выходов сдвига» напряжения высокого уровня.

Таблица 3.57

Номер вывода	Обозначение	Назначение
9, 12, 14, 16	IZ, IC, IN, IOV	Признаки состояния
8, 11, 13, 15	EZ, EC, EN, EOV	Разрешение записи признаков состояния
32, 31, 29, 28	YZ, YC, YN, YOV	Выходы признаков состояния
18, 19, 21, 6—3, 1, 40—38, 22, 23	MNS0—MNS12	Микрокоманда
2, 7	WRN, WRM	Запись в регистры N и M
10	U_{cc}	+5 В
17	CLK	Тактовый сигнал
20	EY	Разрешение выходов Y
24	CI	Вход переноса
25	CO	Выход переноса
26	ECC	Разрешение выхода CC
27	CC	Условие
30	GND	Общий
33—36	PQ3, PQ0, PR3, PR0	Входы/выходы сдвига
37	ES	Разрешение выходов сдвига

Блок управления представляет собой комбинационную схему, которая в соответствии с кодом поступившей микрокоманды MNS0—MNS12 формирует сигналы, управляющие различными узлами микросхемы. Назначение выводов КМ1804ВР2 приведено в табл. 3.57.

3.7.9. Микросхема КМ1804ВА1

Микросхема КМ1804ВА1 представляет собой 4-разрядный канальный приемопередатчик, предназначенный для применения в микропроцессорных системах в качестве буферного устройства для приема, хранения и передачи информации. Структурная схема КМ1804ВА1 представлена на рис. 3.53.

В состав передатчика входят: мультиплексор входных данных, регистр передатчика и выходной буфер передатчика. Входные данные, подаваемые на шину DA или DB, через мультиплексор входных данных, управляемый сигналом SED, поступают в регистр передатчика. При низком уровне напряжения на входе SED производится передача данных с шины DA, при высоком — с шины DB.

Регистр передатчика представляет собой 4-разрядный регистр, выполненный на триггерах D-типа, с записью информации по положительному фронту тактового сигнала CLK. Информация из регистра передатчика через выходной буфер, управляемый сигналом EB «Разрешение шины B», выдается на двунаправленные выводы B0—B3. Выходной буфер имеет выходы с открытым коллектором и осуществляет передачу информации при наличии на входе EB напря-

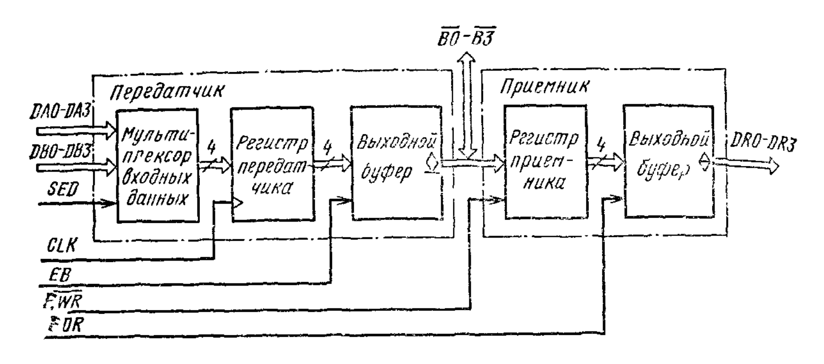


Рис. 3.53. Структурная схема КМ1804ВА1

жения высокого уровня. Приемник микросхемы КМ1804ВА1 состоит из 4-разрядного регистра, выполненного на D-триггерах типа «Защелка», и выходного буфера приемника, имеющего на выходе состояние «Выключено». Управление приемом и хранением информации, поступающей в регистр приемника по двунаправленной шине В, осуществляется сигналом EWR «Разрешение записи». При низком уровне сигнала EWR информация с выводов В0—В3 через регистр приемника и его выходной буфер передается на выходы DR0—DR3. При высоком уровне сигнала EWR информация, поступившая на шину В, запоминается в регистре приемника и хранится в течение всего времени, пока на выводе EWR присутствует сигнал высокого уровня. Управление выходным буфером приемника осуществляется сигналом EDR «Разрешение шины DR». При подаче на вход EDR напряжения высокого уровня выходы DR устанавливаются в состояние «Выключено» Передача информации с шин DA и DB на В и с шины В на DR осуществляется с инверсией. Назначение выводов КМ1804ВА1 приведено в табл. 3.58.

Таблица 3.58

Номер вывода	Обозначение	Назначение
1	EWR	Разрешение записи в приемник
2, 10, 14, 22	DR0—DR3	Выходная шина DR
3, 9, 15, 21	DB0—DB3	Входная шина данных В
4, 8, 16, 20	DA0—DA3	Входная шина данных А
5, 7, 17, 19	B0—B3	Шина ввода/вывода информации
6, 18	GND	Общий
11	EB	Разрешение шины В
12	EDR	Разрешение шины DR
13	SED	Выбор входных данных
23	CLK	Тактовый сигнал
24	U_{cc}	+5 В

3.7.10. Микросхема КМ1804ВА2

Микросхема КМ1804ВА2 представляет собой 4-разрядный канальный приемопередатчик и выполняет те же функции в микропроцессорных системах, что и микросхема КМ1804ВА1. Структурная схема КМ1804ВА2 представлена на рис 3.54.

Микросхема КМ1804ВА2 в отличие от микросхемы КМ1804ВА1 имеет одну шину входных данных DA и схему генерации бита контроля четности В зависимости от режима работы приемопередатчика, определяемого состоянием входа EB «Разрешение шины В», схема генерации бита контроля четности передает на выход М2 «Признак» сумму по mod 2 входных сигналов регистра передатчика (при EB=0) или сумму по mod 2 выходных сигналов приемника (при EB=1). В остальном работа микросхемы КМ1804ВА2 аналогична работе микросхемы КМ1804ВА1. Назначение выводов КМ1804ВА2 приведено в табл. 3 59

Таблица 3.59

Номер вывода	Обозначение	Назначение
1	EWR	Разрешение записи в приемник
2, 8, 12, 18	DR0—DR3	Выходная шина DR
3, 7, 13, 17	DA0—DA3	Входная шина данных A
4, 6, 14, 16	B0—B3	Шина ввода/вывода информации
5, 15	GND	Общий
9	EB	Разрешение шины B
11	EDR	Разрешение шины DR
10	M2	Признак
19	CLK	Тактовый сигнал
20	U_{cc}	+5 В

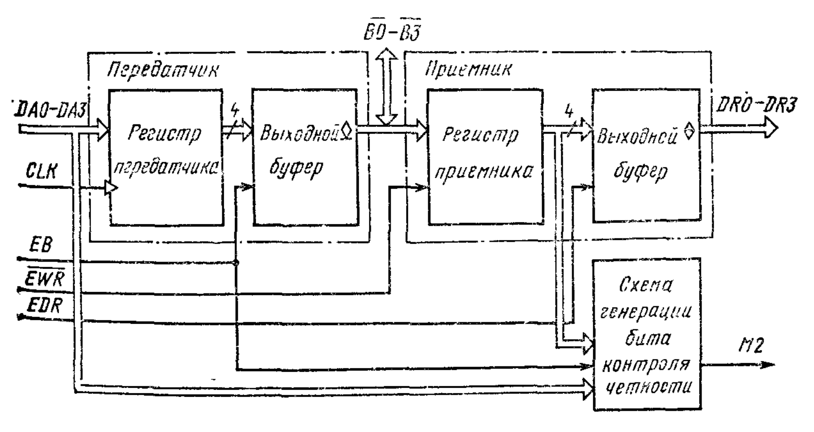


Рис. 3.54. Структурная схема КМ1804ВА2

3.7.11. Микросхема КМ1804ВА3

Микросхема КМ1804ВА3 представляет собой 4-разрядный приемопередатчик, предназначенный для применения в микропроцессорных системах в качестве буферного устройства для приема, хранения и передачи информации. Структурная схема КМ1804ВА3 представлена на рис. 3.55. Микросхема состоит из 4-разрядного передатчика и 4-разрядного приемника. Входные данные, подаваемые на шину DA или DB через мультиплексор входных данных, управляемый сигналом SED, поступают в регистр передатчика. При низком уровне напряжения на входе SED производится передача данных с шины DA, при высоком — с шины DB.

Регистр передатчика выполнен на триггерах D-типа, запись информации в которые осуществляется по положительному фронту тактового сигнала CLK. Выходы D-триггеров через буферы, имеющие состояние «Выключено», подсоединены к двунаправленной шине B Перевод выходных буферов передатчика в состояние «Выключено» осуществляется при поступлении на вход EB «Разрешение шины B» сигнала высокого уровня.

Регистр приемника выполнен на четырех D-триггерах типа «Защелка» и осуществляет по сигналу EWR «Разрешение записи» прием и хранение информации, поступающей по двунаправленной шине B. При низком уровне сигнала EWR информация с выводов B передается на выходы DR, при высоком уровне сигнала EWR информация, поступившая на выводы B, запоминается на D-триггерах и хранится в течение всего времени, пока на выводе EWR присутствует сигнал высокого уровня. Передача информации с шин DA и DB на шину B и с шины B на шину DR происходит с инверсией.

Микросхема КМ1804ВА3 содержит схему генерации бита контроля четности. В зависимости от режима работы приемопередатчика, определяемого состоянием входа EB, схема генерации бита контроля четности передает на выход M2 сумму по mod 2 входных сигналов регистра передатчика (при EB=0) или сумму по mod 2 выходных сигналов приемника (при EB=1). Назначение выводов КМ1804ВА3 приведено в табл. 3.60.

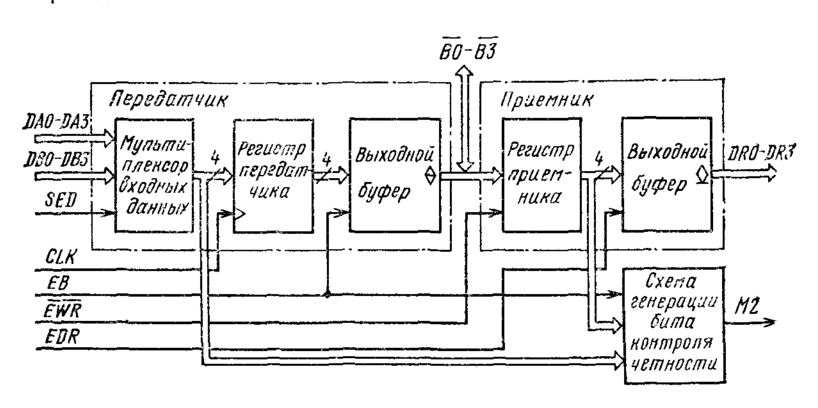


Рис. 3.55. Структурная схема КМ1804ВА3

Таблица 3.60

Номер вывода	Обозначение	Назначение
1	EWR	Разрешение записи в приемник
2, 10, 14, 22	DR0—DR3	Выходная шина DR
3, 9, 15, 21	DB0—DB3	Входная шина данных B
4, 8, 16, 20	DA0—DA3	Входная шина данных A
5, 7, 17, 19	B0—B3	Шина ввода/вывода информации
6, 18	GND	Общий
11	EB	Разрешение шины B
12	M2	Признак
13	SED	Выбор входных данных
23	CLK	Тактовый сигнал
24	U_{cc}	+5 В

3.7.12. Микросхема КМ1804ИР2

Микросхема КМ1804ИР2 представляет собой 8-разрядный параллельный регистр и предназначена для работы в составе блоков обработки данных цифровых вычислительных устройств. Микросхема позволяет осуществлять: запись информации; хранение и регенерацию; установку в «0» всех разрядов регистра. Структурная схема

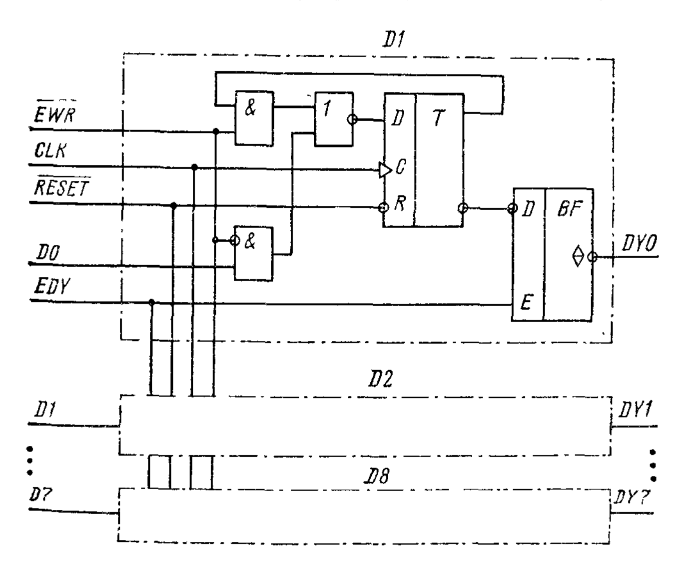


Рис. 3.56. Структурная схема КМ1804ИР2

КМ1804ИР2 представлена на рис. 3.56. Регистр состоит из восьми триггеров D-типа с соответствующими схемами управления и восьми выходных буферов, имеющих на выходе состояние «Выключено». Запись информации, поступающей на входы D0—D7, осуществляется по положительному фронту тактового сигнала CLK при наличии сигнала низкого уровня на входе EWR «Разрешение записи» и сигнала высокого уровня на входе RESET «Установка». Установка регистра в состояние «0» производится подачей на вход RESET сигнала низкого уровня независимо от состояния других входов микросхемы. Хранение и регенерация информации осуществляются при наличии на входе EWR сигнала высокого уровня. Записанная информация через выходные буферы передается на выводы DY0—DY7 при наличии на входе EDY «Разрешение выходов DY» сигнала низкого уровня. Перевод выводов DY0—DY7 в состоянии «Выключено» не изменяет записанной информации и осуществляется подачей на вход EDY сигнала высокого уровня. Назначение выводов КМ1804ИР2 приведено в табл. 3.61.

Таблица 3.61

Номер вывода	Обозначение	Назначение
1	RESET	Установка
2, 5, 6, 9, 12, 15, 16, 19	DY0—DY7	Шина выходных данных
3, 4, 7, 8, 13, 14, 17, 18	D0—D7	Шина входных данных
10	CLK	Тактовый сигнал
11	GND	Общий
20	EDY	Разрешение выходов DY
21	EWR	Разрешение записи
22	U_{cc}	+5 В

3.7.13. Микросхема КМ1804ИР3

Микросхема КМ1804ИР3 представляет собой 8-разрядный параллельный двунаправленный регистр и предназначена для использования в качестве параллельного порта данных. Структурная схема КМ1804ИР3 представлена на рис. 3.57.

Регистр А служит для передачи информации с шины DA0—DA7 на шину DB0—DB7, регистр В передает информацию в обратном направлении. Каждый из регистров имеет свой флаговый триггер FLA, FLB. При передаче информации с шины DA0—DA7 на шину DB0—DB7 выходной буфер В должен быть переведен в состояние «Выключено» подачей на вход ЕВ «Разрешение выходов DB» сигнала высокого уровня. Подачей положительного перепада сигнала RFLA «Установка триггера FLA» осуществляется предварительная очистка флагового триггера FLA.

При наличии сигнала низкого уровня на входе EWRA информация с шины DA0—DA7 по положительному фронту тактового сигна-

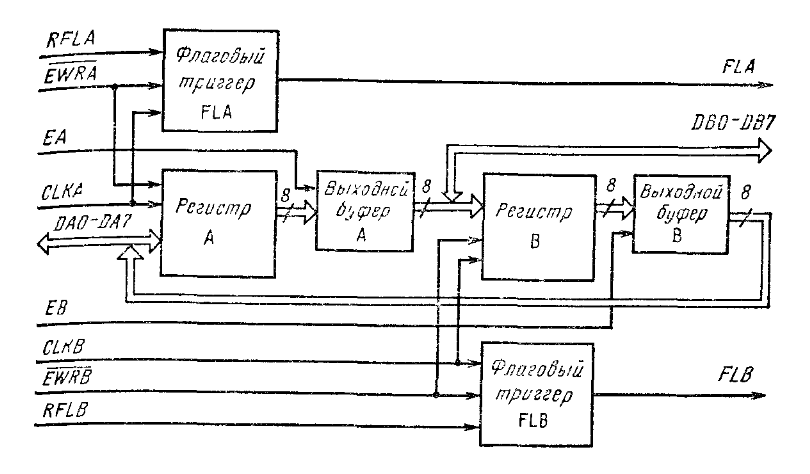


Рис. 3.57. Структурная схема КМ1804ИР3

ла CLKA записывается в регистр A. При этом триггер FLA устанавливается в состояние «1» и на выходе FLA появляется сигнал высокого уровня При поступлении на вход EA сигнала низкого уровня информация с выходов регистра A через буфер A передается на выходы DB0—DB7.

Таблица 3.62

Номер вывода	Обозначение	Назначение
26—28 1—3, 6, 7	DA0—DA7	Шина ввода/вывода данных A
18—13, 10, 9	DB0—DB7	Шина ввода/вывода данных B
4	RFLB	Установка триггера FLB
5	FLB	Выход триггера FLB
8	U_{cc}	+5 В
11	FLA	Выход триггера FLA
12	RFLA	Установка триггера FLA
19	EB	Разрешение выходов DB
20	CLKA	Синхронизация записи в регистр A
21	EWRA	Разрешение записи в регистр A
22	GND	Общий
23	EWRB	Разрешение записи в регистр B
24	CLKB	Синхронизация записи в регистр B
25	EA	Разрешение выходов DA

При подаче на вход EWRA сигнала высокого уровня регистр A переводится в режим хранения. При передаче информации с шины DB0—DB7 на шину DA0—DA7 выходной буфер A должен быть переведен в состояние «Выключено» подачей на вход EA «Разрешение выходов DA» сигнала высокого уровня.

Функционирование регистра B, триггера флага FLB и буфера B происходит аналогично функционированию регистра A, триггера флага FLA и буфера A при подаче соответствующих сигналов. Назначение выводов КМ1804ИР3 приведено в табл. 3.62.

3.7.14. Микросхема КМ1804ГГ1

Микросхема КМ1804ГГ1 представляет собой генератор тактовых импульсов (ГТИ) с микропрограммным управлением и предназначена для тактирования различных узлов устройств обработки данных, построенных на базе МПК серии КМ1804. Структурная схема ГТИ представлена на рис. 3.58.

Генератор опорной частоты представляет собой инвертирующий усилитель, который с помощью минимального числа внешних элементов может быть использован в качестве кварцевого генератора, LC-генератора или формирователя для внешнего тактового сигнала, поступающего на вход FC1. Внешние элементы подключаются к выводам FC1, FC2. Выходной сигнал генератора опорной частоты поступает на регистр управления состоянием и через выходной буфер на вывод F.

Регистр управления микроциклом (РУМ) представляет собой 3-разрядный регистр, предназначенный для приема и хранения кода управления длительностью микроцикла, поступающего на входы CO1—CO3. В зависимости от кода на выводах CO1—CO3 длительность микроцикла может программироваться от 3 до 10 периодов частоты опорного генератора. Запись в регистр управления микроциклом осуществляется в конце микроцикла выходных фаз, когда на выходе Ф1 (фаза **1**) присутствует сигнал низкого уровня. При переходе сигнала на выходе Ф1 в состояние высокого уровня РУМ переводится в режим хранения.

Блок логики управления состоянием представляет собой совокупность комбинационных схем, которые на основании информации о заданном режиме работы и о текущем состоянии ГТИ формируют информацию о следующем состоянии, поступающую на входы регистра управления состоянием. Регистр управления состоянием состоит из шести D-триггеров, запись информации в которые происходит по фронту сигнала, вырабатываемого генератором опорной частоты. Регистр управления состоянием формирует четыре тактовых сигнала, которые через выходной буфер поступают на выводы Ф1—Ф4. В зависимости от состояния входных управляющих сигналов на выводах Ф1—Ф4 можно получить восемь различных комбинаций выходных сигналов с программируемой длительностью.

Блоки управления режимами обеспечивают четыре режима работы ГТИ: работа, приостановка, пошаговый режим и ожидание, которые задаются при определенных сочетаниях входных управляющих сигналов. При поступлении на вход START сигнала низкого уровня, а на вход HALT — высокого устанавливается режим «Работа», при обратном сочетании этих сигналов — режим «Приостановка». Приостановка происходит в первой или последней части микро-

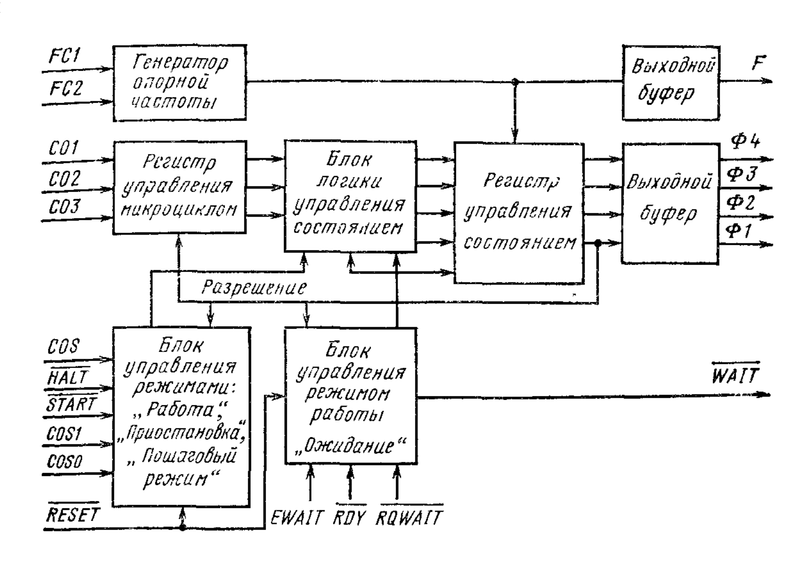


Рис. 3.58. Структурная схема КМ1804ГГ1

Таблица 3.63

Номер вывода	Обозначение	Назначение
1	GND	Общий
2	RDY	Готов
3—5	CO1—CO3	Управление длительностью фаз
6—9	Ф1—Ф4	Фаза
10, 11	COS1, COS0	Управление шаговым режимом
12	GND GN	Общий опорного генератора
13	U_{cc} GN	+5 В опорного генератора
14	F	Выход генератора опорной частоты
15, 16	FC2, FC1	Выводы для подключения кварцевого резонатора
17	COS	Управление выходами в режиме «Останов»
18	HALT	Останов
19	START	Пуск
20	WAIT	Ожидание
21	RQWAIT	Запрос ожидания
22	RESET	Установка
23	EWAIT	Разрешение ожидания
24	U_{cc}	+5 В

цикла в момент времени, определяемый управляющим сигналом COS. В режиме «Приостановка» управляющими сигналами COS0 и COS1 обеспечивается прохождение одного микроцикла — пошаговый режим. Режим «Ожидание» состоит в растягивании микроцикла и служит для синхронизации центрального процессора с другими, более медленными устройствами вычислительной системы. Индикация режима работы ГТИ осуществляется сигналом на выводе WAIT «Ожидание». При наличии на выводе WAIT напряжения высокого уровня выполняется режим «Работа», при наличии напряжения низкого уровня — режим «Ожидание». Назначение выводов КМ1804ГГ1 приведено в табл. 3.63.

3.7.15. Микросхема КМ1804ВН1

Микросхема КМ1804ВН1 представляет собой микропрограммируемый контроллер векторного прерывания, который предназначен для приоритетной обработки запросов прерывания, поступающих по восьми линиям от различных устройств микропроцессорной системы Возможность наращивания микросхем КМ1804ВН1 позволяет создавать системы приоритетного прерывания с любым числом уровней, кратным восьми.

Микросхема КМ1804ВН1 допускает установку порога приоритета, при этом обрабатываются только те запросы прерывания, которые имеют приоритет выше установленного порога. Микросхема позволяет осуществлять маскирование отдельных запросов прерывания, что ускоряет реакцию системы на срочные запросы. Структурная схема КМ1804ВН1 представлена на рис. 3.59.

Восьмиразрядный регистр прерывания (РП) служит для запоминания запросов прерывания, поступающих на входы IR0—IR7 в виде отрицательных импульсов или сигналов низкого уровня. При наличии на входе COS «Управление режимом» сигнала низкого уровня РП производит «защелкивание» запросов прерывания, поступающих в виде отрицательных импульсов. При высоком уровне напряжения на входе COS РП реагирует на запросы прерываний, поступающие в виде сигналов низкого уровня. Очистка каждого разряда РП осуществляется индивидуальным сигналом, вырабатываемым схемой очистки этого регистра.

Регистр маски имеет восемь разрядов, соответствующих восьми разрядам регистра прерывания. Двунаправленные выводы OR0—OR7 служат как для загрузки, так и для чтения регистра маски. С помощью отдельных микрокоманд имеется возможность загрузки и очистки как всего регистра маски, так и отдельных его разрядов. Устройство маскирования и схема обнаружения запроса прерывания сигнализируют о появлении запроса на любом незамаскированном входе прерывания.

Шифратор приоритета формирует двоично-кодированный вектор прерывания, указывающий незамаскированный запрос прерывания с высшим приоритетом. Трехразрядный вектор прерывания через буфер вектора, имеющий на выходе состояние «Выключено», поступает на выходную шину VEC0—VEC2. Одновременно вектор прерывания записывается в регистр вектора и используется затем для очистки РП.

Трехразрядный регистр состояния определяет низший приоритет, при котором запрос прерывания будет разрешен. Двунаправлен-

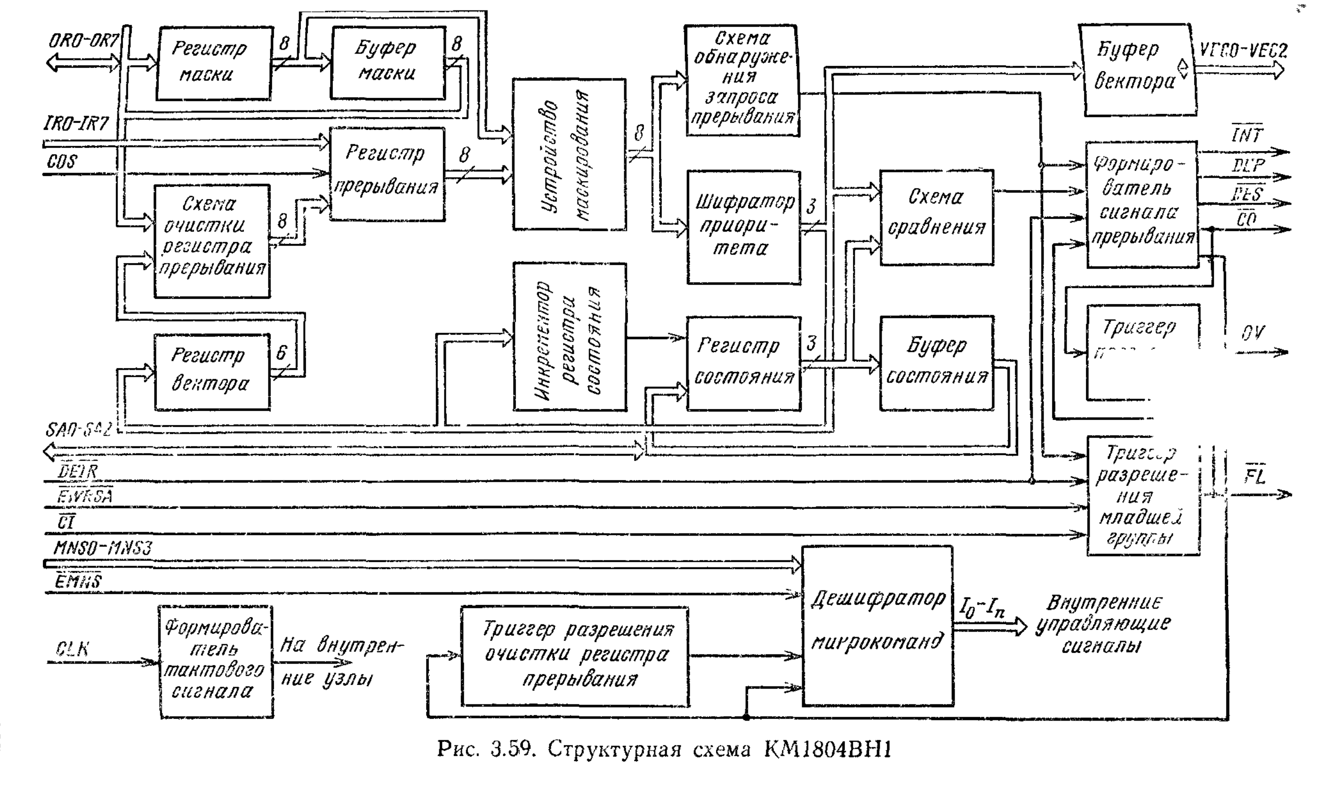


Рис. 3.59. Структурная схема КМ1804ВН1

ные выводы SA0—SA2 служат как для загрузки, так и для чтения регистра состояния При выполнении определенных микрокоманд в регистр состояния записывается текущий вектор приоритета, инкрементированный на единицу с помощью схемы инкрементора.

Схема сравнения сигнализирует о том, что вектор прерывания больше или равен содержимому регистра состояния. Формирователь сигнала прерывания вырабатывает сигнал INT «Прерывание», на основании которого центральный процессор останавливает выполнение текущей программы и вызывает программу обслуживания прерывания. Кроме того, формирователь сигнала прерывания выдает сигналы DEP, DES CO, используемые при объединении нескольких микросхем КМ1804ВН1. Для этих же целей используется сигнал FL «Признак», поступающий с триггера разрешения младшей группы.

Дешифратор микрокоманд в соответствии с кодом микрокоманды MNS0—MNS3 вырабатывает управляющие сигналы для всех функциональных узлов микросхемы. Выполнение микрокоманды осуществляется при подаче на вход EMNS сигнала низкого уровня. Назначение выводов КМ1804ВН1 приведено в табл. 3.64.

Таблица 3.64

Номер вывода	Обозначение	Назначение
35, 37, 39, 1, 26, 24, 22, 20	IR0—IR7	Запросы прерывания
36, 38, 40, 2, 25, 23, 21, 19	OR0—OR7	Вход/выход маскирующей шины
28, 31—33	MNS0—MNS3	Микрокоманда
13—11	SA0—SA2	Вход/выход шины состояния
18—16	VEC0—VEC3	Вектор прерывания
3	FL	Признак
4	CI	Вход переноса
5	EWRSA	Разрешение записи состояния
6	DEIR	Запрет прерывания
7, 8	DES, DEP	Выходы расширения
9	INT	Прерывание
10	U_{cc}	+5 В
14	OV	Переполнение
15	CO	Выход переноса
27	COS	Управление режимом
29	CLK	Вход тактовый
30	GND	Общий
34	EMNS	Разрешение микрокоманды

3.7.16. Микросхема КМ1804ВР3

Микросхема КМ1804ВР3 представляет собой расширитель приоритетного прерывания и предназначена для совместной работы со схемой КМ1804ВН1 для увеличения числа запросов при построении многоразрядных блоков прерывания микроЭВМ.

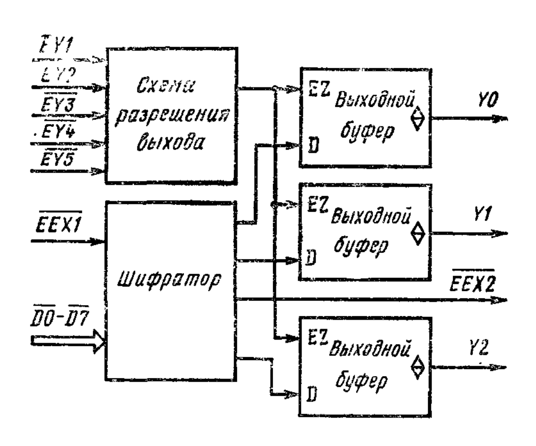


Рис 3.60 Структурная схема КМ1804ВР3

Микросхема КМ1804ВР3 позволяет обрабатывать сигналы, поступающие от восьми схем векторного прерывания КМ1804ВН1, что обеспечивает 64 уровня прерывания, а также устанавливает порядок очередности их прохождения.

Структурная схема КМ1804ВР3 представлена на рис. 3.60. Расширитель приоритетного прерывания представляет собой управляемый шифратор осуществляющий кодирование восьми входных сигналов D0—D7 в соответствующий двоичный код, выдаваемый на выходы Y0—Y2. Управление шифратором осуществляется сигналом EEX1, при низком уровне которого разрешается работа шифратора. На выходе EEX2 «Выход расширения» формируется сигнал низкого уровня при наличии сигнала низкого уровня на входе EEX1 и отсутствии сигналов низкого уровня на входах D0—D7. Сигнал EEX2 используется для разрешения работы схемы с низшим приоритетом при построении многоразрядных устройств обработки прерываний.

Таблица 3.65

EY1	EY2	EY3	EY4	EY5	Y0	Y1	Y2
1	1	0	0	0	Разрешено		
0	X	X	X	X	Z	Z	Z
X	0	X	X	X	Z	Z	Z
X	X	1	X	X	Z	Z	Z
X	X	X	1	X	Z	Z	Z
X	X	X	X	1	Z	Z	Z

Примечание. 1 — сигнал высокого уровня; 0 — сигнал низкого уровня; Z — состояние «Выключено»; X — состояние безразлично.

Выходы шифратора подключаются к выходам Y0—Y2 через выходные буферы, имеющие на выходе состояние «Выключено». Управление выходными буферами осуществляется сигналом, который формируется схемой разрешения выхода, в соответствии с табл. 3.65.

Назначение выводов КМ1804ВР3 приведено в табл. 3.66.

Таблица 3.66

Номер вывода	Обозначение	Назначение
18, 15—17, 1—4	D0—D7	Вход расширителя
12, 13, 11, 9, 14	EY1—EY5	Разрешение выходов Y
8—6	Y0—Y2	Выход расширителя
5	EEX1	Управление шифратором
10	GND	Общий
19	EEX2	Выход расширения
20	U_{cc}	+5 В

3.7.17. Микросхема КМ1804ВУ5

Микросхема КМ1804ВУ5 представляет собой 4-разрядную микропроцессорную секцию, предназначенную для формирования и обработки адресов как на машинном (адресов команд и операндов в оперативной памяти), так и на микропрограммном уровне (адресация микропрограммной памяти). Микросхема имеет возможность наращивания разрядности до любой, кратной четырем, с организацией последовательного и ускоренного переноса; выполняет 32 инструкции формирования адреса, 16 из которых являются условными на состояние внешнего входа кода условия; обеспечивает 12 различных модификаций относительной адресации. Структурная схема КМ1804ВУ5 представлена на рис. 3.61.

Сумматор формирует сумму операндов, поступающих на его входы с коммутаторов A и B. Результат суммирования через буфер адреса, управляемый сигналом EDY «Разрешение выходов DY», поступает на выходную шину DY0—DY3. При подаче на вход EDY сигнала высокого уровня выходы DY0—DY3 устанавливаются в состояние «Выключено».

Коммутатор A позволяет выбрать в качестве операнда A содержимое регистра адреса, или информацию с шины D, или нуль. Коммутатор B позволяет выбрать в качестве операнда B содержимое регистра адреса, или счетчика адресов, или стека или нуль. Наличие входного сигнала переноса CISM, а также выходных сигналов переноса COSM, GSM, PSM позволяет соединить сумматоры микросхем КМ1804ВУ5 как по схеме с последовательным переносом, так и по схеме с ускоренным переносом.

Счетчик адресов состоит из инкрементора и 4-разрядного регистра, выполненного на D-триггерах. Информация, поступающая с выхода инкрементора, записывается в D-триггеры по положительному фронту тактового сигнала CLK в конце выполнения каждой микрокоманды формирования адреса. Запись в счетчик через ком-

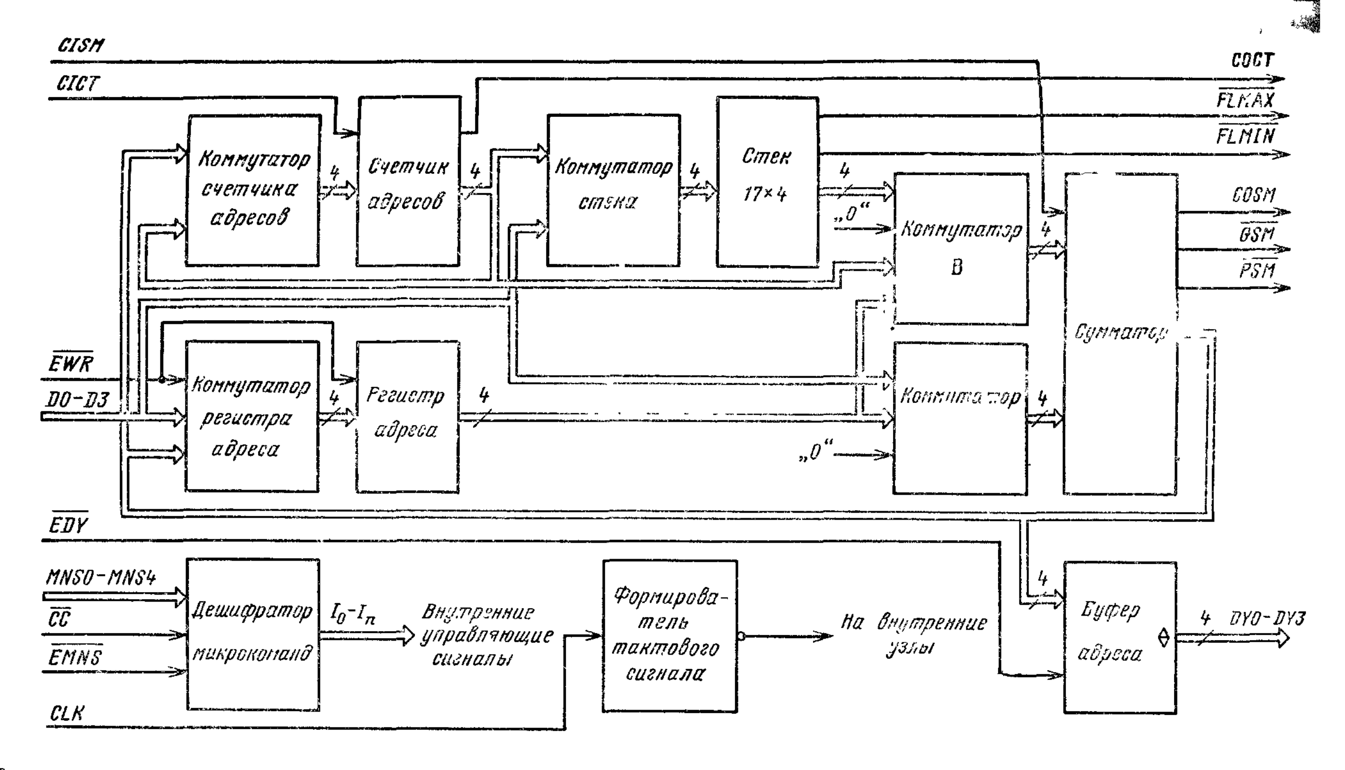


Рис 3.61. Структурная схема КМ1804ВУ5

мутатор счетчика адресов осуществляется из сумматора или счетчика адресов. В зависимости от выполняемой микрокоманды счетчик адресов может работать в режиме хранения или в режиме записи информации. При работе счетчика в режиме записи сигнал высокого уровня на входе CICT позволяет записывать в счетчик адресов информацию с выхода коммутатора, увеличенную на единицу. При наличии на входе CICT сигнала низкого уровня информация в счетчик адресов записывается без изменения. Наличие сигналов CICT и СОСТ позволяет соединять счетчики адресов микросхем КМ1804ВУ5 по схеме с последовательным переносом.

Регистр адреса состоит из четырех D-триггеров, запись информации в которые осуществляется по положительному фронту тактового сигнала CLK. Информация записывается в регистр через коммутатор регистра адреса из сумматора или с шины D0—D3. При наличии сигнала низкого уровня на входе EWR «Разрешение записи» запись информации в регистр адреса осуществляется независимо от входных сигналов управления MNS0—MNS4, CC, EMNS. При высоком уровне сигнала на входе EWR запись в регистр адреса происходит только при выполнении соответствующих команд.

Стек представляет собой оперативную память с организацией 17 четырехразрядных слов. Запись в стек через коммутатор стека производится с шины D или со счетчика адресов. Адрес последнего слова, записанного в стек, хранится в указателе стека. При записи в стек содержимое указателя стека увеличивается на 1, при считывании — уменьшается на 1. Дешифратор микрокоманд представляет собой комбинационную схему, которая на основании входных сигналов MNS0—MNS4, EMNS, CC формирует управляющие сигналы, необходимые для работы различных узлов микросхемы. Назначение выводов КМ1804ВУ5 приведено в табл. 3.67.

Таблица 3.67

Номер вывода	Обозначение	Назначение
1, 27—24	MNS0—MNS4	Микрокоманда
20—17	D0—D3	Шина данных
8—11	DY0—DY3	Выходная шина данных
2	FLMAX	Стек заполнен
3	FLMIN	Стек пуст
4	CICT	Вход переноса в счетчик
5	EDY	Разрешение выходов DY
6	COCT	Выход переноса из счетчика
7	CISM	Вход переноса в сумматор
12, 16	GSM, PSM	Генерация, распространение переноса из сумматора
13	COSM	Выход переноса из сумматора
14	GND	Общий
15	CLK	Тактовый сигнал
21	EWR	Разрешение записи в регистр
22	EMNS	Разрешение микрокоманды
23	CC	Вход условия
28	U_{cc}	+5 В

3.7.18. Микросхема КМ1804ВЖ1

Микросхема КМ1804ВЖ1 представляет собой 16-разрядную схему обнаружения и коррекции одиночных ошибок, обнаружения всех двойных, некоторых тройных, а также ошибок вида все «0» и все «1», возникающих при записи, хранении и считывании данных из ЗУ. Предусмотрена возможность использования нескольких схем КМ1804ВЖ1 с целью обработки 32- и 64-разрядных массивов данных. Структурная схема КМ1804ВЖ1 представлена на рис. 3.62.

Данные по 16-разрядной двунаправленной шине D0—D15 записываются в регистры входных данных PD0 и PD1. Управление осуществляется сигналом EWRI «Разрешение записи». При наличии сигнала высокого уровня на входе EWRI состояние регистров PD0, PD1 определяется сигналами, подаваемыми на входы D0—D15; при поступлении на вход EWRI сигнала низкого уровня сохраняется предыдущее состояние PD0 и PD1.

Контрольные биты по 7-разрядной шине CB0—CB6 записываются в регистр контрольных бит (РКБ). Управление осуществляется сигналом EWRI аналогично регистрам PD0, PD1. С помощью сигнала EGN «Разрешение генерации контрольных бит» задается режим работы генератора контрольных бит (ГКБ). При низком уровне сигнала EGN генератор формирует контрольные биты в соответствии с модифицированным кодом Хэмминга для данных, находящихся в PD0 и PD1.

Если оба набора контрольных бит одинаковы, т. е ошибка отсутствует, то на выходах контрольных бит и признаков SC0—SC6 устанавливается низкий уровень напряжения. При наличии ошибки на одном или нескольких выходах контрольных бит и признаков устанавливается сигнал высокого уровня. В результате дешифрации признаков ошибки определяется кратность ошибки, а при одиночной ошибке — положение неисправного бита в слове данных.

Схема обнаружения ошибок дешифрирует биты признаков ошибки, вырабатываемые генератором признаков ошибки (ГПО), и информацию о видах ошибок выдает на выводы ERR «Одиночная ошибка» и MRR «Многократная ошибка». Управление осуществляется сигналом EGN. При низком уровне сигнала EGN на выводах ERR и MRR устанавливаются сигналы высокого уровня. При высоком уровне сигнала EGN на выводах ERR и MRR сигналы высокого уровня устанавливаются при отсутствии ошибок. При наличии хотя бы одной ошибки на выводе ERR устанавливается низкий уровень. При наличии двух и более ошибок низкий уровень устанавливается и на выходе MRR.

Дешифратор одиночной ошибки на основании бит признаков ошибки, вырабатываемых ГПО, и внутреннего сигнала типа ошибки определяет разряд данных, в котором допущена однократная ошибка, и преобразует 7-разрядный код признаков ошибки в 16-разрядный код, который подается на схему коррекции ошибки (СКО). Дешифрация одиночной ошибки осуществляется при наличии сигналов высокого уровня на входах EGN и COR «Разрешение коррекции ошибок» и отсутствии сигнала многократной ошибки, при этом выход MRR устанавливается в состояние высокого уровня.

Схема коррекции ошибки принимает с PD0 и PD1 16-разрядный формат данных и с дешифратора одиночной ошибки 16-разрядный дешифрированный код местоположения ошибки. При наличии оди-

Регистр входных данных, байт 0

Регистр входных данных, байт 1

Регистр контрольных бит

Регистр режима диагностики

Генератор контрольных бит

Коммутатор A

Генератор признаков ошибки

Коммутатор B

Дешифратор одиночной ошибки

Коммутатор C

Дешифратор одиночной ошибки

Буфер признаков ошибки

Схема обнаружения ошибок

Регистр выходных данных, байт 0

Регистр выходных данных, байт 1

Устройство управления

EB0, EB1, EWR0, D0–D7, D8–D15, CB0–CB6, EWRI, EW, CI0–CI2, DM0–DM1, PT, EGN, COR, ESC

SC0–SC6, ERR, MRR

I_0–I_n Внутренние управляющие сигналы

Рис. 5.62. Структурная схема КМ1801ВЖ1

ночной ошибки СКО корректирует один неверный бит данных путем инвертирования его значения. Скорректированные данные загружаются в регистры выходных данных и затем могут быть выданы на 16-разрядную двунаправленную шину данных D0—D15. При обнаружении одиночной ошибки в одном из контрольных бит СКО не проводит коррекцию контрольных бит. Эта коррекция осуществляется в режиме генерации контрольных бит, который устанавливается подачей низких уровней на входы DMO «Режим диагностики» и EGN.

Регистр выходных данных, байт 0 (РВ0) и регистр выходных данных, байт 1 (РВ1) используются для хранения результата операции коррекции данных. Запись данных в РВ0 и РВ1 осуществляется СКО при наличии на входе EWRO «Разрешение записи выходных данных» сигнала высокого уровня. При низком уровне на входе EWRO регистры РВ0 и РВ1 сохраняют предшествующее состояние. Данные с РВ0 и РВ1 могут быть выданы на двунаправленную 16-разрядную шину данных. Подключение выходов РВ0 и РВ1 к шине данных осуществляется при наличии на входах EB0 и EB1 «Разрешение выхода байта 0, байта 1» сигналов низкого уровня.

Регистр режима диагностики (РРД) служит для хранения контрольных бит и формирования необходимых сигналов управления в диагностических режимах. Запись в РРД осуществляется с шины данных D0—D15 при наличии сигнала высокого уровня на входе EW «Разрешение записи режима диагностики».

Таблица 3.68

Номер вывода	Обозначение	Назначение
23—20, 17—14	D0—D7	Ввод/вывод данных (байт 0)
12—9, 5—2	D8—D15	Ввод/вывод данных (байт 1)
40, 34, 35, 37—39, 41	CB0—CB6	Контрольные биты
30, 24, 27, 28, 26, 29, 25	SC0—SC6	Выход контрольных бит
1	COR	Разрешение коррекции ошибок
6, 19	EWRI, EWRO	Разрешение записи входных данных, выходных данных
7	EW	Разрешение записи режима диагностики
8, 18	EB1, EB0	Разрешение выхода байта 1, байта 0
13	GND	Общий
31	ESC	Разрешение выходов контрольных бит
32	ERR	Одиночная ошибка
33	MRR	Многократная ошибка
36	U_{cc}	+5 В
42	EGN	Разрешение генерации контрольных бит
43, 45, 47, 48	MNS0—MNS4	Микрокоманда
46	DMO	Режим диагностики

Устройство управления представляет собой комбинационную схе-
му, которая на основании входных управляющих сигналов форм
ет внутренние управляющие сигналы, которые обеспечивают сле
щие режимы работы микросхемы: начальная установка; прямая
редача; генерация контрольных бит; обнаружение ошибки; корр
ошибки; диагностика обнаружения ошибки; диагностика корре
ошибки; внутреннее управление. Назначение выводов КМ1804
приведено в табл. 3 68.

3.8. Микропроцессорный комплект серии КР1810

Микропроцессорный комплект серии КР1810 представляет собой дальнейшее развитие МПК серии КР580 и на уровне ассемблера программно совместим с этой серией. Однако он является 16-разрядным, обладает более высоким быстродействием и имеет ряд функциональных особенностей, позволяющих строить на его основе мощные высокопроизводительные и мультипроцессорные системы.

Собственно микропроцессор (микросхема КР1810ВМ86) выполнен по НМОП-технологии, контроллер прерываний (микросхема КР1810ВН95А) — по nМОП-технологии, остальные микросхемы, входящие в МПК серии КР1810, выполнены по биполярной технологии ТТЛШ. Все микросхемы комплекта имеют один источник питания +5 В±5 %. Диапазон рабочих температур —10...+70 °С. Ниже приведены состав МПК серии КР1810 и основные характеристики входящих в него микросхем.

Центральное процессорное устройство КР1810ВМ86

Разрядность арифметического устройства	16
Разрядность совмещенных шин адреса/данных	20 16
Объем адресуемой памяти, Мбайт	1
Число базовых команд	135
Число адресуемых устройств ввода/вывода	$2^{16}/2^{16}$
Число режимов адресации	24
Число внутренних 16-разрядных регистров:	
общего назначения	4
индексных	2
указателей	2
сегментных	4
Число внешних запросов прерывания	2
Число внутренних программных запросов прерывания	3
Число уровней прерывания	256
Частота тактовых сигналов, МГц	⩽5
Время выполнения команд типа регистр-регистр, мкс:	
пересылка	⩽0,4
сложение	⩽0,6
умножение	23,6—26,6
деление	28,6—32,4
Потребляемая мощность, мВт	⩽2100

Генератор тактовых импульсов КР1810ГФ84

Максимальная частота входного тактового сигнала или опорного генератора, МГц	≤25
Частота выходных тактовых пМОП-сигналов	F/3
Частота выходных тактовых ТТЛ-сигналов .	F/6
Потребляемая мощность, мВт	≤735

Контроллер шины КР1810ВГ88

Число разрядов шины состояния	3
Частота тактовых сигналов, МГц	≤10
Потребляемая мощность, мВт	≤1150

Арбитр шины КР1810ВБ89

Число разрядов шины состояния	3
Число режимов работы	4
Число методов разрешения приоритета . . .	3
Частота тактовых сигналов, МГц	≤10
Потребляемая мощность, мВт	≤865

Программируемый контроллер прерываний КР1810ВН59А

Число обслуживаемых запросов прерывания .	8
Разрядность шины данных	8
Число программируемых режимов работы . .	3
Время выдачи сигнала «Прерывание» на сигнал «Запрос», нс	≤350
Потребляемая мощность, мВт	≤450

Микросхемы серии КР1810 выполнены в пластмассовых корпусах типа 2104.18-5 — КР1810ГФ84; 2140.20-1 — КР1810ВГ88, КР1810ВБ89; 2121.28 5 — КР1810ВН59А; 2123.40-2 — КР1810ВМ86.

3.8.1. Микросхема КР1810ВМ86

Микросхема КР1810ВМ86 представляет собой однокристальный высокопроизводительный 16 разрядный микропроцессор. Система команд микропроцессора КР1810ВМ86 совместима с системой команд микропроцессора КР580ВМ80А на языке ассемблера. Высокая производительность микропроцессора КР1810ВМ86 обеспечивается благодаря совмещению выполнения операций обработки и обращения, что достигается использованием блока предварительной выборки команд

Особенностью микропроцессора КР1810ВМ86 является возможность работы в двух режимах: минимальном и максимальном. Минимальный режим используется в системах, имеющих несложную конфигурацию. При этом микропроцессор сам вырабатывает все необходимые сигналы управления периферийными устройствами. Максимальный режим применяется при использовании микропроцессора в составе системы сложной конфигурации. В этом случае используется специальная микросхема — контроллер шины КР1810ВГ88, которая анализирует сигналы состояния микропроцессора ST0—ST2 и в зависимости от их значения формирует соответствующие сигналы

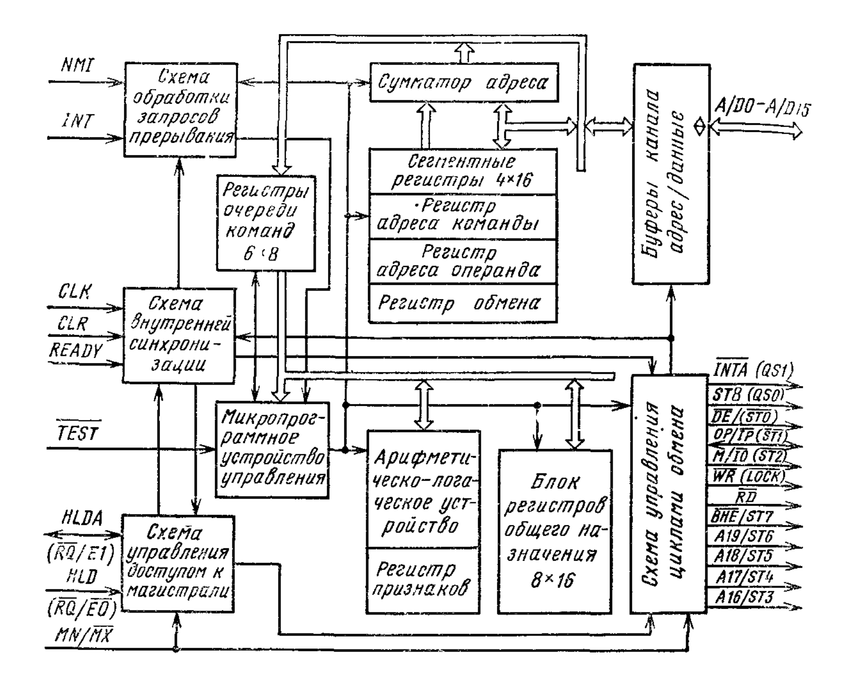


Рис. 3.63. Структурная схема КР1810ВМ86

управления периферийными устройствами. Установка минимального или максимального режима работы микропроцессора осуществляется подключением входа MN/MX соответственно к выводу U_{cc} или GND.

Архитектурной особенностью микропроцессора КР1810ВМ86 является способность координировать взаимодействие нескольких процессоров, что позволяет строить на его основе мультипроцессорные системы. В этих системах возможно применение двух типов процессоров: независимых, т. е. выполняющих собственный поток команд, и вспомогательных (сопроцессоры). Сопроцессор просматривает команды, выбираемые главным процессором, признает некоторые из них «своими» и выполняет их. Микросхему КР1810ВМ86 можно использовать в качестве независимого процессора, а в роли сопроцессоров могут выступать специальные процессоры ввода/вывода, обработки данных и др. (КМ1810ВМ89, КМ1810ВМ87). Структурная схема КР1810ВМ86 представлена на рис. 3.63.

Арифметическо-логическое устройство выполнено на базе комбинационного 16-разрядного сумматора с последовательно-параллельным переносом и трех временных регистров для промежуточного хранения операндов и результата операции. Выход АЛУ связан с регистром признаков (PST), в котором происходит запоминание специфических свойств результата арифметических и логических операций микропроцессора, разрешение прерывания, пошаговый режим. При выполнении ряда команд в зависимости от состояния определен-

ных разрядов PST возможно изменение порядка выполнения программы Из 16 разрядов регистра признаков используется только 9. Их назначение.

0-й разряд — CF — признак переноса;

2-й разряд — PF — признак четности, при PF=1 результат операции четный;

4-й разряд — AF — признак вспомогательного переноса, используется командами десятичной арифметики;

6-й разряд — ZF — признак нуля, при ZF=1 результат операции равен нулю;

7-й разряд — SF — признак знака, при SF=1 результат отрицательный;

8-й разряд — TF — признак пошагового режима, используется в режиме отладки программ;

9-й разряд — IF — признак разрешения прерывания, при IF=1 процессор реагирует на внешние маскируемые запросы прерывания;

10-й разряд — DF — признак направления, используется при выполнении операций со строками данных SI, DI;

11-й разряд — OF — признак переполнения, при OF=1 произошло переполнение.

Функции управления выполнением команд в микропроцессоре возложены на микропрограммное устройство управления, которое декодирует команды и вырабатывает необходимые сигналы управления.

Блок РОН состоит из восьми 16-разрядных регистров и разбит на регистры данных и индексные регистры. Регистры данных, иногда называемые группой H и L, отличаются от других регистров тем, что каждый регистр данных можно использовать как один 16-разрядный или два 8-разрядных регистра, поскольку их старшие и младшие половины адресуются отдельно Остальные регистры блока РОН всегда применяются только как 16-разрядные регистры. Регистры данных могут участвовать без ограничения в большинстве арифметических и логических операций. Кроме того, в некоторых командах (умножение, деление, сдвиги) предполагается (неявно) использование определенных регистров, что дает выигрыш в длине команды и позволяет получать компактные, но мощные коды

Другая группа регистров, иногда называемая группой I и P, включает два указателя (базы BP и стека SP) и два индексных регистра (источника SI и приемника DI). Указатели и индексные регистры могут участвовать в большинстве арифметических и логических операций. Регистры SP, SI и DI также неявно используются в некоторых командах: операции со стеком, операции со строками.

В процессе работы микропроцессор производит обращение в память за командами и операндами. Микропроцессор КР1810ВМ86 обеспечивает адресацию до 1 Мбайт памяти Формирование адреса команд и операндов осуществляется с помощью сумматора адреса, регистров адреса команды и операнда, сегментных регистров. Сумматор адреса производит вычисление 20-разрядного физического адреса команд и операндов путем сдвига базового адреса сегмента, хранящегося в соответствующем сегментном регистре, и сложения его с величиной смещения, находящейся в регистре адреса При вычислении адреса команды используются содержимое регистра сегмента кода и регистра адреса команды, при вычислении адреса операнда — содержимое регистра сегмента данных (или дополнительного сегмента) и регистра адреса операнда.

В микропроцессоре КР1810ВМ86 выборка команд и их выполнение производятся параллельно, причем для повышения производительности предусмотрена предварительная выборка команд. Блок предварительной выборки команд выполнен на трех 16-разрядных или шести 8-разрядных регистрах очереди команд, что позволяет хранить до шести байт кода команды. Очередь организована по принципу: «первым пришел — первым обслужили». Шестибайтная глубина предварительной очереди команд позволяет удовлетворять запросы в кодах команды настолько эффективно, что микропроцессор практически не простаивает в ожидании выборки команды из памяти.

Схема внутренней синхронизации преобразует поступающий извне тактовый сигнал CLK в две неперекрывающиеся последовательности синхроимпульсов, которые поступают на все внутренние устройства процессора. Кроме того, с помощью сигнала READY «Готовность», поступающего с периферийных устройств, схема внутренней синхронизации обеспечивает согласование скоростей обмена информации быстродействующего микропроцессора с медленнодействующими внешними устройствами. Схема внутренней синхронизации производит установку в исходное состояние различных устройств микропроцессора при поступлении на вход сигнала CLR высокого уровня.

Микропроцессор имеет двунаправленный, мультиплексированный канал адрес/данные, буферы которого имеют состояние «Выключено». Управление буферами осуществляется сигналами со схемы управления циклами обмена, которая в зависимости от выполняемой команды формирует сигналы управления записью, чтением для ЗУ и УВВ, сигналы подтверждения прерывания и др.

Схема обработки запросов прерывания позволяет обрабатывать до 256 видов прерываний. Возможны прерывания трех видов: внешние, внутренние и программные. Внешние запросы прерывания поступают на входы INT «Запрос прерывания» и NMI «Немаскируемый запрос прерывания». По входу INT поступают маскируемые запросы, которые удовлетворяются после выполнения текущей команды при условии, если предварительно был установлен признак разрешения прерывания. Так как схема обработки запросов прерывания не запоминает маскируемый запрос, то его необходимо сохранять на входе INT до момента получения от микропроцессора сигнала INTA «Подтверждение прерывания». По входу NMI поступает немаскируемый запрос прерывания, который запоминается и распознается независимо от состояния признака разрешения прерывания. Однако немаскируемый запрос так же, как и маскируемый, не распознается до завершения текущей команды. К внутренним прерываниям относятся: прерывания по переполнению INTO, по ошибке деления и пошаговый режим. При поступлении внутренних запросов прерывания схема обработки запросов прерывания вырабатывает общий запрос прерывания. Внутренние прерывания не маскируются и обрабатываются так же, как и аппаратные, — после выполнения последнего такта команды. Программные прерывания вызываются сразу после выполнения специальной команды INT_n. Тип прерывания закодирован в самой команде, поэтому необходимость в выполнении циклов подтверждения прерывания с целью получения указателя (типа прерывания) отпадает. При системном сбросе внешние маскируемые прерывания запрещаются, так как регистр признаков устанавливается в «0» и снимается признак разрешения прерывания.

Схема управления доступом к магистрали в зависимости от

установленного режима работы микропроцессора (минимального или максимального) обеспечивает различные режимы доступа к магистрали. В минимальном режиме при поступлении от внешнего устройства сигнала HLD «Захват» микропроцессор заканчивает выполнение текущего цикла, выдает сигнал HLDA «Подтверждение захвата», переводит в состояние «Выключено» магистраль A/D и управляющие выводы, т. е. логически отключается от магистрали, предоставляя ее в пользование внешнему устройству. В максимальном режиме назначение выводов 31 и 30 переопределяется (HLD→RQ/E0, HLDA→→RQ/E1). В этом режиме микропроцессор передает функции управ-

Таблица 3.69

Номер вывода	Обозначение	Назначение
16—2, 39	A/D0—A/D15	Канал адреса/данных
38—35	A16/ST3—A19/ST6	Канал адреса/состояния
1, 20	GND	Общий
17	NMI	Немаскируемый запрос прерывания
18	INT	Запрос прерывания
19	CLK	Тактовый сигнал
21	CLR	Установка в начальное состояние
22	READY	Готовность
23	TEST	Проверка
24	INTA (QS1)	Подтверждение прерывания (состояние очереди команд)
25	STB (QS0)	Строб адреса (состояние очереди команд)
26	DE (ST0)	Разрешение передачи данных (состояние цикла канала)
27	OP/IP (ST1)	Выдача/прием данных (состояние цикла канала)
28	M/IO (ST2)	Обращение к ЗУ/УВВ (состояние цикла канала)
29	WR (LOCK)	Запись (канал занят)
30	HLDA (RQ/E1)	Подтверждение захвата (запрос/разрешение доступа к магистрали)
31	HLD (RQ/E0)	Захват (запрос/разрешение доступа к магистрали)
32	RD	Чтение
33	MN/MX	Управление режимом минимальный/максимальный
34	BHE/ST7	Разрешение передачи по старшей половине канала адреса/данных или состояния МП
40	U_{cc}	+5 В

Примечание. В скобках указаны условное обозначение и назначение вывода для максимального режима работы.

ления магистралью контроллеру шин КР1810ВГ88, а сам перестраивается для работы в условиях сложной мультипроцессорной системы. Назначение выводов КР1810ВМ86 приведено в табл. 3.69.

3.8.2. Микросхема КР1810ГФ84

Микросхема КР1810ГФ84 представляет собой генератор тактовых импульсов (ГТИ) и используется в качестве задающего устройства для микропроцессорных комплектов на базе серии КР1810. Структурная схема КР1810ГФ84 приведена на рис. 3.64.

Частота опорного генератора задается с помощью внешнего кварцевого резонатора, который подключается к выводам XTAL1 и XTAL2. Частота опорного генератора в три раза превышает требуемую тактовую частоту на выходе CLK. Выход опорного генератора подается на вывод OSC. В качестве источника частоты в схеме ГТИ может использоваться как внутренний опорный генератор, так и внешний генератор, сигналы с которого поступают на вход EFI. Управление осуществляется сигналом F/C «Выбор задающей частоты». При наличии на входе F/C сигнала низкого уровня в качестве источника частоты используется опорный генератор, при наличии на входе F/C сигнала высокого уровня источником частоты является внешний генератор, причем его частота должна в три раза превышать требуемую на выходе частоту сигнала CLK.

Делитель частоты F/3 формирует выходные импульсы скважностью 3 с частотой, равной 1/3 частоты опорного генератора OSC или внешнего генератора EFI, которые через формирователь сигналов CLK поступают на выход CLK микросхемы и обеспечивают управление устройствами, работающими на МОП-уровнях. Делитель частоты F/2 формирует выходные импульсы PCLK скважностью 2

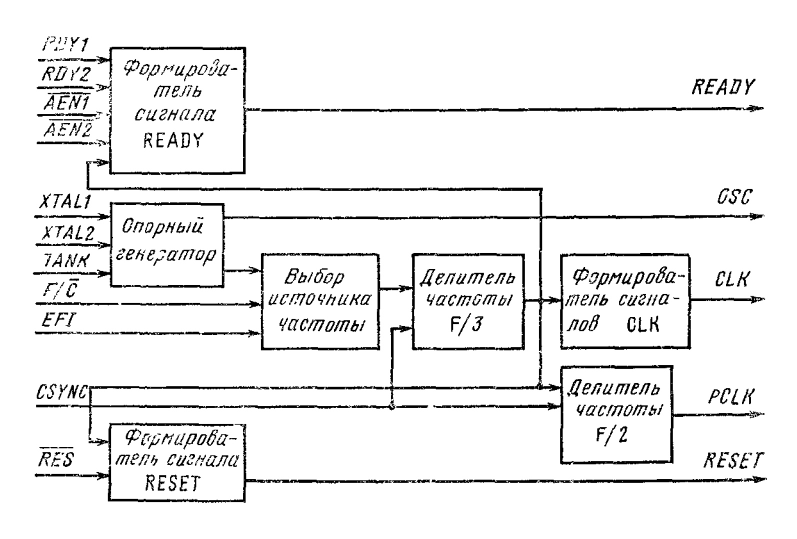


Рис. 3.64. Структурная схема КР1810ГФ84

с частотой, равной 1/2 частоты сигнала CLK, и обеспечивает управление устройствами, работающими на ТТЛ-уровнях. Формирование выходных сигналов CLK и PCLK происходит при наличии на входе CSYNC «Синхронизация» сигнала низкого уровня. При поступлении на вход CSYNC сигнала высокого уровня выходы CLK и PCLK переводятся в состояние высокого уровня.

Одновременно с помощью сигнала CSYNC предусмотрена возможность синхронной работы нескольких генераторов КР1810ГФ84, при этом входы CSYNC всех генераторов объединяются и синхронизируются внешним генератором.

Микросхема КР1810ГФ84 формирует управляющие сигналы RESET «Установка» и READY «Готовность», синхронизированные сигналом CLK Сигнал RESET вырабатывается при поступлении входного сигнала RES и используется для установки микропроцессора в исходное состояние. Сигнал READY свидетельствует о готовности внешних устройств к обмену с микропроцессором и вырабатывается на основе входных сигналов RDY1, RDY2 и AEN1, AEN2, поступающих от внешних устройств. Назначение выводов КР1810ГФ84 приведено в табл. 3.70.

Таблица 3.70

Номер вывода	Обозначение	Назначение
1	CSYNC	Синхронизация
2	PCLK	Тактовый сигнал ТТЛ-уровня
3	AEN1	Адрес готовности 1
4	RDY1	Готовность 1 (вход)
5	READY	Готовность (выход)
6	RDY2	Готовность 2 (вход)
7	AEN2	Адрес готовности 2
8	CLK	Тактовый сигнал МОП-уровня
9	GND	Общий
10	RESET	Установка (выход)
11	RES	Установка (вход)
12	OSC	Выход мультивибратора
13	F/C	Выбор задающей частоты
14	EFI	Внешний генератор
15	TANK	Вывод для подключения LC-контура
16, 17	XTAL2, XTAL1	Выводы для подключения кварцевого резонатора
18	U_{cc}	+5 В

3.8.3. Микросхема КР1810ВГ88

Микросхема КР1810ВГ88 реализует функции контроллера шины и предназначена для работы в составе микроЭВМ, выполненной на базе микропроцессора КР1810ВМ86. Контроллер шины организует обмен данными между локальной шиной микропроцессора и сис-

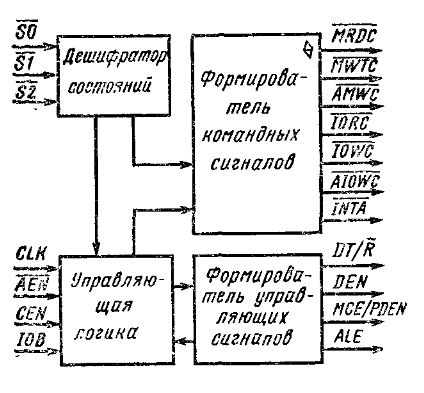


Рис. 3.65. Структурная схема КР1810ВГ88

темной шиной при условии, что микропроцессор имеет доступ к управлению шиной

Структурная схема КР1810ВГ88 представлена на рис. 3.65. Рассмотрим назначение основных узлов Дешифратор состояний в зависимости от состояния микропроцессора КР1810ВМ86, определяемого сигналами S0—S2, организует выполнение следующих операций считывание данных из памяти; считывание данных из устройства ввода/вывода (УВВ); запись даниых в память; подтверждение прерывания; запись данных в УВВ.

Управляющая логика в зависимости от состояния сигнала IOB определяет режимы работы выходных формирователей командных и управляющих сигналов. Высокий уровень напряжения на входе IOB разрешает контроллеру работу как с шиной ввода/вывода, так

Таблица 3.71

Номер вывода	Обозначение	Назначение
1	IOB	Выбор режима работы
2	CLK	Тактовый сигнал
19, 3, 18	S0 -S2	Сигналы состояний
4	DT/R	Управление шинными формирователями
5	ALE	Строб записи адреса
6	AEN	Разрешение управляющих сигналов
7	MRDC	Считывание из памяти
8	AMWC	Опережающая запись в память
9	MWTC	Запись в память
10	GND	Общий
11	IOWC	Запись в УВВ
12	AIOWC	Опережающая запись в УВВ
13	IORC	Считывание из УВВ
14	INTA	Подтверждение прерывания
15	CEN	Управление состоянием управляющих сигналов
16	DEN	Направление передачи
17	MCE/PDEN	Управление формирователями шины ввода/вывода
20	U_{cc}	+5 В

и с системной шиной; при низком уровне напряжения на входе IOB контроллер работает только с системной шиной.

В режиме работы с шиной ввода/вывода (IOB — высокий уровень) формирователи командных и управляющих сигналов выдают выходные сигналы независимо от состояния сигнала AEN «Разрешение управляющих сигналов», определяющего доступ МП к управлению системной шиной. Применение этого режима работы позволяет исключить ожидание, когда необходим доступ МП к шине ввода/вывода. Этот режим дает наибольший выигрыш при работе УВВ только с одним МП в микропроцессорной системе.

В режиме работы с системной шиной (IOB — низкий уровень) доступ к управлению системной шиной с помощью контроллера шины возможен только после арбитража, проводимого арбитром шины КР1810ВБ89 В случае предоставления доступа к шине контроллер шины формирует командные и управляющие сигналы по истечении 115 нс после поступления сигнала AEN. Данный режим применяется, когда УВВ и память работает с несколькими МП в многопроцессорной системе.

Формирователь командных сигналов вырабатывает сигналы, которые используются для управления внешними устройствами, подключенными к системной шине ввода/вывода. Сигналы с выхода формирователя управляющих сигналов используются для управления шинными формирователями (DEN, DT/R, PDEN) и адресными защелками (ALE). Назначение выводов КР1810ВГ88 приведено в табл. 3.71.

3.8.4. Микросхема КР1810ВБ89

Микросхема представляет собой арбитр системной шины и предназначена для использования в многопроцессорных системах в качестве устройства, осуществляющего синхронизацию доступа множества ведущих устройств к системной шине. Арбитр системной шины КР1810ВБ89 применяется совместно с контроллером системной шины КР1810ВГ88 для связи МП КР1810ВМ86 с системной шиной коллективного пользования. Для координации доступа МП к системной шине осуществляется арбитраж, основанный на принципе приоритета, т. е. в любой данный промежуток времени одно ведущее устройство будет иметь приоритет над всеми другими ведущими устройствами.

Арбитр шины КР1810ВБ89 обеспечивает три способа разрешения приоритета: вращающийся, последовательный и параллельный. Способ вращающегося разрешения приоритета путем динамического переназначения приоритета позволяет каждому арбитру в равной степени использовать системную шину в порядке очередности. Однако этот способ требует применения внешнего довольно сложного приоритетно-кодирующего устройства Необходимость в таком устройстве отпадает при последовательном способе разрешения приоритета, но при этом в связи с задержкой, вызванной процедурой последовательной передачи приоритета от арбитра к арбитру, возможно последовательное соединение не более трех арбитров (при тактовой частоте до 10 МГц). Способ параллельного разрешения приоритета является компромиссным между первыми двумя, так как позволяет организовать работу многих арбитров, не требуя при этом

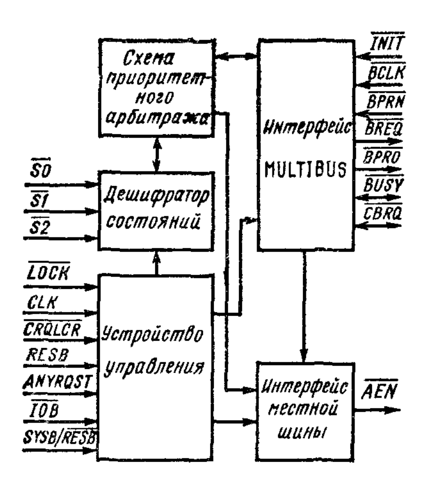


Рис. 3.66. Структурная схема КР1810ВБ89

достаточно сложного приоритетно-кодирующего устройства

Арбитр шины имеет четыре режима: работа с системной шиной; работа с периферийной шиной ввода/вывода; работа с резидентной шиной; работа с периферийной шиной ввода/вывода и резидентной шиной. Перечисленные режимы работы задаются подачей на входы IOB и RESB управляющих сигналов определенной полярности. Структурная схема арбитра системной шины представлена на рис. 3.66.

Дешифратор состояний анализирует значения входных сигналов S0—S2, поступающих с МП, и организует внутренние узлы КР1810ВБ89 (схему приоритетного арбитража, интерфейс MULTIBUS и интерфейс местной шины) для выполнения действий по захвату и освобождению системной шины. Устройство управления осуществляет синхронизацию и управление режимами работы арбитра шины по командам МП Схема приоритетного арбитража проводит арбитраж нескольких МП, запрашивающих управление системной шиной, и предоставляет эту шину тому МП, который имеет наивысший приоритет.

Интерфейс местной шины формирует сигнал разрешения доступа к системной шине для таких устройств МП, как контроллер шин, адресные защелки, шинные формирователи.

Интерфейс MULTIBUS осуществляет процедуру взаимодействия арбитров шины на интерфейс многопроцессорной системы и синхронизирует действия по захвату системной шины в соответствии с сигналом синхронизации шины. Назначение выводов КР1810ВБ89 приведено в табл. 3.72.

3.8.5. Микросхема КР1810ВН59А

Микросхема КР1810ВН59А представляет собой программируемый контроллер прерываний и предназначена для организации прерываний в системах с многоуровневыми приоритетами. Микросхема КР1810ВН59А может работать с МП КР580ВМ80А или КР1810ВМ86 Структурная схема, назначение основных узлов, выполняемые функции и разводка выводов микросхемы КР1810ВН59А аналогичны микросхеме КР580ВН59, описанной в § 3.1.

Микросхема КР1810ВН59А в отличие от микросхемы КР580ВН59 обеспечивает два варианта ответа на сигнал INTA «Подтверждение прерывания», поступающий из микропроцессора, и два варианта назначения микросхемы в качестве ведущей или ведомой. Определяют-

Таблица 3.72

Номер вывода	Обозначение	Назначение
1, 19, 18	S2—S0	Шина состояний
2	IOB	Выбор режима работы
3	SYSB/RESB	Разрешение доступа
4	RESB	Выбор режима рабовы с резидентной шиной
5	BCLK	Синхронизация системной шины
6	INIT	Начальная установка
7	BREQ	Запрос шины
8	BPRO	Выход приоритетного разрешения доступа
9	BPRN	Вход приоритетного разрешения доступа
10	GND	Общий
11	BUSY	Занято
12	CBRQ	Вход/выход общего запроса шины
13	AEN	Управление шинными устройствами МП
14	ANYRQST	Разрешение освобождения системной шины
15	CRQLCR	Запрет освобождения системной шины
16	LOCK	Блокировка освобождения системной шины
17	CLK	Тактовый сигнал
20	U_{cc}	+5 В

ся эти варианты типом МП, с которым работает микросхема КР1810ВН59А.

При работе с МП КР580ВМ80А микросхема КР1810ВН59А так же, как и микросхема КР580ВН59, в ответ на три сигнала INTA выдает на шину данных трехбайтовую команду CALL и назначает микросхему ведущей или ведомой в зависимости от уровня напряжения, подаваемого на вывод SP «Выбор ведомой микросхемы».

При работе с МП КР1810ВМ86 микросхема КР1810ВН59А в ответ на два сигнала INTA выдает на шину данных старший байт адреса подпрограммы обслуживания и назначает микросхему ведущей или ведомой программно. В остальном принцип работы микросхемы КР1810ВН59А не отличается от принципа работы микросхемы КР580ВН59.

3.9. Однокристальные микроЭВМ

Все возрастающие потребности в недорогих многофункциональных устройствах, предназначенных для управления бытовыми приборами, радиоэлектронной аппаратурой, для решения разнообразных задач на низших уровнях управления, могут быть удовлетворены

Условное обозначение	Технология	Разрядность	Число команд	Объем внутреннего ЗУ, бит	
				ОЗУ	ПЗУ
КМ1814ВЕ3	p МОП	4	43	64×4	—
КР1814ВЕ4	p МОП	4	43	64×4	1024×8
КР1814ВЕ5	p МОП	4	43	64×4	1024×8
КМ1816ВЕ48	n МОП	8	96	64×8	1024×8
КР1816ВЕ49	n МОП	8	96	128×8	2048×8
КР1816ВЕ35	n МОП	8	96	64×8	—
КР1820ВЕ1	n МОП	4	49	64×4	—
КР1820ВЕ2	n МОП	4	49	64×4	1024×8

Примечание. М — масочные ПЗУ, УФ — репрограммируе

благодаря использованию однокристальных микроЭВМ (ОМЭВМ). Эти ЭВМ отличаются от однокристальных МП тем, что кроме АЛУ и УУ содержат в одном кристалле ОЗУ небольшого объема, ПЗУ команд, генератор, порты ввода/вывода, т. е. являются практически законченными системами управления.

Наиболее целесообразно и перспективно использование ОМЭВМ в системах, в которых требуемый объем программ не превышает объема внутреннего ПЗУ команд (8...16 Кбит), а для оперативной информации достаточно объема внутреннего ОЗУ ОМЭВМ (256...1К бит). В этих случаях применение ОМЭВМ позволяет значительно снизить число микросхем в системах, повышает надежность устройства и уменьшает их стоимость.

В однокристальных микроЭВМ в качестве ПЗУ команд предпочтительнее использовать масочное ПЗУ, программируемое в процессе изготовления микросхемы. Однако это возможно лишь в том случае, когда алгоритм работы ОМЭВМ в конкретной аппаратуре окончательно отлажен и не подлежит дальнейшей корректировке. На начальных этапах создания управляющих систем целесообразнее использовать ОМЭВМ, в которой внутреннее ПЗУ команд отсутствует и имеются выводы для подключения внешнего ЗУ: ОЗУ, РПЗУ или ППЗУ с объемом и организацией, аналогичными внутреннему ПЗУ. Такая ОМЭВМ является отладочной и позволяет производить разработку, отладку и корректировку программного обеспечения для самых разнообразных применений ОМЭВМ. После отработки программы при необходимости по заказу потребителей возможно изготовление ОМЭВМ с внутренним масочным (программируемым при изготовлении) ПЗУ, предназначенным для решения конкретной задачи. Основные технические характеристики ОМЭВМ приведены в табл 3.73.

3.9.1. Однокристальные микроЭВМ серии КМ(КР)1814

Микросхемы серии КМ(КР)1814 выполнены по pМОП-технологии и представляют собой серию однокристаллыных 4-разрядных микроЭВМ. Быстродействие ОМЭВМ серии КМ(КР)1814 невелико,

Таблица 3.73

Тип ПЗУ	Тактовая частота, МГц	Длительность машинного цикла, мкс	Напряжение питания, В	Ток потребления, мА	Корпус по ГОСТ 17467—79
—	⩽0,3	20	—9±10 %	7,7	2126.48-1
М1	⩽0,3	20	—9±10 %	7,7	2123 40-1
М2	⩽0,3	20	—9±10 %	7,7	2123.40-1
УФ	⩽6,0	2,5	+5±10 %	135	2123.40-6
М3	⩽11,0	1,4	+5±5 %	100	2123.40-2
—	⩽6,0	2,5	+5±5 %	115	2123.40-2
—	⩽4,0	4	+5±5 %	30	2123.40-5
М4	⩽4,0	4	+5±5 %	30	2123 28-3

мые ПЗУ с ультрафиолетовым стиранием

поэтому основные сферы их применения: контроллеры печатающих устройств, кассовые аппараты, бытовая и развлекательная аппаратура.

В качестве примера рассмотрим структуру и основные архитектурные особенности микросхемы КМ1814ВЕ3, являющейся отладочной ОМЭВМ, в которой отсутствует внутреннее ПЗУ команд и имеются выводы, позволяющие подключить внешнее ЗУ команд.

Система команд ОМЭВМ содержит 43 команды, обеспечивающие выполнение арифметических операций, операций логического и арифметического сравнения, операций с разрядами ОЗУ, пересылок регистр-регистр и регистр-ОЗУ, пересылок констант, операций ввода/вывода.

Благодаря разделению шины команд и шины данных возможно совмещение циклов выборки и исполнения последовательных команд, что способствует повышению быстродействия. При этом время выполнения команды будет определяться длительностью машинного цикла ОМЭВМ. Длительность машинного цикла ОМЭВМ составляет $6T_{CLK}$ (T_{CLK} — период частоты тактового генератора) и одинакова для всех команд, что создает дополнительные удобства при программировании задач, выполняемых в реальном масштабе времени. Структурная схема КМ1814ВЕ3 представлена на рис. 3.67. Рассмотрим ее архитектурные особенности и назначение основных узлов. Программа работы ОМЭВМ КМ1814ВЕ3 хранится во внешнем ЗУ команд. Объем программы не должен превышать 1 К байт.

Адресное поле ЗУ команд 1К×8 бит разбито на 16 страниц по 64 байта (команды). Адрес страницы задается 4-разрядным регистром страницы, адрес команды в странице задается 6-разрядным счетчиком команд.

Порядок следования команд, определяемый счетчиком команд, в данной ОМЭВМ отличается от последовательного и организован по псевдослучайному закону. Изменение порядка выборки команд программы осуществляется командами «Условный переход» и «Обращение к подпрограмме», при выполнении которых из адресного поля этих команд в счетчик команд вводится новое содержимое — адрес

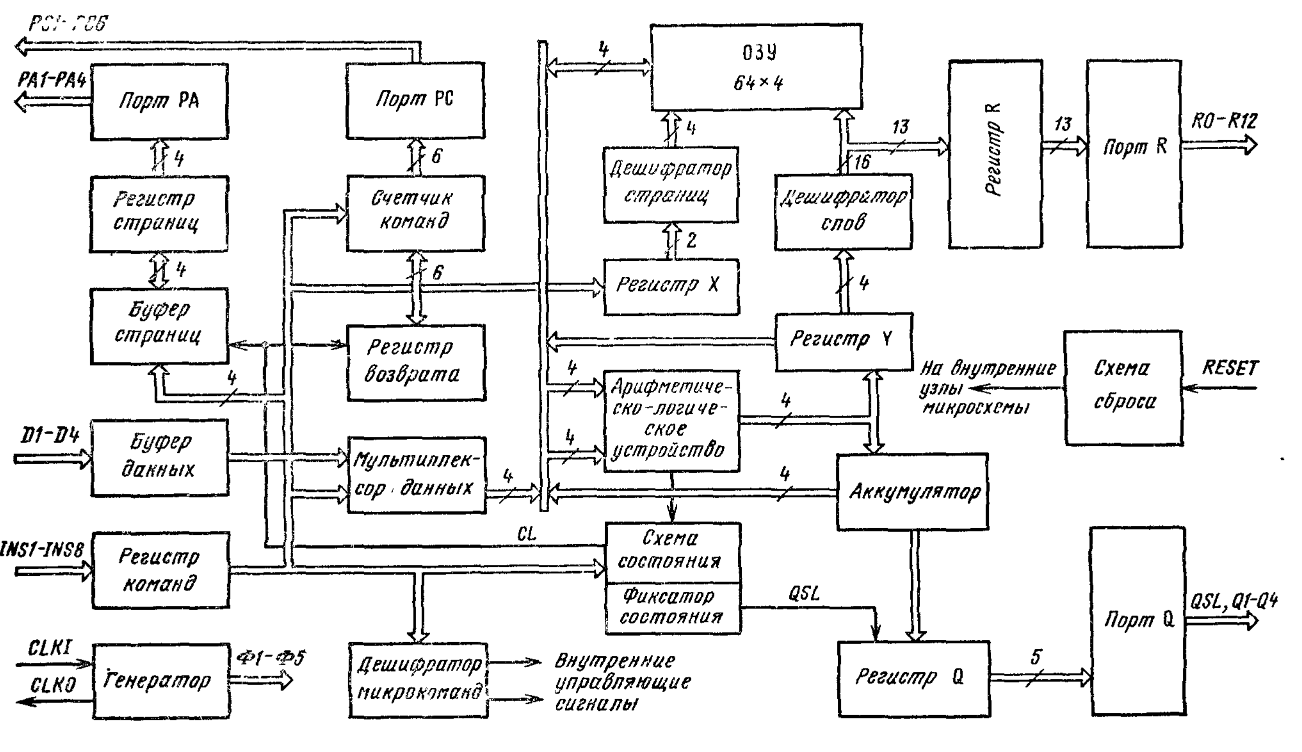


Рис. 3.67. Структурная схема КМ1814ВЕ3

перехода или начало подпрограммы. Изменение порядка следования команд возможно в пределах одной страницы (тогда содержимое регистра страниц не меняется) и с переходом на другую страницу. В последнем случае в регистр страниц вводится новое значение из буфера страницы, содержимое которого предварительно изменяется специальной командой.

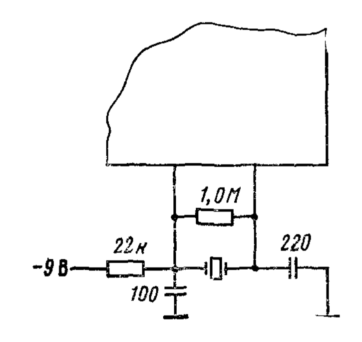
При выполнении команды «Обращение к подпрограмме» одновременно с записью нового значения адреса первой команды подпрограммы в счетчик команд и регистр страниц сохраняется их старое значение, к которому осуществляется возврат прерванной программы после выполнения подпрограммы. Счетчик команд сохраняется в регистре возврата, а регистр страницы — в буфере страницы. Выполнение команд условного перехода и обращения к подпрограмме происходит при условии, что флаг состояния установлен в «1».

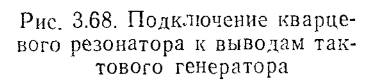
Структура адресации внутреннего ОЗУ данных ОМЭВМ также страничная. ОЗУ емкостью 64×4 бит разбито на четыре страницы, в каждой из которой хранится шестнадцать 4-разрядных слов. Адрес страницы задается 2-разрядным регистром X, адрес слова в странице задается регистром Y. Содержимое регистра X может быть изменено с помощью специальных команд адресации регистра X.

В соответствии с адресом команды, поступающим на внешнее ЗУ команд через порты PA и PC, выбранная команда через входы INS поступает в регистр команд, где и хранится в течение всего цикла выполнения команды. Имеется четыре формата команд, и все команды однобайтовые (8-разрядные). Код операции, занимающий в зависимости от формата команды от 2 до 8 бит, поступает на дешифратор команд, который в соответствии с выполняемой командой формирует комплекс управляющих сигналов, поступающих в различные узлы микросхемы. Арифметические и логические операции над поступающими операндами выполняет 4-разрядное АЛУ. Операндами может быть содержимое входного 4-разрядного порта, поля константы выполняемой команды, аккумулятора, регистра Y или ячейки ОЗУ данных. Результат операции поступает в аккумулятор или регистр Y. Выбор источников операндов и приемников результата определяется соответствующими управляющими сигналами, формируемыми дешифратором команд в зависимости от выполняемой команды. Одновременно АЛУ формирует признаки переноса и результата сравнения, которые направляются в схему состояния и в дальнейшем определяют ход выполнения программы условный переход или обращение к подпрограмме. Содержимое схемы состояния (флаг состояния) запоминается в фиксаторе состояния и по команде вывода одновременно с содержимым аккумулятора через регистр Q поступает на выходной порт Q микросхемы (вывод QSL).

Установка триггера признака подпрограммы CL схемы состояния осуществляется командой «Обращение к подпрограмме» При этом разрешается запоминание адреса возврата и блокируется переход к другим подпрограммам. Сброс триггера CL происходит при возвращении в основную программу.

Выходной 13-разрядный порт R выводит содержимое регистра R, каждый разряд которого может быть предварительно установлен и сброшен специальной командой. Адресация каждого разряда регистра R осуществляется регистром Y. Индивидуальное программирование каждого разряда порта R позволяет эффективно использовать этот порт для управления периферийными устройствами различного назначения.




Рис. 3.68. Подключение кварцевого резонатора к выводам тактового генератора

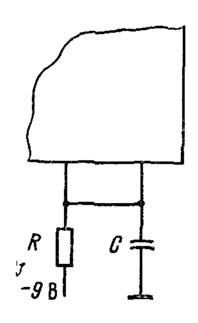


Рис. 3.69. Подключение RC-цепи к выводам тактового генератора

Таблица 3.74

Номер вывода	Обозначение	Назначение
2, 1, 47—44	PC6—PC1	Программный счетчик
3—10	INS1—INS8	Команда
11—14	D1—D4	Шина данных
15	U_{cc}	—9 В
16	RESET	Установка
17—20	PA1—PA4	Шина адреса страницы
25	GND	Общий
23, 28, 27, 26, 24	QSL, Q1—Q4	Выходной порт Q
29	CLKO	Выход ГТИ
30	CLKI	Вход ГТИ
31—43	R0—R12	Управляющий порт R
48	GND	Общий

В качестве тактового генератора для ОМЭВМ может использоваться как внешний генератор, подключаемый ко входу CLKI «Вход ГТИ», так и внутренний, частота которого задается с помощью кварцевого резонатора или RC-цепи, подключаемых к выводам CLKI и CLKO. Примеры подключения кварцевого резонатора и RC-цепи к выводам генератора микросхемы приведены соответственно на рис. 3.68 и 3.69. Диапазон рабочей частоты 100...300 кГц. Назначение выводов КМ1814ВЕ3 приведено в табл. 3.74.

3.9.2. Однокристальные микроЭВМ серии КМ1816

Микросхемы серии КМ1816 — КР1816ВЕ35, КМ1816ВЕ48, КР1816ВЕ49 — выполнены по nМОП-технологии и представляют собой серию однокристальных 8-разрядных микроЭВМ. Каждая из

схем является практически законченной системой управления и содержит на кристалле центральное процессорное устройство, ОЗУ данных, многоканальный интерфейс ввода/вывода, тактовый генератор, схему прерывания и устройство синхронизации. В микросхемах КМ1816ВЕ48 и КР1816ВЕ49 ПЗУ программ реализовано внутри кристаллов, а в микросхеме КР1816ВЕ35 — с помощью внешнего ЗУ. Характеристики ОМЭВМ серии КМ1816 приведены в табл. 3.73. В микросхеме КМ1816ВЕ48 ПЗУ программ выполнено в виде репрограммируемого ПЗУ с электрической записью и ультрафиолетовым стиранием.

В каждой ОМЭВМ предусмотрена возможность расширения памяти программ до 4К байт, памяти данных до 384 байт и увеличения числа линий ввода/вывода за счет подключения внешних микросхем ЗУ и интерфейсов ввода/вывода серии КР580.

Система команд ОМЭВМ содержит 96 команд, из них 68 — однобайтовые. За один машинный цикл выполняются 53 команды, за два машинных цикла — 43. Время машинного цикла составляет $15T_{CLK}$, где T_{CLK} — период частоты тактового генератора. Однокристальная микроЭВМ работает как от внешнего генератора, так и от внутреннего, тактовая частота которого может задаваться кварцевым резонатором или LC-контуром. Диапазон рабочей частоты 1...6 МГц. Структурная схема КМ1816ВЕ48 приведена на рис. 3.70.

Арифметическо-логическое устройство — параллельное 8-разрядное устройство, позволяющее выполнять арифметические, логические операции и операции сдвига над данными, представленными в двоичном или двоично-десятичном коде.

Устройство управления и синхронизации, состоящее из генератора и формирователей внутренних тактовых сигналов и сигналов состояний, вырабатывает комплекс управляющих сигналов, обеспечивающих определенные режимы работы микроЭВМ (программирование, пошаговый режим) и выполнение всех команд. Схема условных переходов формирует управляющие сигналы, необходимые для ветвления программы при реализации команд условных переходов. Значения признаков переходов устанавливаются как программно, так и аппаратно.

Блок программной памяти состоит из ПЗУ (для микросхем КМ1816ВЕ48. КР1816ВЕ49), счетчика команд, регистра и дешифратора адреса ПЗУ, регистра команд и дешифратора команд.

Двенадцатиразрядный счетчик команд (СК) формирует текущий адрес команды в программной памяти. Содержимое СК увеличивается на 1 после выборки каждого байта команды. При выполнении команд условных, безусловных переходов, вызова подпрограмм и прерываний содержимое СК может быть полностью заменено. Старший разряд СК изменяется только программно. Счетчик команд разбит на две части: разряды 0—7 — младшая часть СК, разряды 8—11 — старшая. При использовании внешнего ПЗУ младшая часть СК заполняется через порт Р0, а старшая — через порт Р2 (Р20—Р23). Регистр команд предназначен для записи и хранения кодов команд, передаваемых через внутреннюю шину с выхода ППЗУ или из порта Р0 при внешнем ЗУ.

Дешифратор команд представляет собой программируемую логическую матрицу, на вход которой поступает код команды, а с выхода снимаются управляющие сигналы, выполняющие эту команду. Оперативное ЗУ данных с организацией 64×8 бит условно разбито на

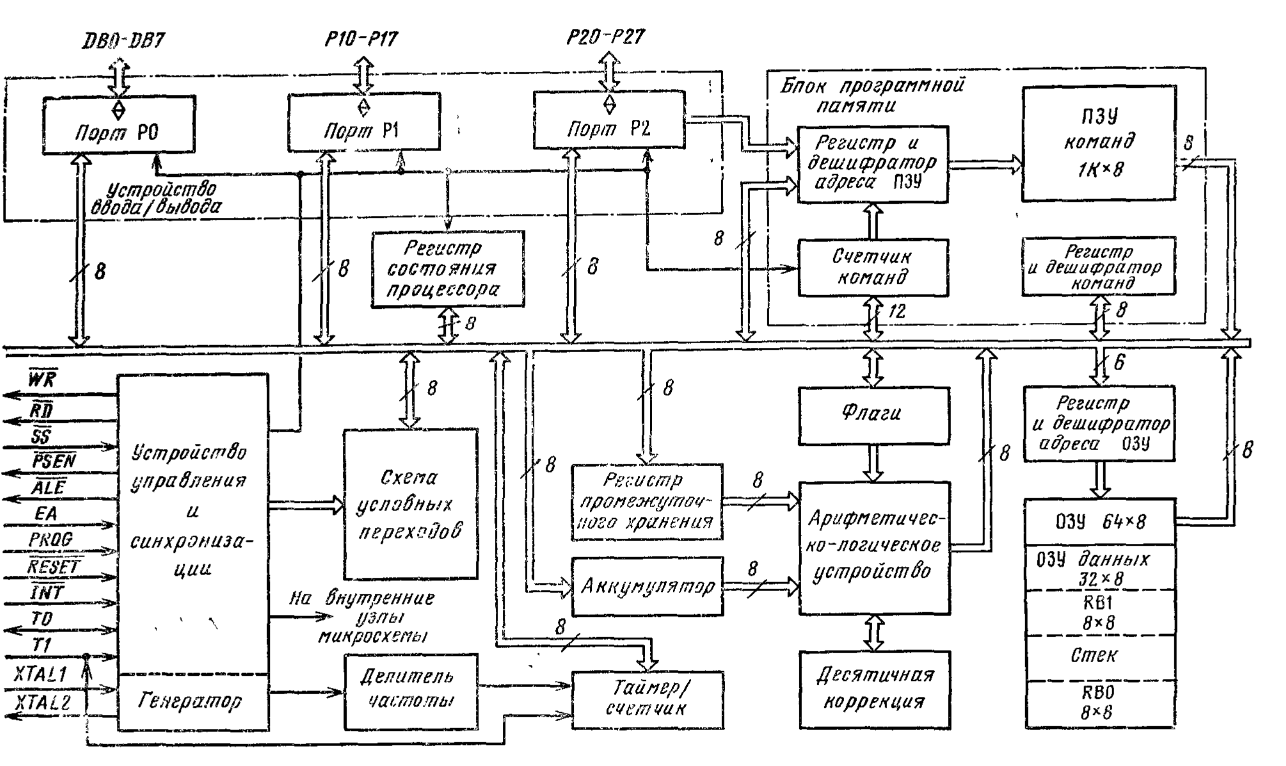


Рис. 3.70. Структурная схема КМ1816ВЕ48

ряд областей: два банка РОН (RB0 и RB1) по восемь 8-разрядных слов каждый; восьмиуровневый стек, занимающий 16 ячеек ЗУ (каждый уровень стека состоит из двух ячеек с последовательными адресами); собственно ОЗУ данных объемом тридцать два 8-разрядных слова.

Для записи и считывания данных из ОЗУ применяются два вида адресации: прямая и косвенная (регистровая). При прямой адресации адрес РОН определяется тремя младшими разрядами в коде команды. При косвенной адресации место расположения адреса указывается в команде. Адрес ячейки ОЗУ может храниться либо в аккумуляторе, либо в РОН. С помощью косвенной адресации можно адресоваться к любой ячейке ОЗУ.

Устройство ввода/вывода ОМЭВМ серии КМ1816 выполнено в виде трех 8-разрядных портов Р0—Р2. Порт Р0 — двунаправленный, имеющий на выходе состояние «Выключено», используется для параллельного ввода или вывода данных. В режиме вывода выходные данные статически фиксируются до момента перезаписи выводимой информации В режиме ввода входные данные не фиксируются, т. е. внешняя логика должна поддерживать на входах порта Р0 данные до тех пор пока они не будут считаны. Работа порта Р0 в режимах ввода и вывода сопровождается стробами WR и RD. При отсутствии режима ввода или вывода выходные шины порта Р0 находятся в состоянии «Выключено» (в третьем состоянии). Порты Р1 и Р2 идентичны и могут использоваться в качестве статически фиксированного выходного порта или фиксированного входного порта. Кроме операций ввода/вывода информации имеется возможность выполнения логических операций непосредственно на портах Р0—Р2. Специфика портов Р1 и Р2 состоит в том, что отдельные выводы портов Р1 и Р2 могут служить в качестве входных и в качестве выходных. Для обеспечения такого режима при выводе информации необходимо вывести «1» (высокий уровень) на те разряды порта, которые будут использоваться в качестве входных. Ввод информации в порты Р1 и Р2 производится путем опрокидывания в нуль любых разрядов порта, в которых записаны единицы.

Кроме перечисленных ОМЭВМ имеет три линии ввода/вывода Т0, Т1, INT, которые являются условиями, проверяемыми командами условного перехода. Линию Т0 можно использовать для выдачи тактовых сигналов, Т1 — в качестве входа счетчика внешних событий для таймера, а линию INT — для внешнего аппаратного прерывания

Таймер/счетчик, состоящий из делителя, счетчика и триггера флага, может работать в двух режимах — таймера и счетчика внешних событий. В режиме таймера производится подсчет внутренних импульсов, поступающих с частотой F /480 (F — частота опорного генератора), в режиме счетчика внешних событий считаются импульсы, поступающие на вход Т1. Переход от максимального значения в счетчике к нулевому фиксируется в триггере флага таймера/счетчика, что в дальнейшем используется при выполнении команд условного перехода и для организации прерывания по таймеру/счетчику. Запись в таймер/счетчик, его пуск и останов осуществляются по специальным командам.

Схема прерываний позволяет производить обработку прерывания, поступившего на вход INT «Прерывание», и по флагу таймера/счетчика, причем прерывание по входу INT имеет старший приоритет. Каждый из видов прерываний может быть разрешен или запре-

Таблица 3.75

Номер вывода	Обозначение	Назначение
1,39	T0, T1	Тестирование
2, 3	XTAL1, XTAL2	Выводы для подключения кварцевого резонатора
4	RESET	Установка
5	SS	Пошаговый режим
6	INT	Прерывание
7	EA	Разрешение работы с внешней памятью
8	RD	Чтение
9	PSEN	Управление считыванием из внешней памяти
10	WR	Запись
11	ALE	Фиксация адреса
12—19	DB0—DB7	Порт 0
20	GND	Общий
21—24, 35—38	P20—P27	Порт 2
25	PROG	Программирование
26	U_{PR}	Напряжение программирования
27—34	P10—P17	Порт 1
40	U_{cc}	+5 В

щен программно. При поступлении на вход INT сигнала низкого уровня (если прерывание по входу INT разрешено) происходит обращение к программе обслуживания с адресом 03. При этом, как и при любом обращении к подпрограмме, содержимое счетчика команд и слово состояния процессора PSW записываются в стек. Так же происходит обработка прерывания по флагу таймера/счетчика, но обращение к программе обслуживания производится по адресу 07. Программа обслуживания должна заканчиваться командой RETR «Восстановление состояния и возврат к прерванной программе». Назначение выводов КМ1816ВЕ48 приведено в табл. 3.75.

3.9.3. Однокристальные микроЭВМ серии КР1820

Микросхемы серии КР1820 выполнены по nМОП-технологии и представляют серию однокристальных 4-разрядных микроЭВМ. Они обладают по сравнению с ОМЭВМ серии КМ(КР)1814 более высоким быстродействием (см. табл. 3.73), имеют входные и выходные уровни, совместимые с уровнями ТТЛ-ТТЛШ-схем.

Система команд и развитый ввод/вывод ОМЭВМ серии КР1820 обеспечивают управление широким набором периферийных устройств и приборов: клавиатура, дисплей, внешние ЗУ, печатающие устройства, контроллеры электроприборов.

В качестве примера рассмотрим структуру и основные архитектурные особенности ОМЭВМ КР1820ВЕ1, в которой отсутствует

внутреннее ПЗУ команд и имеются выводы, позволяющие подключить внешние ЗУ с организацией 1К×8 бит. Структурная схема КР1820ВЕ1 представлена на рис. 3.71.

Адресное пространство ЗУ разбито на 16 страниц по 64 слова. Такая организация памяти команд обусловлена спецификой выполнения команд передачи управления, что позволяет осуществлять переход как внутри текущей страницы ЗУ, так и в другую страницу. Адресация ЗУ осуществляется 10-разрядным счетчиком команд. Четыре старших разряда счетчика команд определяют номер страницы ЗУ, шесть младших — номер слова в странице. Содержимое счетчика команд с каждым командным циклом увеличивается на единицу, если выполняемая команда не является командой передачи управления. По командам передачи управления осуществляется как полная, так и частичная замена содержимого счетчика команд. Причем при выполнении некоторых типов команд передачи управления (например, переход к подпрограмме) одновременно с записью в счетчик команд нового адреса (адреса подпрограммы) происходит сохранение старого значения счетчика команд — адреса возврата. Адрес возврата записывается в верхний уровень стека — регистр SA. Стек организован в виде трех 10-разрядных регистров SA, SB, SC и обеспечивает три уровня вложения подпрограмм.

Система команд насчитывает 49 команд: 27 однобайтовых и 22 двухбайтовых. Однобайтовые команды в основном выполняются за один командный цикл, двухбайтовые — за два.

Десятиразрядный адрес текущей команды, хранящийся в счетчике команд, через порт РО поступает на внешнее ЗУ команд. Выбранная из ЗУ 8-разрядная команда через выводы РО0—РО7 порта РО передается в дешифратор команд, который в зависимости от кода операции команды формирует комплекс сигналов, управляющих работой различных узлов микросхемы. Работа порта РО в режиме вывода адреса или ввода данных (команды, операнда) синхронизируется сигналом FLA/D, выдаваемым ОМЭВМ в каждом командном цикле.

Оперативное ЗУ данных ОМЭВМ объемом 256 бит организовано в виде четырех регистров, каждый из которых состоит из шестнадцати 4-разрядных ячеек. Адресация 4-разрядной ячейки ОЗУ осуществляется с помощью регистра В. Два старших разряда регистра В (BR) определяют выбор одного из четырех регистров ОЗУ, а четыре младших разряда (BD) осуществляют выбор одной из 16 ячеек. Содержимое ячейки ОЗУ может направляться в различные узлы микросхемы: аккумулятор, АЛУ, регистр Q, регистр последовательного ввода/вывода и через регистр BD передаваться в выходной регистр D

Четырехразрядное АЛУ выполняет операции сложения, пересылки, инкремента, декремента, ИСКЛЮЧАЮЩЕЕ ИЛИ над поступающими на его вход операндами. Результат операции заносится в аккумулятор, который является основным рабочим регистром. Через него осуществляется загрузка ОЗУ, ввод/вывод данных через регистр Q, обмен данными с регистром последовательного ввода/вывода. Возникновение переполнения в АЛУ фиксируется схемой переноса, которая совместно с регистром режима EN управляет выходом SK «Управляемые синхроимпульсы».

Режимы работы различных узлов микросхемы определяются состоянием отдельных разрядов 4-разрядного регистра режима EN, загрузка которого производится специальной командой. Младший

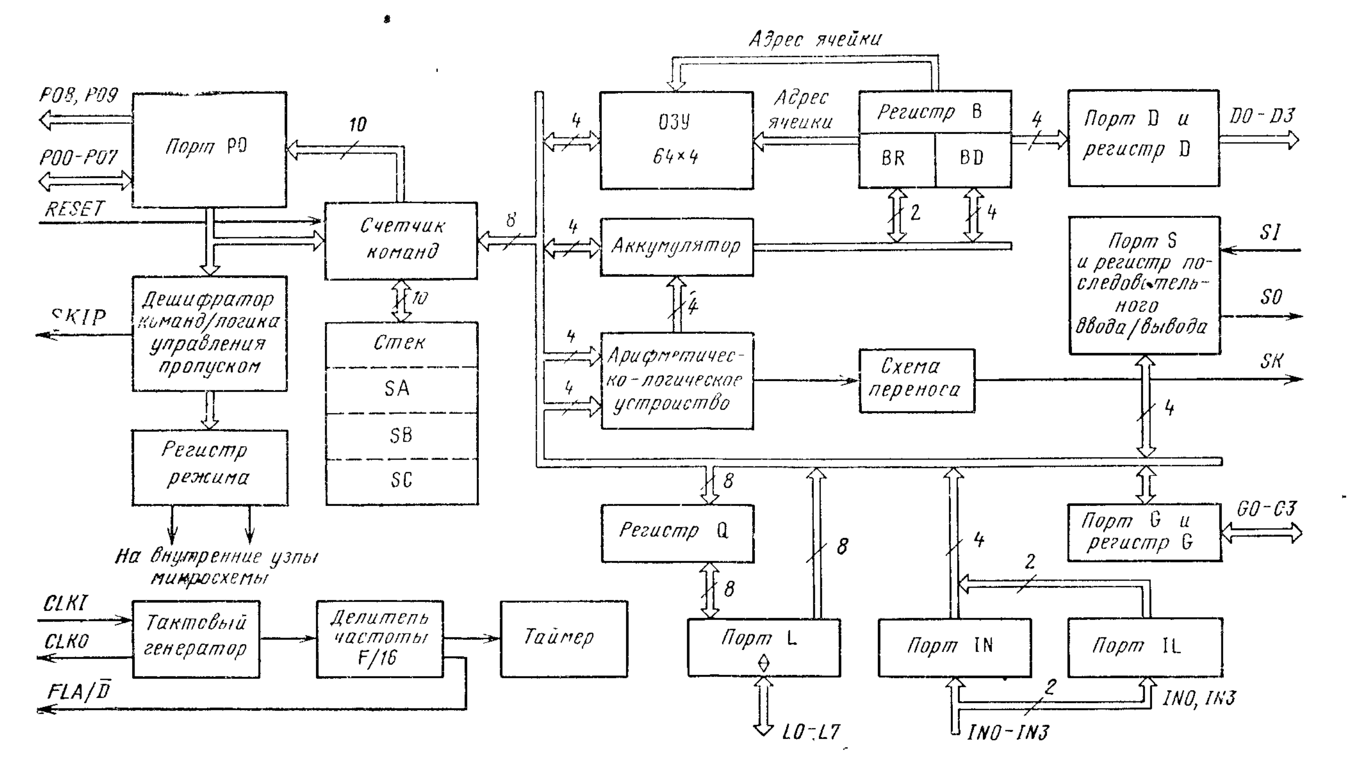


Рис. 3.71. Структурная схема КР1820ВЕ1

разряд этого регистра определяет режим работы регистра последовательного ввода/вывода SI/O (при EN0=1 — режим двоичного счетчика, при EN0=0 — режим сдвигового регистра). Старший и младший разряды регистра режима управляют выводами SO «Последовательный вывод» и SK «Управляемые синхроимпульсы». Второй разряд регистра EN (EN1) используется при обработке запросов прерывания. Разряд EN2 управляет передачей информации через порт L.

Ввод/вывод информации в ОМЭВМ осуществляется с помощью команд ввода/вывода через пять портов: G, L, IN, D, S. Двунаправленный 4-разрядный порт G совместно с регистром G позволяет осуществлять ввод информации непосредственно в аккумулятор и вывод содержимого ячейки ОЗУ или поля операнда команды на выводы G0—G3. Восьмиразрядный двунаправленный порт L обеспечивает вывод информации, хранящейся в регистре Q, и ввод информации, поступающей на выводы L0—L7, в аккумулятор (четыре младших разряда) и в адресованную ячейку ОЗУ Выводы порта L имеют на выходе состояние «Выключено» и обладают повышенной нагрузочной способностью, что позволяет подключать к ним непосредственно светоизлучающие диоды и знакосинтезирующие индикаторы. Данные с 4-разрядного входного порта IN заносится в аккумулятор. Кроме того, через младший и старший разряды порта IN данные могут приниматься в асинхронном режиме (по перепаду входного сигнала с высокого уровня на низкий), сохраняться в 2-разрядном регистре IL и по специальной команде направляться в аккумулятор. Через 4-разрядный выходной порт D на выходы D0—D3 выдается содержимое регистра BD. Порт S — последовательный порт ввода/вывода, обеспечивающий синхронный обмен данными с внешними устройствами.

В ОМЭВМ в качестве входа запроса прерывания используется вход IN1. Обработка запроса прерывания осуществляется при выполнении следующих условий: разряд 1 регистра EN установлен в «1»; сигнал запроса прерывания удерживается на время не менее двух командных циклов; закончено выполнение текущей команды.

При выполнении прерывания в верхний уровень стека записывается увеличенное на единицу значение счетчика команд (ранее записанные адреса возвратов опускаются на более нижние уровни), а первый разряд регистра EN устанавливается в «0», блокируя последующие прерывания. При этом в счетчик команд автоматически заносится адрес первой команды подпрограммы обработки прерываний. Для разрешения последующих прерываний необходимо непосредственно перед командой возврата из подпрограммы обработки прерывания выполнить команду загрузки регистра режима.

В качестве тактового генератора для ОМЭВМ может использоваться как внешний генератор, подключаемый ко входу CLKI микросхемы, так и внутренний, частота которого задается с помощью кварцевого резонатора или RC-цепи, подключаемых к выводам CLKI и CLKO микросхемы. Длительность машинного цикла задается делителем частоты и составляет $16T_{CLK}$, где T_{CLK} — период частоты тактового генератора. Диапазон рабочей частоты 1,6...4 МГц.

Схема начальной установки производит очистку аккумулятора, всех основных регистров и счетчика команд. Осуществляется это автоматически при включении питания при условии, что время нарастания напряжения питания не превышает 1 мс. В противном случае

Таблица 3.76

Номер вывода	Обозначение	Назначение
1	CLKO	Выход ГТИ
2	CLKI	Вход ГТИ
4	RESET	Установка
8—5, 3, 36, 10, 9	PO0—PO7	Порт PO (0—7 разряды)
21—18, 14—11	L0—L7	Порт L (ввод/вывод)
26, 15, 16, 27	IN0—IN3	Шина ввода информации
17	U_{cc}	+5 В
22	GND	Общий
23	SI	Последовательный ввод
24	SO	Последовательный вывод
25	SK	Управляемые синхроимпульсы
28—31	G0—G3	Порт G (ввод/вывод)
32	SKIP	Пропуск команды
33	ГLA/D	Управление шиной A/D
35, 34	PO8—PO9	Порт PO (8, 9 разряды)
40—37	D0—D3	Шина вывода информации

ко входу RESET необходимо подключить RC-цепь и диод, повышающие надежность начальной установки.

В процессе работы ОМЭВМ начальная установка осуществляется подачей сигнала низкого уровня на вход RESET. Длительность этого сигнала должна быть не менее трех машинных циклов. Ячейки ОЗУ могут быть очищены только программным путем. Назначение выводов КР1820ВЕ1 приведено в табл. 3.76.

Глава 4.

Интегральные микросхемы запоминающих устройств

4.1. Основные характеристики

Расширение областей применения современной вычислительной техники вызвало быстрое увеличение числа ЭВМ различных классов. Постоянная тенденция к усложнению задач, решаемых на ЭВМ, требует, в свою очередь, увеличения объема и ускорения процесса вычислений. Однако скорость решения любой задачи на ЭВМ ограничена временем обращения к памяти ЭВМ, т. е. к оперативному запоминающему устройству (ОЗУ). Получившее большое развитие в ЭВМ первого и второго поколений ЗУ на ферритах не позволяло сущест-

Таблица 4.1

Применяемые элементы	Время выборки, нс	Типовая информационная емкость, бит	Плотность размещения информации, бит/см^3	Энергопотребление при хранении информации
Биполярные транзисторы	50...300	$10^3...10^5$	До 200	Есть
МОП-структуры	250...1000	$10^3...10^6$	200...300	»
Ферритовые сердечники	350...1200	$10^6...10^8$	10...20	Нет

венно уменьшить время обращения к ОЗУ. Даже при уменьшении диаметра сердечников ферритов до 0,3 мм удавалось получить время обращения к ОЗУ, равное 0,5 мкс. Кроме того, память на ферритах изготавливается с помощью довольно сложных операций по прошивке сердечников проводами, что делает такие устройства нетехнологичными. Развитие микроэлектроники позволило для построения ЗУ применять полупроводниковые элементы на основе биполярных и МОП-структур.

В табл. 4.1 сравниваются характеристики ОЗУ, выполненных на различной элементно-технологической основе [1]. Из таблицы видно, что на биполярных транзисторах целесообразно конструировать скоростные ЗУ с информационной емкостью до 10^5 бит. Запоминающие устройства на МОП-структурах обладают емкостью 10^6 бит при умеренном быстродействии. На ферритовых сердечниках можно получать ЗУ с объемом памяти более 10^6 бит, обладающие невысоким быстродействием. Однако особое достоинство магнитных ЗУ — возможность хранения информации без энергопотребления.

Применение полупроводниковых структур позволяет существенно увеличить быстродействие, уменьшить массу, габаритные размеры и увеличить надежность работы ЗУ. Постепенно удается исключить многие переходные согласующие элементы — интерфейсы между процессорными и ЗУ ЭВМ вследствие применения однотипной элементной базы [1]. В последние годы благодаря совершенствованию биполярных микросхем, а также расширению серий микросхем на МОП-структурах были созданы элементы статических ЗУ на биполярных, а также на p- и n-канальных МОП- и КМОП-транзисторах. Создание ЭСЛ-схем с уменьшенными глубинами p-n переходов привело к появлению ЭСЛ ЗУ с временем выборки менее 6 нс. Схемы МОП на транзисторах с двухуровневым поликремнием и с обедненными нагрузками позволяют значительно снизить площадь элементов ЗУ и потребляемую мощность. На всех этапах развития средств вычислительной техники (ЭВМ, цифровые устройства обработки информации) эффективное использование аппаратурных и программных средств во многом определяют полупроводниковые ЗУ.

4.2. Элементы запоминающих устройств

Матричные или регистровые ЗУ построены на основе запоминающих элементов (ЗЭ). Изменяя схемы их соединения между собой, можно реализовать различные способы выборки информации из ЗУ. Рассмотрим более подробно элементы ЗУ различных технологических исполнений: биполярные и полевые (МОП, КМОП и МНОП).

4.2.1. Запоминающие элементы на биполярных транзисторах

Статическое ЗУ на биполярных транзисторах представляет собой матрицу ЗЭ, каждый из которых может находиться в одном из устойчивых состояний. Таким элементом обычно является триггер. На ЗЭ строится накопительная матрица памяти — основа ОЗУ. Информация записывается в ОЗУ и считывается из него согласно потребностям процессора ЭВМ. Современная технология позволяет получить на одном кристалле биполярной микросхемы ОЗУ на 16 384 бит с временем выборки менее 150 нс, снабженное схемами управления. Построение (организация) матрицы определяется способом выборки (опроса) ЗЭ при записи или считывании.

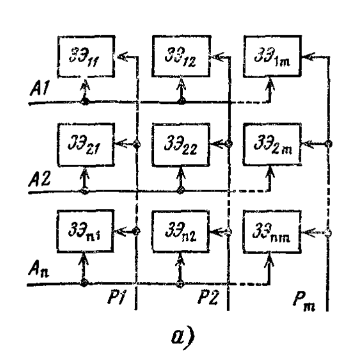
На биполярных структурах строятся и быстродействующие постоянные ЗУ (ПЗУ), назначение которых — хранить программу работы вычислительного устройства или генерировать стандартный неменяющийся цифровой сигнал.

В структурной схеме матрицы с пословной выборкой и одной ступенью дешифрации (рис. 4.1, *а*) одна строка образует слово из m разрядов На схеме символами A1, A2, ..., A_n обозначены адресные, а P1, P2, ..., P_m — разрядные шины. Как видно из схемы, адресные шины электрически связаны с каждым ЗЭ одного слова, в то время как разрядные шины имеют связь с ЗЭ одноименного разряда всех слов. При наличии в адресной шине A_i сигнала выбора i-го слова, соответствующего высокому уровню, состояние каждого из ЗЭ в этом слове может быть считано по разрядным шинам P1, P2, ..., P_m. Если необходимо записать информацию по выбранному адресу A, на разрядные шины P1, P2, .., P_m подается электрический сигнал «1» или «0», который попадает на каждый из ЗЭ i-й строки: $ЗЭ_{i1}$, $ЗЭ_{i2}$, .., $ЗЭ_{im}$

На упрощенной структурной схеме не показаны устройства управления матрицей (дешифратор с адресными формирователями, усилители считывания и записи), которые для повышения надежности работы ОЗУ изготавливаются на одном кристалле с матрицей

В структурной схеме двухкоординатной матрицы с двумя ступенями дешифрации (рис. 4.1, *б*) ЗЭ выбирается с помощью двух адресных шин. При наличии сигнала, соответствующего уровню лог 1, на адресных шинах X1, Y1 будет выбран только ЗЭ1. Его состояние можно считывать по общей для всех элементов разрядной шине P Чтобы записать «1» в выбранный ЗЭ, по разрядной шине необходимо подать сигнал, также соответствующий уровню лог. 1. Эта организация матрицы позволяет оперировать nm-одноразрядными словами.

Простейшим ЗЭ служит схема RS-триггера, которую можно построить из двух инверторов (рис 4.2, *а*). Эмиттеры многоэмиттерных транзисторов VT1, VT2, обозначенные цифрой 1, соединены с адрес-



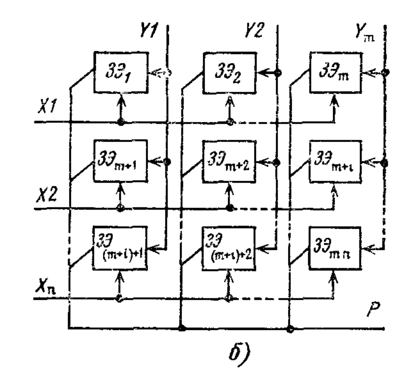


Рис. 4.1. Структурная схема матрицы с пословной выборкой и одной ступенью дешифрации (*а*) и двухкоординатной матрицы с двумя ступенями дешифрации (*б*)

ной шиной A_i, потенциал которой в установившемся состоянии должен быть самым низким в схеме. Эмиттеры 2 транзисторов VT1 и VT2 соответственно присоединяются к разрядным шинам P_i и P_j.

На разрядную шину P_i подается опорное напряжение $U_{оп}$, общее для всех ЗЭ матрицы. На шину P_j подается напряжение $U_р$. Соотношение между напряжениями $U_{оп}$, $U_р$ и $U_а$, подаваемым в адресную шину, определяет режим работы ЗЭ: хранение информации, ее запись или считывание. Рассмотрим работу ЗЭ в каждом из трех режимов.

Режим хранения информации соответствует соотношению $U_а < (U_{оп} = U_р)$. Схема находится в одном из устойчивых состояний, при котором открыт транзистор VT2 или VT1. Ток протекает по эмиттеру 1 открытого транзистора в зависимости от того, какая информация была предварительно записана: «1» или «0». Эмиттеры 2 обоих транзисторов обесточены.

Рассмотрим режим считывания. Пусть в RS-триггер была записана «1». Считаем, что при этом транзистор VT2 открыт, а VT1 закрыт За «1» принимаем наличие тока в цепи эмиттера открытого транзистора. Чтобы передать эту информацию в разрядную шину P_1, необходимо переключить цепь эмиттеров закрыть схему по эмиттерам 1 и открыть — по эмиттерам 2, оставив прежним состояние транзисторов триггера (VT2 открыт, VT1 закрыт). Для этого необходимо сделать напряжение на адресной шине таким, чтобы выполнялось соотношение $U_а > (U_р = U_{оп})$. В этом случае ток через эмиттер 2 открытого транзистора VT2 потечет в разрядную шину P_j. Наличие тока в разрядной шине соответствует считываемой «1», отсутствие (при закрытом транзисторе VT2 и открытом VT1) определяет считывание «0».

Условия режима записи зависят от состояния, в которое необходимо установить ЗЭ. Если триггер находился в состоянии «1» (транзистор VT2 был открыт, VT1 — закрыт), для записи «0» необходимо по разрядной шине P_j подать потенциал $U_р > U_{оп}$, сохраняя соотношение $U_а > U_р$. При этом триггер перейдет в новое состояние: тран-

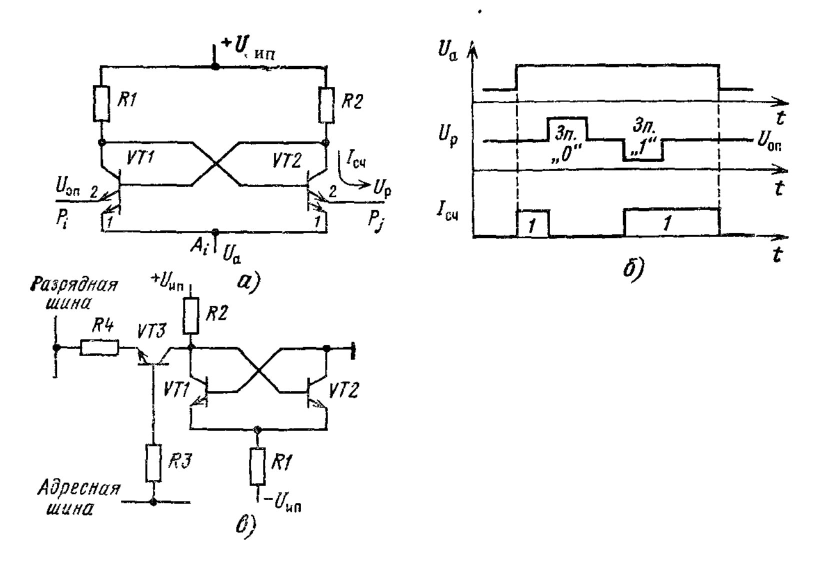


Рис. 4.2. Схема запоминающего элемента на двух инверторах ТТЛ (*а*) и временные диаграммы его работы (*б*); схема запоминающего на двух инверторах И^{2}Л элемента (*в*)

зистор VT2 закроется, а VT1 — откроется. Для записи в ЗЭ «1» на шину P_j следует подать потенциал $U_p < U_{оп}$ и обеспечить соотношение $U_a > U_{оп}$. Временные диаграммы работы такого ЗЭ показаны на рис. 4.2, *б*

Таким образом, у подобных ЗЭ на биполярных транзисторах главными параметрами являются ток считывания $I_{сч}$ и напряжение записи U_p. Время выборки данных из ЗУ небольшой емкости на биполярных схемах ТТЛ может составлять 30...40 нс. Важный параметр ЗУ — потребляемая мощность, она может составлять 0,5...1,5 мВт/бит. В последние годы разработаны ОЗУ на транзисторных структурах И^{2}Л, позволяющих снизить потребляемую мощность до 0,1 мВт/бит при времени выборки 150 нс. Принципиальная схема ЗЭ на И^{2}Л приведена на рис. 4.2, *в*.

4.2.2. Запоминающие элементы на МОП-транзисторах

В зависимости от типа ЗЭ на основе МОП-транзисторов могут быть построены статические или динамические ЗУ. В первом случае в качестве ЗЭ служит статический триггер на р-канальных МОП-транзисторах, а во втором — информация запоминается на емкости затвора МОП-транзистора. ЗУ на МОП-транзисторах, так же как и ЗУ на биполярных транзисторах, могут быть с пословной и двухкоординатной произвольной выборкой.

Пример простейшей схемы ЗЭ триггера для ЗУ с пословной выборкой приведен на рис. 4.3, *а* [1]. Триггер образован транзисторами VT1—VT4. Управление триггером для записи и считывания осущест-

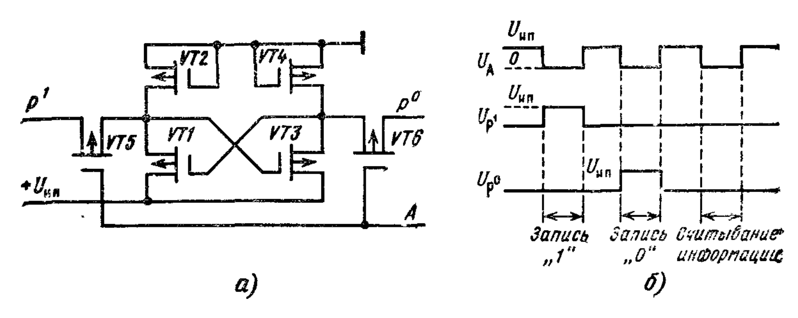


Рис. 4.3. Схема запоминающего элемента для ЗУ с пословной выборкой (*а*) и временные диаграммы его работы (*б*)

вляется переключением транзисторов VT5 и VT6. Временные диаграммы работы такого ЗЭ представлены на рис. 4.3, *б*. В исходном состоянии напряжение на обеих разрядных шинах U_{p^1} и U_{p^0} равно нулю, а на шине слова А потенциал равен напряжению питания схемы. При этом транзисторы VT5 и VT6 закрыты, так как разность потенциалов между затворами и истоками по абсолютной величине меньше порогового напряжения. Триггер находится в одном из устойчивых состояний.

Пусть, например, транзистор VT3 открыт, а VT1 закрыт. При записи «1» в шину слова подается отрицательный сигнал, изменяющий напряжение в ней до нуля, одновременно в разрядную шину P^1 подается положительный сигнал, изменяющий напряжение в ней до напряжения питачия $U_{ип}$. При этом транзистор VT5 открывается, так как разность потенциалов между затвором и истоком становится отрицательной. Положительный сигнал поступает на сток VT1 и на затвор VT3. Разность потенциалов между затвором и истоком VT3 становится меньше порогового напряжения, и транзистор закрывается. После закрывания VT3 открывается транзистор VT1 и на его стоке устанавливается положительное напряжение, что соответствует состоянию «1». Напряжение на стоке VT3 становится равным нулю.

Для записи «0» в ЗЭ необходимо при нулевом напряжении на шине слова подать напряжение $U_{ип}$ в разрядную шину P^0. При этом через открытый транзистор VT6 положительное напряжение, попадая на затвор транзистора VT1, закрывает его, что приводит к закрыванию VT3. Для считывания информации, предварительно записанной в ЗЭ, необходимо подать отрицательный сигнал только на шину слова, изменив в ней напряжение до нуля. При этом транзисторы VT5 и VT6 оказываются открытыми и через транзистор, присоединенный к точке триггера с положительным потенциалом, протекает ток, поступающий в соответствующую разрядную шину и далее на усилитель считывания.

Схемы запоминающих элементов динамического ЗУ на Р-канальных МОП-транзисторах представлены на рис. 4.4 [1]. Разработаны два варианта ЗЭ для динамических ЗУ: на трех и одном транзисторе. Их схемы представлены на рис. 4.4. В трехтранзисторной ячейке памяти (рис. 4.4, *а*) информация хранится в виде заряда на конден-

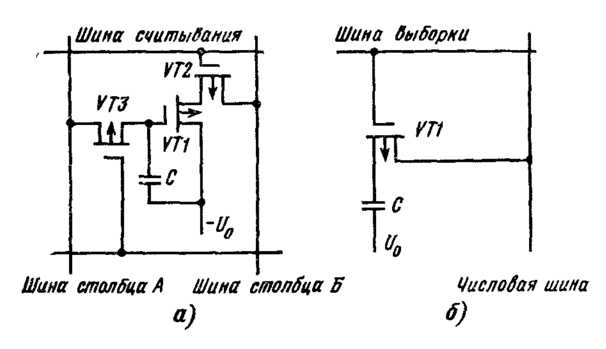


Рис. 4.4. Схема запоминающего элемента для динамических ЗУ:
а — трехтранзисторная МОП-ячейка; *б* — однотранзисторная МОП-ячейка

саторе, образованном затвором МОП-транзистора VT1 и его подложкой. В данной ячейке VT2 — транзистор считывания, VT3 — записи. В начале цикла шины столбцов А и Б предварительно заряжены до некоторого отрицательного потенциала, близкого к U_0. При считывании информации из ячейки подается потенциал на шину считывания, в результате чего транзистор VT2 оказывается в проводящем состоянии. Если конденсатор С заряжен и напряжение на затворе транзистора VT1 превышает пороговое, то этот транзистор будет открыт и на шину столбца Б попадет потенциал, близкий к U_0. Если же потенциал на затворе VT1 недостаточен для включения транзистора VT1, шина столбца Б остается в состоянии предварительного заряда с соответствующим отрицательным потенциалом.

Из-за токов утечек заряд конденсатора С со временем уменьшается. Время хранения заряда зависит от типа ячейки, технологии изготовления, внешних условий и обычно составляет от единиц миллисекунд до нескольких секунд. Для восстановления, регенерации распадающейся информации, хранимой в ячейке памяти, информационный код шины столбца инвертируется и вновь записывается в ту же ячейку. Это осуществляется с помощью усилителя регенерации, заряжающего шину столбца А, если шина Б сохраняет предварительно занесенный в нее заряд. Если же разряжается шина Б, то предварительно занесенный заряд сохраняется шиной А. Затем подается потенциал на шину записи строки, и затвор транзистора VT1 приобретает потенциал, близкий к потенциалу шины А, благодаря чему регенерируется код, хранимый в ячейке памяти. При записи на шину столбца А подается нужный информационный код, который и будет записан в виде заряда на конденсаторе С.

Основным видом ячейки памяти для ДЗУ большой емкости (от 4 до 16К бит и более) стал однотранзисторный ЗЭ, схема которого показана на рис. 4.4, *б*. Такая схема соответствует минимальному числу интегральных элементов, приходящемуся на бит хранимой информации. Однотранзисторная ячейка памяти состоит из одного транзистора VT1, затвор которого соединен с шиной выборки строки и накапливающего конденсатора С.

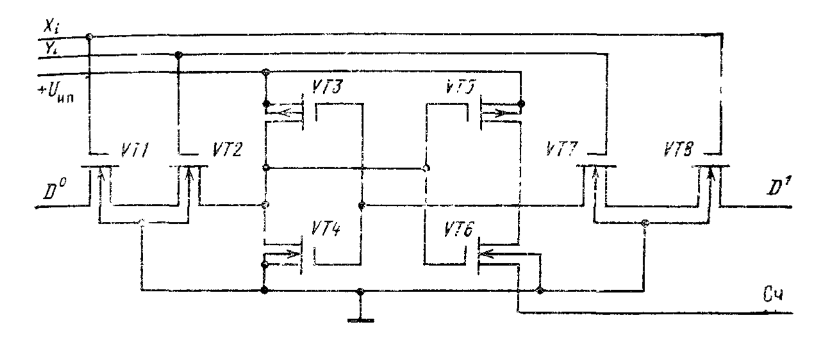


Рис 4.5. Схема запоминающего элемента на КМОП-транзисторах

4.2.3. Запоминающие элементы на КМОП-транзисторах

Применение КМОП-транзисторов позволяет существенно снизить мощность потребления и повысить быстродействие ЗУ. Схема ЗЭ матрицы ОЗУ на КМОП-транзисторах приведена на рис. 4.5. Адресация и запись информации производятся непосредственной подачей логических уровней по шинам X_i, Y_i и D^0, D^1 соответственно. Выбор ЗЭ осуществляется подачей по шинам X_i, Y_i напряжения, соответствующего уровню «1». При записи «1» в выбранный элемент на шину D^1 подается уровень «0», а на шину D^0 — уровень «1». При записи «0» на шину D^1 подается уровень «1», а на шину D^0 — уровень «0». Считывание по напряжению производится по шинам D^1 и D^0, при этом шина считывания Сч соединяется с шиной «общая».

4.2.4. Запоминающие элементы на МНОП-транзисторах

Во всех рассмотренных микросхемах на биполярных и МОП-транзисторах для сохранения информации на ЗЭ обязательно наличие напряжения питания. При отключении напряжения питания информация теряется. Однако в ряде случаев отключение питания необходимо, кроме того, возможность хранения информации при отключенном напряжении питания значительно снижает среднюю мощность, потребляемую ЗУ.

Интегральная полупроводниковая структура — МНОП-транзистор позволяет построить ЗУ, сохраняющее информацию при отключенном источнике питания. В МНОП-транзисторах, в отличие от обычных МОП-структур, между пленкой двуокиси кремния и металлическим электродом затвора помещается слой нитрида кремния. Накопление зарядов в области поверхности раздела слоев нитрида и двуокиси кремния дает возможность сохранять информацию при отключении источника питания в течение нескольких лет [1]. Слой двуокиси кремния предотвращает перенос зарядов в отсутствие напряжения на затворе или когда оно ниже порогового значения.

На рис. 4.6 показаны вольт-амперные характеристики (ВАХ) такого ЗЭ, применяемого для построения матриц ПЗУ. Для записи информации в ЗЭ на основе МНОП-структуры на затвор подается

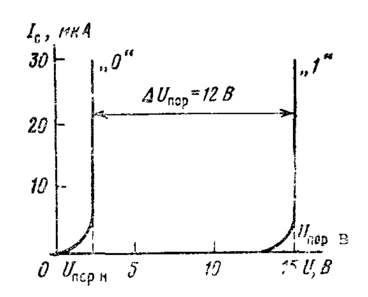


Рис 4.6 Вольт-амперная характеристика запоминающего элемента на МНОП-транзисторах

напряжение соответствующего знака. При подаче определенного критического отрицательного напряжения на границе раздела слоев нитрида и двуокиси кремния возникает заряд, величина которого зависит от амплитуды, длительности импульса напряжения. При этом устанавливается состояние с высоким пороговым напряжением $U_{пор\ в}$. При подаче также некоторого критического положительного напряжения на границе раздела возникает заряд, который снижает пороговое напряжение до величины $U_{пор\ н}$. Разность $U_{пор\ в}-U_{пор\ н}=\Delta U_{пор}$ называется межпороговой зоной [1].

На вольт-амперной характеристике, приведенной на рис. 4.6, показаны высокое $U_{пор\ в}$ и низкое $U_{пор\ н}$ пороговые напряжения, соответствующие уровням «1» и «0»; переключение схемы на МНОП-транзисторах из состояния «1» и «0» обеспечивается при изменении напряжения на затворе от $U_з=-28$ В. до $U_з=+28$ В. Наличие межпороговой зоны $\Delta U_{пор}=12$ В позволяет отличать два состояния ЗЭ. Для считывания записанной информации («1» или «0») на затвор МНОП-транзистора необходимо подать напряжение считывания $U_{сч}$, удовлетворяющее условию $U_{пор\ н}<U_{сч}<U_{пор\ в}$.

Таким образом, если подать $U_{сч}=-3...-5$ В, то ЗЭ, в котором была предварительно записана «1» ($U_{пор\ в}=15$ В) перейдет в состояние проводимости. Если же ранее был записан «0» ($U_{пор\ н}=3$ В), при подаче напряжения считывания ЗЭ остается закрытым. Сигнал считывания определяется падением напряжения на нагрузочном резисторе малого номинала, включенном между выходом ЗЭ и шиной «общей» (в ПЗУ с двухкоординатной выборкой), или наличием тока в выходной цепи (в ПЗУ с пословной выборкой).

Записанная в ЗЭ на МНОП-структуре информация сохраняется при отключенном напряжении питания длительное время, хотя в начале срока хранения несколько уменьшается межпороговая зона. Накопительные свойства МНОП-структур ухудшаются при многократном повторении цикла считывание, запись, что обусловливает стремление использовать их для создания ПЗУ. Примером такого ПЗУ могут служить микросхемы КР1601РР1. Позволяют сохранять информацию при отключенном напряжении питания и микросхемы, выполненные на основе лавинной инжекции заряда (ЛИЗМОП).

4.3. Типы запоминающих устройств

Микросхема ЗУ, как правило, представляет собой функционально законченное изделие, что позволяет создавать устройства памяти с большой информационной емкостью непосредственным наращиванием разрядности и числа слов. Полупроводниковые ЗУ по режиму занесения информации делятся на оперативные и постоянные; по режиму работы — на статические и динамические; по принципу выборки информации — на устройства с произвольной и последователь-

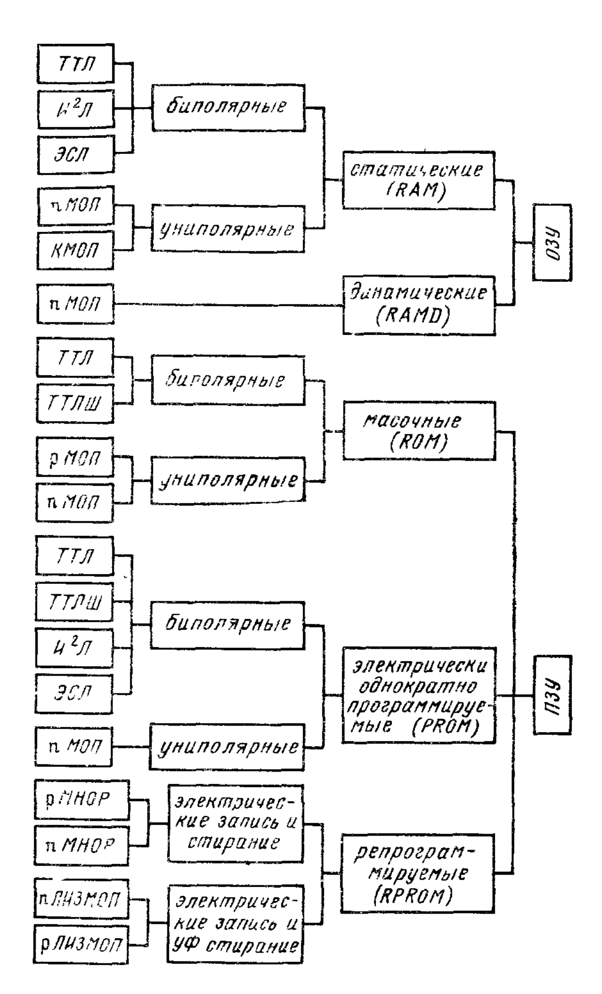


Рис 4.7. Классификация запоминающих устройств

ной выработкой; по технологии изготовления — на биполярные и униполярные. Классификация микросхем ЗУ, проведенная по этим признакам, показана на рис. 4.7.

Полупроводниковые ЗУ предназначены для записи, хранения и считывания двоичной информации. На рис. 4.8 представлена типовая структурная схема полупроводникового ОЗУ, состоящая из следующих типовых узлов: накопителя (НК), дешифратора строк и столбцов (DCX. DCY), устройства записи (УЗ), устройства считывания (УС), устройства управления (УУ). В зависимости от кон-

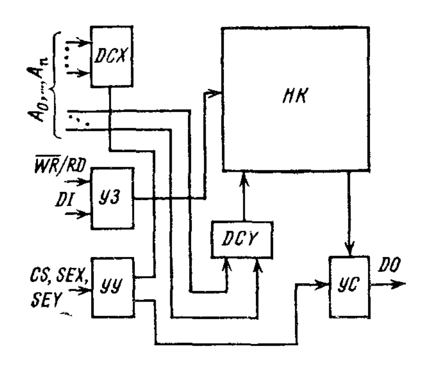


Рис. 4.8. Структурная схема полупроводникового запоминающего устройства

кретного типа ЗУ те или иные узлы могут отсутствовать в схеме, например ПЗУ не имеют устройства записи.

При объединении ЗУ в систему памяти используются типовые элементы, связанные с входными и выходными схемами. Входные схемы представляют собой логические элементы, через которые информационные, управляющие и адресные сигналы поступают в ЗУ. Входные информационные сигналы DI поступают в устройство записи УЗ, которое служит для записи информации в элементы памяти, объединенные в накопителе. Выходные информационные сигналы DO считываются из ЗУ через устройство считывания УС.

Управляющие сигналы CS, SEX, SEY, WR/RD поступают в устройство управления УУ и устройство записи УЗ и определяют режим работы ЗУ (запись, хранение, считывание информации) [9].

Оперативные ЗУ используются для введения в процессор ЭВМ новых данных и программ, а также для хранения текущих результатов или данных, полученных в процессе работы.

Постоянные ЗУ — это устройства, из которых можно считывать только заранее записанную информацию. ПЗУ используются для генерации кода какой-либо программы или данных, которые будут часто повторяться, что избавляет от необходимости загружать программу каждый раз заново. Информация в ПЗУ, в отличие от ОЗУ, записывается на кристалле с изменением его физических свойств, поэтому отключение источника питания не сказывается на содержании записанной информации. В зависимости от способа занесения информации различают ПЗУ масочные и ПЗУ электрические программируемые (однократно программируемые ППЗУ). Соответствующим образом запрограммированные ППЗУ могут быть использованы для реализации различных логических функций. Однако структура ППЗУ не оптимальная для решения этих задач. Более подходящими для этой цели оказались структуры, получившие название «программируемые логические матрицы» (ПЛМ). Их преимущество в том, что их можно запрограммировать в оптимальном варианте с помощью ППЗУ — программаторов. В настоящее время логические матрицы бурно развиваются, их можно интегрировать на одном кристалле вместе с такими распространенными элементами ЗУ, как триггеры.

Статические ЗУ образуются матрицей ЗЭ, каждый из которых может быть установлен в одно из двух возможных состояний, сохраняющихся при поданном напряжении питания. Основным ЗЭ в СЗУ является схема триггера или логического элемента. В рабочем состоянии матрица статического ЗУ непрерывно потребляет энергию.

Динамическое ЗУ — это матрица элементов, для которых требуется периодическое восстановление информации. Эту операцию называют регенерацией.

В ДЗУ в качестве ЗЭ используется конденсатор, в котором информация хранится в виде заряда. Заряд на запоминающем конденсаторе с течением времени уменьшается. Для восстановления заряда требуется периодическая подзарядка накопительного конденсатора. Схему регенерации для повышения надежности работы ДЗУ предпочтительнее размещать на его кристалле. Динамическая схема памяти эффективна для ОЗУ относительно большого объема. Память малого объема обычно реализуется на статических элементах.

Обычно биполярные ЗУ имеют значительно большее быстродействие, но существенно меньшую плотность упаковки элементов по сравнению с униполярными ЗУ. Биполярные ЗУ наиболее эффективны как высокоскоростные буферные ЗУ больших систем. Наиболее широко применяются биполярные ЗУ на ТТЛ- и ЭСЛ-структурах. Главное внимание при создании биполярных ЗУ уделяется увеличению плотности упаковки. Как пример такого направления совершенствования технологии производства и разработки новых схем ЗЭ могут служить структуры $И^2Л$

Запоминающие устройства на pМОП-транзисторах имеют минимальную себестоимость, но обладают низким быстродействием. ЗУ на nМОП-транзисторах по быстродействию в ряде случаев приближаются к биполярным. ЗУ на КМОП-схемах имеют крайне низкую статическую потребляемую мощность и среднее быстродействие. Технология производства КМОП ЗУ достаточно сложна, и поэтому их себестоимость выше, чем p- и n-канальных МОП-структур.

Стирание информации в ПЗУ с ультрафиолетовым (УФ) разрушением накопленного заряда производится воздействием в течение 30 мин потока УФ-излучения (длина волны $\lambda \leq 400$ нм), направленного перпендикулярно плоскости входного окна корпуса микросхемы. При этом должны соблюдаться следующие условия: энергетическая освещенность УФ-излучения $E_e = 100$ Вт/м^2, интегральная доза облучения 10 Вт·с/см^2, температура корпуса микросхемы не более 70 °С.

Во избежание повреждений кристаллов статическим электричеством все выводы микросхемы (или платы с распаянными микросхемами) в процессе стирания должны быть закорочены. При неполном стирании допускается продолжить облучение по 15 мин так, чтобы общая продолжительность воздействия УФ-излучения не превышала 1 ч.

В микропроцессорных и вычислительных устройствах нашли широкое применение следующие основные типы ЗУ: регистровая память, встраиваемая в центральный процессорный элемент (общее число регистров обычно 8—14); сверхоперативная память (СОЗУ) емкостью примерно 64 слова и временем выборки несколько десятков наносекунд; оперативная память (ОЗУ) емкостью 4...16 тыс. слов с возможностью наращивания до 65...128 тыс. слов; ПЗУ емкостью 8...65 тыс. слов [1].

4.3.1. Оперативные запоминающие устройства

Как правило, микросхемы ОЗУ содержат на одном кристалле матрицу ЗЭ (накопитель), дешифраторы адреса, формирователи, усилители считывания и другие схемы управления, необходимые для функционирования ОЗУ.

Из приведенной на рис. 4.7 классификации следует, что ОЗУ можно разделить на две большие группы: статические и динамиче-

ские. В накопителях статических ОЗУ применяются триггерные элементы памяти. В ОЗУ динамического типа ЗЭ служит конденсатор, в котором информация хранится в форме наличия или отсутствия заряда. Динамическая ЗУ имеют ряд преимуществ по сравнению со статическими ОЗУ. В табл. 4.2 приведены основные характеристики различных групп ДЗУ, которые нашли широкое применение в ЭВМ различных поколений.

Таблица 4.2

Параметр	Группы ДЗУ			
	I	II	III	IV
Наибольшая емкость, бит/ /кристалл	4K	16K	64K	256K
Время выборки считывания, нс	200...400	200...300	100...200	150...200
Потребляемая мощность, мВт/бит	0,1...0,2	0,04...0,05	0,004...0,005	0,003...0,004

Преимуществом статических ОЗУ (RAM) перед ДЗУ (RAM D) является отсутствие схемы регенерации информации, что значительно упрощает управление СЗУ. Кроме того, схема СЗУ имеет, как правило, один номинал питающего напряжения. Типовые характеристики статических ОЗУ приведены в табл. 4.3. Наибольшим быстродействием обладают биполярные ОЗУ, построенные на основе элементов ЭСЛ и ТТЛШ. Перспективными являются ОЗУ, построенные на транзисторных структурах И²Л, позволяющих уменьшить площадь ЗЭ до 2000...100 мкм² и снизить мощность потребления до нескольких микроватт на бит при времени выборки считывания $t_{вся}$=50...150 нс.

Таблица 4.3

Параметр	ЭСЛ	ТТЛ	ТТЛШ	И²Л	пМОП	КМОП
Емкость, бит/кристалл	256...16K	256...64K	1024...4096	4K...8K	4K...16K	4K...16K
Время выборки считывания, нс	10...35	50...100	50...60	150	45...100	150...300
Потребляемая мощность, мВт/бит	2,0...0,06	1,5...0,03	0,5...0,3	0,1...0,07	0,24...0,05	0,02

Статические ОЗУ на МОП-транзисторах, несмотря на среднее быстродействие, получили широкое распространение, что объясняется существенно большей плотностью размещения ячеек на кристалле, чем у биполярных ОЗУ. Первые МОП ОЗУ изготавливались на основе рМОП-транзисторов с алюминиевым затвором. Они имели сравнительно высокое пороговое напряжение (до 5 В), невысокое быстродействие и относительно большие размеры ЗЭ. Напряжение питания их отрицательное (до —27 В). После освоения технологии изготовления низкопороговых МОП-транзисторов с кремниевыми самосовмещающимися затворами удалось уменьшить геометрические размеры ЗЭ и снизить напряжение питания ОЗУ до —15 В. Использование транзисторов с каналами n-типа позволило еще более уменьшить геометрические размеры элементов и получить в 2,5 раза большую скорость их переключения, чем для транзисторов с р-каналами; единое напряжение питания 5 В обеспечивает непосредственную совместимость таких ОЗУ по логическим уровням с микросхемами ТТЛ [1].

Элементы ОЗУ на КМОП-транзисторах изготавливаются по усложненной технологии и используются для построения статических ОЗУ только при необходимости достижения минимальной мощности потребления. В последние годы стал применяться при проектировании статических ОЗУ системно-технический прием, предусматривающий автоматический переход БИС в режим хранения по окончании сигнала выбора. Потребляемая мощность снижается при этом почти на порядок. Примером такой БИС служит статическое ОЗУ МК4109 фирмы Mostek.

Рассмотрим более подробно характеристики статических и динамических ОЗУ. По состоянию на 1987 г. разработано и выпускается более 70 схем статических ОЗУ различного схемотехнического исполнения. Достигнута емкость 64К бит при организации 16 разрядов и времени выборки до 6 нс.

Ток потребления статических биполярных ОЗУ составляет 100... 200 мА, что в ряде случаев требует снижения температуры на корпусе В ближайшие годы следует ожидать появления более быстродействующих схем биполярных ОЗУ с пониженным потреблением мощности. Широко применяются схемы на КМОП-транзисторах, среди которых наибольшее распространение получила серия КР537, для схем которой ток потребления в режиме обращения не превышает 60 мА, а в режиме хранения 0,001...5 мА. В большинстве схем этой серии предусмотрен режим хранения с пониженным напряжением питания 2 В. Это позволяет наиболее просто реализовать работу ОЗУ от резервных батарей.

Динамические ОЗУ представлены в основном серией КР565 с максимальной емкостью 256×1 разряд и минимальным временем выборки 150 нс По сравнению со статическими эти ОЗУ требуют постоянного восстановления информации — регенерации, период которой составляет 1...8 нс. Для организации процесса регенерации необходимы дополнительные схемы, которые используются для выборки адреса регенерируемой строки. Последовательность адресов устанавливается с помощью счетчика приращения адреса строки. Об окончании процесса регенерации сигнализирует таймер. В настоящее время разработана ИС К1801ВП1-030. Эти схемы осуществляют прием, хранение и преобразование адреса для накопителя ОЗУ, регенерацию памяти, связь накопителя ОЗУ и буферного регистра данных с каналом информации ЭВМ «Электроника-60».

4.3.2. Постоянные запоминающие устройства

Основные характеристики восьми типов ПЗУ приведены в табл. 4.4. Наибольшую емкость при наименьшей потребляемой мощности имеют ПЗУ, построенные на основе nМОП-транзисторов. Для потребителей выбор типа ПЗУ во многом определяется не только электрическими параметрами этой БИС, но и способами ее программирования. ПЗУ могут программироваться как у потребителя, так и на предприятии-изготовителе. Существуют ПЗУ однократного и многократного программирования. Перепрограммирование некоторых типов ПЗУ можно проводить простой сменой команд.

Таблица 4.4

Параметр	ЭСЛ	ТТЛ	ТТЛШ	pМОП	nМОП	КМОП	МНОП	ЛИЗМОП
Емкость, бит/кристалл	256...1024	1024...64K	1024 64K	4096...8192	8192...65536	64K	16384	256K
Время выборки считывания, нс	20	50...350	45...85	500	30	50	350	200
Потребляемая мощность, мВт/бит	0,8	0,01...0,5	0,01...0,1	0,1	0,01	0,005	0,01	0,002

В накопителях масочного ПЗУ используются, как правило, транзисторы, подключенные соответствующим образом к строкам и столбцам накопителя. При этом наличие или отсутствие транзистора в узле пересечения строки, столбца соответствует хранению «1» или «0» в элементе памяти накопителя. Иногда используется принудительное закрывание транзисторов накопителя в тех узлах, где должны храниться нули информации. Такое закрывание выполняется на стадии изготовления ПЗУ специальными технологическими приемами [6]. Наиболее простыми являются масочные ПЗУ. Информация в масочные ПЗУ записывается при изготовлении ПЗУ на заводе заменой одного из фотошаблонов. Этот фотошаблон слоя коммутации выполняется в соответствии с пожеланиями заказчика по картам заказа.

Для заказа микросхем предприятие-потребитель оформляет и направляет предприятию-изготовителю гарантийное письмо на выполнение заказа; карту-заказ (форма которой, как правило, приводится в ТУ на микросхему; перфоленту, содержащую программу о контрольной сумме; заявку с указанием требуемого числа микросхем. Обычно заказ принимается при изготовлении партии от 50 до 200 микросхем одной прошивки. Масочный способ программирования выгоден в случае крупносерийного производства; при малой тиражности и большой номенклатуре дополнительные затраты на фотошаблоны увеличивают стоимость микросхемы.

Примером заказных масочных ПЗУ могут служить микросхема серий К596, КР1801. Изготовленные по заказу масочные ПЗУ могут иметь так называемые стандартные прошивки, в которые вводится информация, чаще всего используемая потребителем при создании вычислительных систем Это генераторы символов русских, латинских

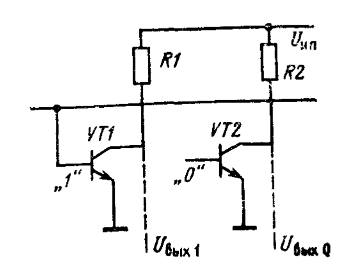


Рис 4.9. Схема записи информации в масочном постоянном запоминающем устройстве на биполярных транзисторах

и других алфавитов, арифметические знаки и цифры в различных форматах (5×7; 7×9) с разверткой знаков по горизонтали и вертикали, функции sin, cos и т. п. Предусмотрен выпуск масочных ПЗУ знакогенераторов, выполненных по международному коду № 2 (ГОСТ 15607—70), по кодовой таблице ДКОИ (ГОСТ 19768-70) и кодовой таблице КОИ-7H_2 (ГОСТ 13052—74). Масочные ПЗУ (ROM) включают программное обеспечение: редакторы текстов, ассемблеры и операционные системы для наиболее распространенных классов микроЭВМ. Стандартные прошивки имеются в микросхемах К155РЕ21—К155РЕ24, К555РЕ4 (генераторы символов русских, латинских алфавитов, арифметических знаков и цифр); КР505РЕ3 (генераторы символов, функций sin и преобразователи кодов ДКОИ8, КОИ8); КР568РЕ1, КР568РЕ2, КР568РЕ3 (знакогенераторы и программное обеспечение микроЭВМ семейства «Электроника-К1»); КР1610РЕ1 (программное обеспечение микроЭВМ «Искра-226», микропроцессора серии 580). Такие ПЗУ строятся на основе матриц диодов либо биполярных, либо МОП-транзисторов. Диоды включены в схемы ПЗУ в тех пересечениях матриц, которые соответствуют записи «1» и отсутствуют в тех местах, где должны быть записаны «0». Внешние цепи управления диодных ПЗУ очень просты. Так как диодные матрицы представляют собой элемент с гальваническими связями, на выходе появляются почти такие же постоянные уровни напряжения, какие подаются на вход, и поэтому отпадает необходимость в выходном регистре для хранения информации. В масочных ПЗУ, построенных на основе биполярных транзисторов, «1», записываются в те ЗЭ матрицы, где базы транзисторов присоединяются к входной линии. Базы транзисторов, соответствующих ячейкам матрицы, в которых должны храниться нули, не подключаются к входным шинам (рис. 4.9).

Аналогичные ЗУ на МОП-структурах проще, чем ЗУ на биполярных элементах. Они представляют собой полные матрицы, в которых «1» записывается при присоединении затвора к входу схемы, при записи «0» затвор к входу не подключается Масочные ПЗУ отличаются высокой надежностью, но не очень удобны потребителю, поскольку невозможно оперативно изменять информацию в ПЗУ без изготовления новой микросхемы.

Более удобны электрические программируемые ПЗУ (PROM), однако они дают возможность только однократной записи нужной информации у потребителя путем разрушения элементов структуры ПЗУ под действием приложенного электрического напряжения или тока. Разрушаемыми элементами структуры могут быть специаль-

ные проводящие перемычки из металлической или поликремниевой пленки, а также тонкий слой диэлектрика или p-n переходы.

Применение однопрограммируемых ПЗУ в вычислительной системе наиболее целесообразно в небольшом количестве. Они энергонезависимы, просты в организации и управлении. Практически все промышленные типы однопрограммируемых ПЗУ имеют байтовую (8 разрядов) или полубайтовую (4 разрядов) организацию. Восьмиразрядная организация экономична и широко используется в микропроцессорных системах с байтовой обработкой данных. Программирование таких ПЗУ осуществляется на специальных устройствах-программаторах. Наиболее распространена серия микросхем ЗУ КР556, которая постоянно расширяется. При эксплуатации однопрограммируемых ПЗУ и в процессе программирования имеются случаи восстановления пережженных перемычек при несоблюдении инструкции по программированию, изложенной в ТУ на микросхему.

Для большинства однопрограммируемых ПЗУ в инструкции предусмотрена электротермотренировка (ЭТТ), которая проводится чаще всего в течение 168 ч при повышенной температуре с подачей на микросхему определенного режима. После этого осуществляется контроль записанной информации. Электротермотренировка позволяет обнаруживать перемычки, склонные к восстановлению до эксплуатации ПЗУ. Если в процессе контроля после ЭТТ обнаружена ошибка, допускается повторное программирование. Если ошибка обнаружена повторно, микросхема бракуется. Допускается проводить ЭТТ в составе аппаратуры. Наиболее универсальными являются перепрограммируемые (репрограммируемые) ПЗУ—РПЗУ (RPROM), которые изготавливаются на основе МОП-структур и ЛИЗМОП (лавинная инжекция зарядов). Емкость таких РПЗУ достигает 256К бит с организацией 32К×8. Информация стирается с помощью УФ-облучения кристалла Время выборки считывания таких РПЗУ 0,2...0,5 мкс. В накопителях РПЗУ используются специальные типы транзисторных структур, изменяющие свои характеристики при программировании РПЗУ. Это изменение характеристик и служит признаком хранящейся информации.

Успехи в технологии микросхем позволили создать новые элементы цифровой аппаратуры — ПЛМ, которые нашли широкое применение в микропроцессорных устройствах управления. Так, в состав серии микросхем КР556 включены ПЛМ КР556РТ1 и КР556РТ2, выполняющие функции 16 входных переменных, 18 конъюнкций, 8 выходных функций. Время выборки ПЛМ 70 нс. Схема КР556РТ1 имеет открытый коллектор на выходе, а КР556РТ2 — три состояния.

4.4. Основные серии микросхем запоминающих устройств и их функциональный состав

Как было показано выше, основным элементом матрицы ЗУ является ЗЭ, в качестве которого чаще всего применяется триггер. Однако электрические параметры ЗУ зависят не только от свойств ЗЭ, но и от организации БИС памяти.

Основными параметрами микросхем ЗУ являются: емкость, измеряемая числом двоичных единиц информации (бит), хранящихся

Тип микросхем	Технология	Емкость, (организация), бит	Время выборки адреса, нс	Ток потребления, мА (или выхода, время хранения информации при отключенном источнике питания, ч)	Условное обозначение корпуса	Номер рисунка
			Статические ОЗУ			
К155РП13	ТТЛ	16(8×2)	45	170,0	239.24-2	См табл. 2.6, рис 99
КМ155РУ2	ТТЛ	64(16×4)	60	105,0	201.16-6	1
К500РУ145	ЭСЛ	64(16×4)	10	140	238.16-2	2
500РУ148	ЭСЛ	64(64×1)	15	110	238.16-2	См табл. 2.9, рис 30
КР531РУ8	ТТЛШ	64(16×4)	35	110	201.16-16	См табл. 2.6, рис 10
КР531РУ9	ТТЛШ	64(16×4)	35	105	201.16-16	См. табл. 2.6, рис 139
К155РУ5	ТТЛ	256(256×1)	60	140,0	238.16-2	3
К500РУ410	ЭСЛ	256(256×1)	25	125	238.16-2	4
К561РУ2А	КМОП	256(256×1)	600	0,01	2106.16-2	5
564РУ2А	КМОП	256(256×1)	450	P=150 мВт	4112.16-1	См табл. 2.13, рис. 41
КР185РУ9	ТТЛ	512(512×1)	45	200	2121.28-4	6
132РУ1	nМОП	1K(1K×1)	450	70	4112.16-2	7
КР132РУ3А	nМОП	1K(1K×1)	60	100	2103.16-6	8
КР132РУ4А	nМОП	1K(1K×1)	25	60	2103.16-2	9
К134РУ6	ТТЛ	1K(1K×1)	150	70	4112.16-2	См табл. 2.6, рис. 119
К155РУ7	ТТЛ	1024(1024×1)	45	140,0	238.16-2	10
КМ185РУ7	ТТЛ	1K(256×4)	45	155	2108.22-1	11
К500РУ415А	ЭСЛ	1K(1K×1)	20	140	238.16-2	12
КР565РУ2А	nМОП	1K(1K×1)	450	60	2103.16-8	13
К1500РУ415	ЭСЛ	1K(1K×1)	20	150	4106.16-4	См. табл. 2.9, рис. 45
1604РУ1	КМОП	1K(1K×1)	200	3 (динамический)	4112.16-1	14
КМ185РУ8	ТТЛ	2K(256×8)	45	185	2108.22-1	—
КМ132РУ5А	nМОП	4K(4K×1)	75	160	2104.18-1	15
КМ132РУ8А	nМОП	4K(1K×4)	60	150	2104.18-1	16
КМ132РУ9А	nМОП	4K(1K×4)	50	180	2104.18-1	17
537РУ2А	КМОП	4K(4K×1)	320	0,3 (режим хранения)	427.18-2	18
КР537РУ3Б	КМОП	4K(4K×1)	150	20,0	2107.18-1	19
537РУ13	КМОП	4K(1K×4)	200	15 (динамический)	427.18-2.02	20
537РУ14А	КМОП	4K(4K×1)	110	45 (динамический)	427.18-2.02	21
К541РУ1А	И²Л	4K(4K×1)	70	95	4112.18-1	22
КР541РУ2А	И²Л	4K(1K×4)	90	100	2102.18-1	23
КР132РУ6А	nМОП	16K(16K×1)	45	25 (режим хранения)	2140.6[illegible],20-3	24
КМ185РУ10	ТТЛ	16K(16K×1)	50	150	2108.22.1	—
КР537РУ8А	КМОП	16K(2K×8)	150	20,0	239.24-2	25
537РУ8А	КМОП	16K(2K×8)	220	10 (динамический)	405.24-2	25

Тип микросхем	Технология	Емкость, (организация), бит	Время выборки адреса, нс	Ток потребления, мА (тип выхода, время хранения информации при отключенном источнике питания, ч)	Условное обозначение корпуса	Номер рисунка
537РУ9А	КМОП	16К(2К×8)	240	1 (режим хранения)	4131.24-3	26
К1500РУ480	ЭСЛ	16К(16К×1)	35	210	4114.24-3	27
Динамические ОЗУ						
КР565РУ1А	nМОП	4К(4К×1)	200	400	210А.22-3	28
КР565РУ6Б	nМОП	16К(16К×1)	120	230	2103.16-2	29
КР565РУ5Б	nМОП	64К(64К×1)	120	230	2103.16-8	30
К565РУ7В	nМОП	256К(256К×1)	150	340	2103.16-13.01	31
Постоянные ЗУ, программируемые маскированием						
К155РЕ21	ТТЛ	1К(256×4)	60	130	238.16-2	См. табл. 2.6, рис. 109, *а*
К155РЕ22	ТТЛ	1К(256×4)	60	130	238.16-2	См. табл. 2.6, рис. 109, *а*
К155РЕ23	ТТЛ	1К(256×4)	60	130	238.16-2	См. табл. 2.6, рис. 109, *а*
К155РЕ24	ТТЛ	1К(256×4)	60	130	238.16-2	См. табл. 2.6, рис. 109, *б*
КР568РЕ1	nМОП	16К(2К×8)	450	37	2120.24-3	32
541РЕ1	И²Л	16К(2К×8)	100	90	405.24.2	33
КА1603РЕ1	КМОП	16К(2К×8)	50	0,100 (три состояния)	405.24.7	34
КР568РЕ2	рМОП	64К(8К×8)	250	53	2121.28-5	35
КР588РЕ1	КМОП	64К(4К×16)	50	3	239.24-2	36
К596РЕ1	ТТЛ	64К(8К×8)	350	145	4131.24-3	37
КР1801РЕ2А	nМОП	64К(4К×16)	30	60 (динамический)	239.24-1	38
КР568РЕ3	рМОП	128К(16К×8)	550	50	2121.28-5	39
Постоянные ЗУ с электрическим программированием						
К500РТ416	ЭСЛ	1К(256×4)	20	140 (открытый эмиттер)	238.16-2	40
КР556РТ4	ТТЛШ	1К(256×4)	70	130 (открытый коллектор)	238.16-2	41
556РТ4	ТТЛШ	1К(256×4)	90	140	402.16-32	41
КР556РТ11	ТТЛШ	1К(256×4)	45	130	238.16-2	42
К1500РТ416	ЭСЛ	1К(256×4)	20	140 (открытый эмиттер)	4106.18-4	См. табл. 2.9, рис. 59
556РТ5	ТТЛШ	4К(512×8)	70	190	4118.24-1	43

Тип микросхем	Технология	Емкость, (организация), бит	Время выборки адреса, нс	Ток потребления, мА (тип выхода, время хранения информации при отключенном источнике питания, ч)	Условное обозначение корпуса	Номер рисунка
КР556РТ5	ТТЛШ	4К(512×8)	70	190 (открытый коллектор)	239.24-2	43
КР556РТ12	ТТЛШ	4К(1К×4)	60	140	2104.18-5	44
КР556РТ13	ТТЛШ	4К(1К×4)	60	140	2104.18-5	45
КР556РТ17	ТТЛШ	4К(512×8)	50	175 (три состояния)	239.24-2	46
КМ1608РТ2	ТТЛШ	4К(518×8)	35	185 (три состояния)	2108.22-1	47
КР556РТ14	ТТЛШ	8К(2К×4)	60	140	2104.-18-5	48
КР556РТ15	ТТЛШ	8К(2К×4)	60	140	2104.-18-5	49
556РТ6	ТТЛШ	16К(2К×8)	100	185	405.24-1	50
556РТ7	ТТЛШ	16К(2К×8)	100	185	405·24-2	51
КР556РТ18	ТТЛШ	16К(2К×8)	60	180 (три состояния)	239.24-2	52
КР556РТ16	ТТЛШ	64К(8К×8)	85	190 (три состояния)	239.24-2	53
КМ1608РТ1	ТТЛШ	256(32×8)	35	115 (три состояния)	201.16-17	54

Программируемые логические матрицы

Тип микросхем	Технология	Емкость, (организация), бит	Время выборки адреса, нс	Ток потребления, мА	Условное обозначение корпуса	Номер рисунка
556РТ1	ТТЛШ	16-входные переменные	50	180 (динамическая)	4119.28-1	55
КР556РТ1	ТТЛШ	48 конъюнкций, 8 выходных функций	70	170 (открытый коллектор)	2121.28-1	55
КР556РТ2	ТТЛШ	То же	80	180 (три состояния)	2121.28-1	56
1515ХМ1	КМОП	Многофункциональная цифровая матрица	6	0,5	4135.64.-2	—
К1520ХМ1	nМОП	То же	—	—	4135.54-1	—
К1520ХМ2	nМОП	»	—	—	Макет 4-108	—
556РТ3	ТТЛШ	»	60	185	4119.28-1	57

Постоянные ЗУ с многократным перепрограммированием с электрической записью и стиранием информации

Тип микросхем	Технология	Емкость, (организация), бит	Время выборки адреса, нс	Ток потребления, мА	Условное обозначение корпуса	Номер рисунка
КР558РР1	pМНОП	2К(256×8)	500	20 (суммарный ток, 3000)	405.24-7	58
558РР1	nМНОП	2К(256×8)	220	15 (динамический 3000)	405.24-2	58

Тип микросхем	Технология	Емкость, (организация), бит	Время выборки адреса, нс	Ток потребления, мА (тип выхода, время хранения информации при отключенном источнике питания, ч)	Условное обозначение корпуса	Номер рисунка
КР1601РР1	рМНОМ	4К(1К×4)	1700	30(5000)	2120.24-3	59
КР558РР2А	nМНОМ	16К(2К×8)	350	120(5000)	405.24-7	60
КР1601РР3	рМНОМ	16К(2К×8)	600	40(3000)	2121.28-5	61
КМ558РР3	nМНОМ	64К(8К×8)	430	80(15000)	2121.28-6	62
Постоянные ЗУ с многократным программированием и УФ-стиранием						
К573РФ1	nЛИЗМОП	8К (1К×8)	450	130(100 000)	210Б.24-5	63
К573РФ2	nЛИЗМОП	16К(2К×8)	450	90(100 000)	210Б.24-5	64
К573РФ5	nЛИЗМОП	16К(2К×8)	450	100(150 000)	210Б.24-5	65
К573РФ3	nЛИЗМОП	64К(4К×16)	400	85(15 000)	210Б.24-5	66
К573РФ4А	nЛИЗМОП	64К(8К×8)	300	70(100 000)	2121.28-8	67
К573РФ6А	nЛИЗМОП	64К(8К×8)	300	120(43 000)	2121.28-6	68
К573РФ81А	nЛИЗМОП	128К(16К×8)	350	100(25 000)	2121.28-8	69
К573РФ8А	nЛИЗМОП	256К(32К×8)	350	100(25 000)	2121.28-8	69
Ассоциативные ЗУ						
К589РА04	ТТЛШ	16(4×4)	30	120	239.24-2	70

К155РУ2

Рис. 1

К500РУ145

Рис. 2

К155РУ5, 133РУ5

Рис. 3

К500РУ410

Рис. 4

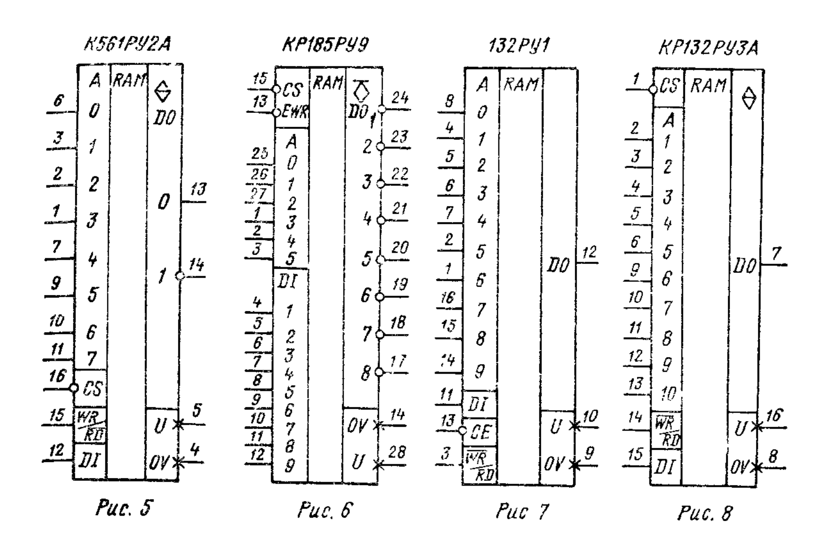


Рис. 5 Рис. 6 Рис 7 Рис. 8

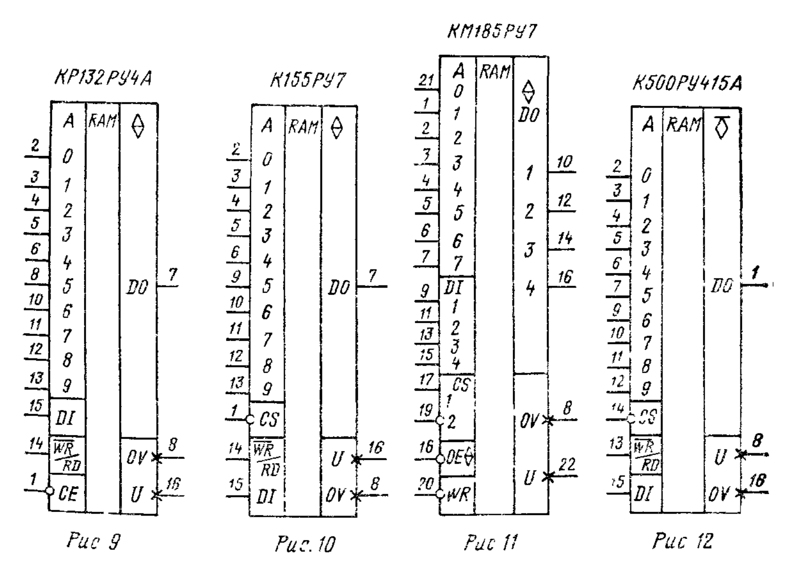


Рис 9 Рис. 10 Рис 11 Рис 12

КР565РУ2А

Рис. 13

1604РУ1

Рис. 14

КМ132РУ5А

Рис 15

КМ132РУ8А

Рис. 16

КМ132РУ9А

Рис. 17

537РУ2А

Рис. 18

КР537РУ3Б

Рис. 19

537РУ13

Рис. 20

537РУ14А

Рис. 21

КР541РУ1А

Рис. 22

КР541РУ2А

Рис. 23

КР132РУ6А

Рис. 24

КР537РУ8А

Рис. 25

537РУ8А

Рис. 26

1500РУ

Рис. 27

КР565РУ1А

Рис. 28

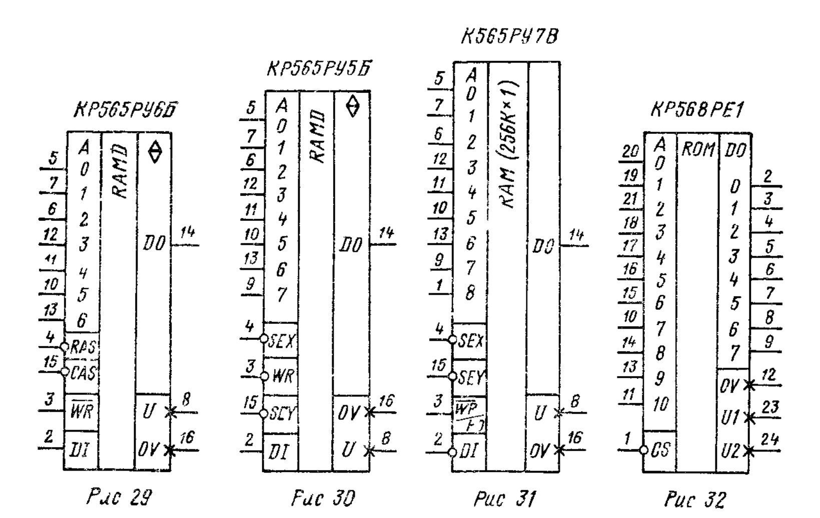


Рис 29

Рис 30

Рис 31

Рис 32

541РЕ1

A ROM DO

CS3 CS2 CS1 U 0V

Рис 33

КА1603РЕ1

A ROM DO

CE1 CE2 EDO U 0V

Рис 34

КР568РЕ2

A ROM DO

CS U1 U2 0V

Рис 35

КР588РЕ1

AD PROM AD

C CS RD AN U 0V

Рис 36

К596РЕ1

Рис. 37

КР1801РЕ2А

Рис. 38

КР568РЕ3

Рис. 39

К500РТ416

Рис. 40

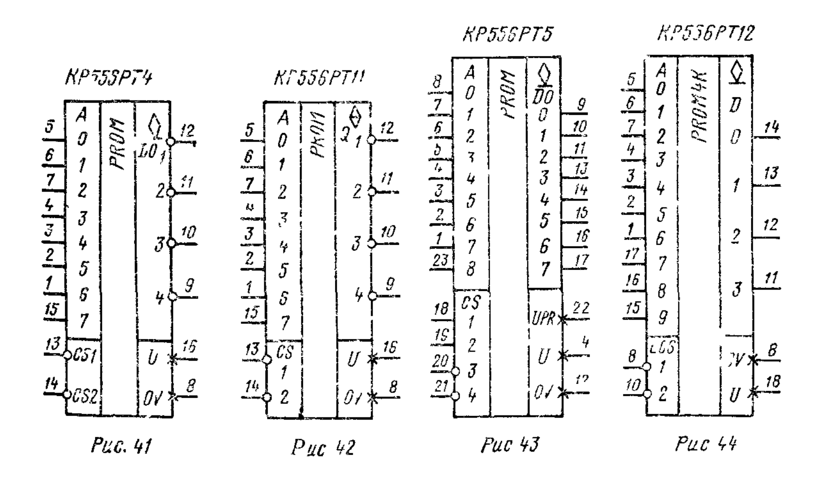


Рис. 41 Рис. 42 Рис. 43 Рис. 44

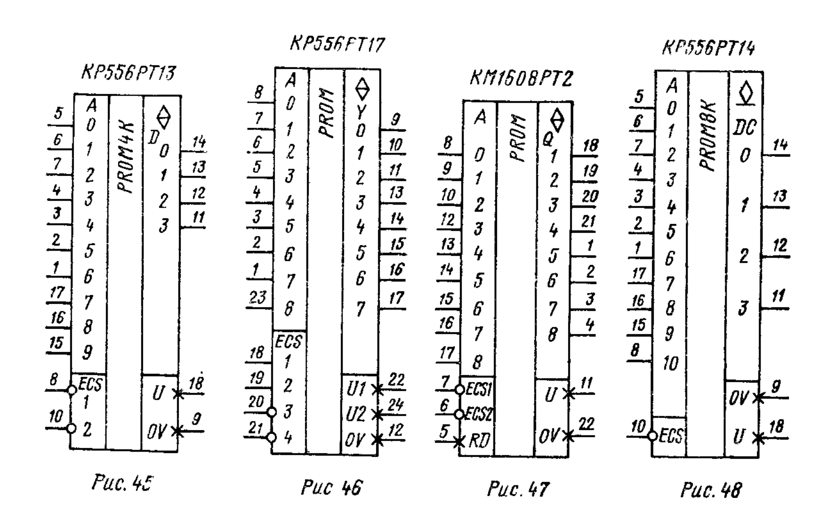


Рис. 45 Рис 46 Рис. 47 Рис. 48

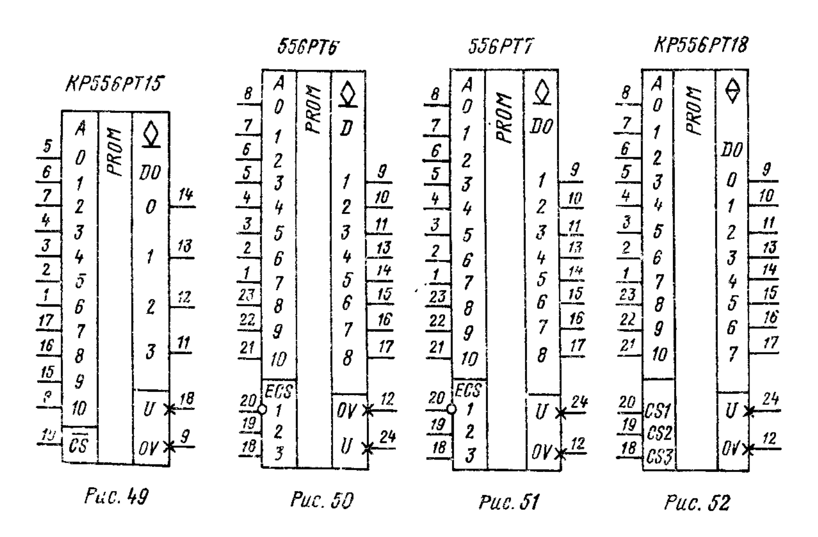


Рис. 49 Рис. 50 Рис. 51 Рис. 52

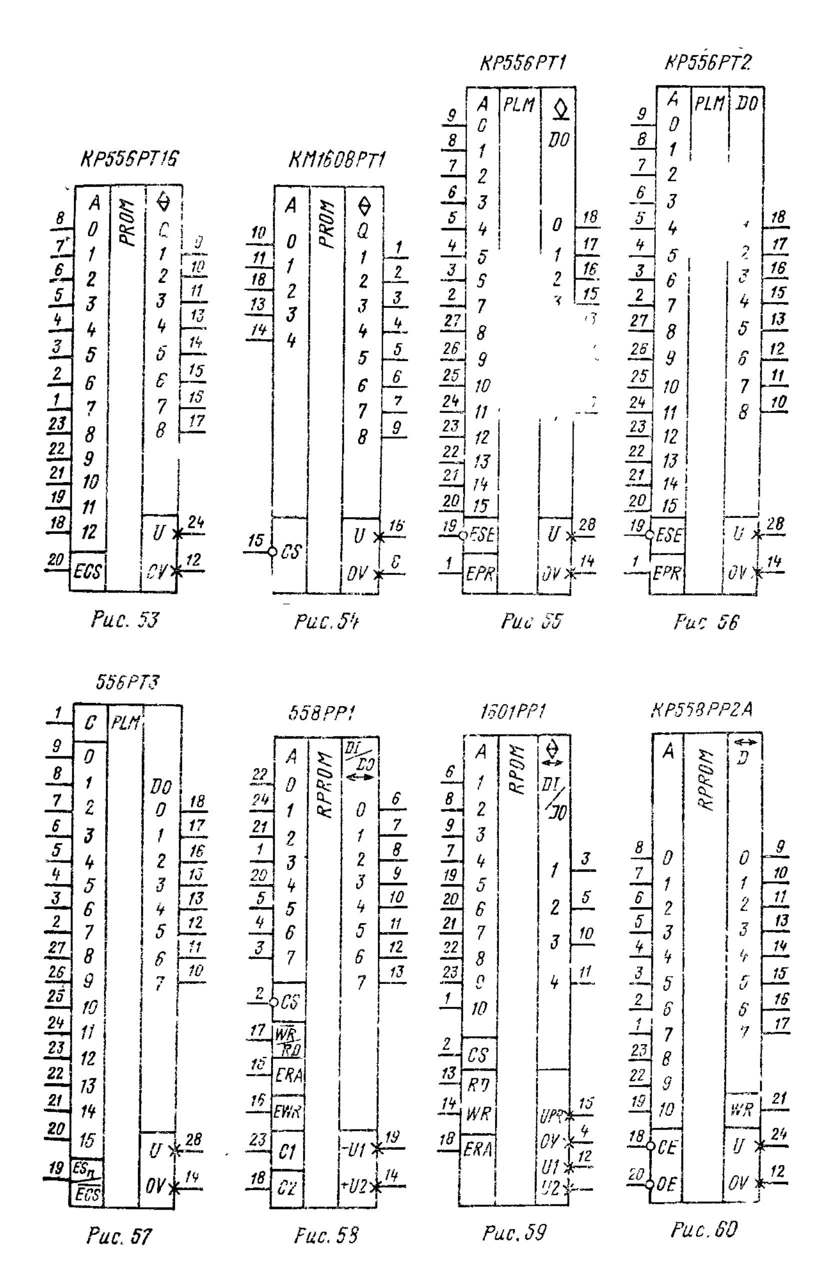


Рис. 53 Рис. 54 Рис. 55 Рис. 56

Рис. 57 Рис. 58 Рис. 59 Рис. 60

КР1601РР3

Рис. 61

КМ558РГ3

Рис. 62

К573РФ1

Рис. 63

К573РФ2

Рис. 64

К573РФ5

Рис. 65

К573РФ3

Рис. 66

К573РФ4А

Рис. 67

К573РФ6А

Рис. 68

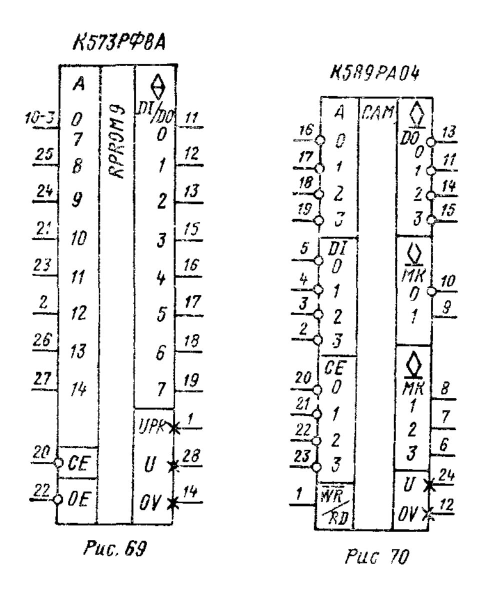


Рис. 69

Рис. 70

в ЗУ; быстродействие, определяемое временем обращения к ЗУ[1] (дополнительно быстродействие может быть охарактеризовано также временем записи и временем считывания), мощность всей микросхемы ЗУ в целом. Важной характеристикой является также степень интеграции, выраженная в числе элементов или эквивалентных логических элементов на корпус.

Разработка микросхем ЗУ идет по двум направлениям: выпускаются специальные серии ЗУ (например, 132, 1601, К573) и разрабатываются ЗУ для расширения традиционных серий цифровых микросхем ТТЛ и ЭСЛ, в состав которых введены ОЗУ на 256 бит с произвольной выборкой и схемами управления (К155РУ5), ОЗУ на 4096 бит (К500РУ470). В состав серий микросхем на КМОП-транзисторах включены ОЗУ на 256 бит (561РУ2А, К176РУ2).

Типы и основные характеристики специальных серий микросхем ЗУ, которые нашли применение в ЭВМ промышленного назначения, приведены в табл. 4.5. Как видно из таблицы, максимальная емкость ОЗУ и ПЗУ 256К бит достигнута на основе nМОП и nЛИЗМОП микросхем. Приведенные в табл. 4.5 ЗУ могут быть использованы при построении аппаратуры на базе МПК.

Особый интерес представляют ЗУ, выполненные по технологии МНОП, так как они позволяют сохранять информацию при отключенном напряжении питания. Например, для микросхем КР558РР3 время хранения информации составляет 15 000 ч. Большие перспективы в области повышения степени интеграции, уменьшения мощ-

---

[1] Имеется в виду время от момента подачи сигнала обращения до момента окончания процесса записи или считывания информации из ЗУ.

ности потребления и увеличения быстродействия открываются с дальнейшим совершенствованием таких схемотехнических и технологических направлений, как структуры ТТЛШ, nМОП, КМОП, ЛИЗМОП и МНОП.

Микросхемы, выполненные по технологии ЛИЗМОП на основе лавинной инжекции заряда, также позволяют сохранять информацию при отключении напряжения питания. Для микросхем К573РФ1 это время составляет 100 000 ч, стирание информации производится УФ-облучением.

Глава 5.

Аналоговые интегральные микросхемы

5.1. Назначение и применение

Аналоговые микросхемы предназначены для преобразования и обработки сигналов, изменяющихся по закону непрерывной функции. Несмотря на широкое применение цифровой обработки информации, аналоговые микросхемы используются как самостоятельно, так и в сочетании с цифровыми микросхемами. К аналоговым микросхемам относятся усилители, стабилизаторы напряжения и тока, специализированные микросхемы для радиоприемных и телевизионных устройств, аналоговые перемножители сигналов, компараторы, аналоговые ключи и коммутаторы, а также микросхемы для цифро-аналогового и аналого-цифрового преобразования информации.

Особенностями аналоговых микросхем являются большее по сравнению с цифровыми число параметров, требуемое для их правильного применения, сложность внутренней структуры и необходимость нескольких источников питания. Как правило, для выполнения заданной функции аналоговые микросхемы требуют подключения внешних элементов, число которых иногда значительно.

Дать информацию о всех выпускаемых типах микросхем не представляется возможным, поэтому в главе описаны наиболее важные их представители, условные обозначения которых приведены в табл. 5.1.

5.2. Операционные усилители

5.2.1. Классификация

Операционным называется усилитель, предназначенный для выполнения математических операций при использовании его в схеме с обратной связью. Однако область применения ОУ, выполненного в виде микросхемы, значительно шире. Поэтому в настоящее время под ОУ принято понимать микросхему — усилитель постоянного тока, позволяющий строить узлы аппаратуры, функции и технические характеристики которых зависят только от свойств цепи обратной связи, в которую он включен.

Таблица 5.1

Тип микросхем	Функциональный аналог	Тип корпуса (см табл 1.4)
	Операционные усилители	
КР140УД1	μА702	201.14-1
КР140УД5	—	201.14-1
КР140УД6	МС1456	2101.8-1
КР140УД7	μА741	2101.8-1
КР140УД8	μА740	2101.8-1
К140УД11	LM318	301.8-1
КР140УД1208	μА776	2101.8-1
КР140УД9	—	2101.8-1
К140УД13	—	301 8-2
КР140УД14	LM308	201.14-1
К140УД17	OP 07E	301.8-2
КР140УД18	—	2101.8-1
КР140УД20	μА747	201.14-1
140УД21	—	301.8-2
К140УД22	—	301.8-2
140УД23	LF157	301.8-2
140УД24	ICL7650	301.8-2
140УД26	OP37	3101.8-1
140УД27	OP27	3101.8-1
154УД1	HA2700	301.8-2
154УД2	AD507, HA2530	301.8-2
154УД3	AD509	301.8-2
К157УД3	—	201.14-2
К1401УД1	LM2900	201.14-1
К1401УД2	—	201.14-1
К1401УД3	—	201.14-1
К1401УД4	—	201.14-1
КР1407УД1	—	2101.8-1
КР1407УД2	—	2101.8-1
КР1407УД3	—	2101.8-1
К1408УД1	LM343	201.14-1
К1409УД1	CA3140	3101.8-2
К157УД1	—	201.14-1
КР544УД1	μА740	2101.8-1
КР544УД2	CA3130	2101.8-1
КМ551УД1	μА725	201.14-8
КМ551УД1	TBA931	201.14-8
К553УД1	μА709	201.14-1
К553УД2	LM101	201 14-1
КР574УД1	AD513	2101.8-1
КР574УД2	—	2101 8-1
КФ1032УД1	TAB1042	Ф08.16-1
1416УД1	TAB1042	402.16-6
1422УД1	μА791	4116.8-2
К1423УД1	ICL7612	3101Ю.8-2.01
К1423УД2	—	3101Ю.8-2 01
КР1426УД1	NIM2043	2101.14-1

Тип микросхем	Функциональный аналог	Тип корпуса (см. табл 1 4)
КР1427УД1	NE5517	2103 16-8
К1423УД3	LM392	4103 8-1
КР1401УД5	LM358	2101 8-1
К1429УД1	L272	1102 9 5
	Компараторы	
КР521СА4	SE527K	201 14-1
К554СА1	μA711	201 14-1
К554СА2	μA710	201 14-1
К554СА3	LM111	201 14-1
К521СА5	—	401 14 4
К1121СА1	—	4112 16 3
К1401СА1	LM339	2102 14-2
К1401СА2	LM2901	2102 14-2
	Аналоговые перемножители	
КР140МА1	—	201 14 1
КР525ПС1	MC1595	201 14-10
К525ПС2	AD530	201 14-10
КМ525ПС3	—	201 14-1
КР525ПС3	—	201 14-1
	Схемы для телевизионных приемников	
К174УР1	TBA-120	201 14-1
К174УР2	TBA-140	238.12-1
К174УР4	TBA-1200	201 14-1
К174УР5	TDA-2541	238 16 2
К174АФ1	TBA 920	238 16-2
К174АФ4	TBA 530	238 16-2
К174АФ5	TDA 2530	238 16-2
К174ХА1	1 2TCA-640	238 16-2
К174ХА8	TCA 650	238 16-2
К174ПС4	—	201.14-1
К174ХА9	TCA 640	238.16-2
К174ХА11	TDA 2591	238 16-2
К174ХА16	TDA-3521	239 24-2
К174ХА17	TDA 3501	239 24-2
К174УК1	TCA-660	238 16-2
К174УП1	TBA-570	238 16-2
К174ГЛ1	TDA 1170	238 12-1
К1003КН1	SAS580	2104 18-3
К1003КН2	SAS590	2104 18-3
К1003КН3	—	2104 18-3
К1106ХП1	—	2121 28-1
К1106ХП2	—	2121 28-1
К1106ХП3	—	2121 28-1

Тип микросхемы	Функциональный аналог	Тип корпуса (см. табл. 1.4)
КР1021УР1	TDA3541	238 16 2
КР1021ХА1	TDA2582	238 16 2
КР1021ХА2	TDA2578A	2104 18 7
КР1021ХА3	TDA3591	239 24 2
КР1021ХА4	A3562A TDA3562A	2121 28 5
К1021ХА5	TDA35620 TDA36520	«БЛИК»
К1021УН1	TDA2611A	1102 9 5
Схемы для радиоприемников		
К157ХА1	—	201 14 1
К157ХА2	—	201 14 1
К174УР3	—	201 14 1
К174ХА2	—	201 16 6
К174ХА6	—	238 16 3
К174ХА10		238 16 2
К174ХА12	—	238 16 1
К174ХА14	—	2120-2 5
К174ПС1	S042	201 14 1
К174УР7	TCA770	238 16 1
К174УР8	TDA2543	2103 16 9
174УР9	—	238 18 1
К174ХА15	TDA1062	238 16 2
К174ХА19	TDA1093 TDA1093B	2103 16 9
КА1508ХЛ1	CX775	«Иabетта»
КР1015ХК2	MPD2819	238 18 3
КР1015ХК3	MPD2819C	238 18 3
Усилители низкой частоты		
К174УН2	—	201 14 1
К174УН4	—	238 12 1
К174УН5	—	238 12 1
К174УН7	TBA 810	238 16 2
К174УН8	—	238 16 2
К174УН9	—	2104 12-1
К174УН10		238 16 2
К174УН11	TDA 2020	201 14-1
К174УН12	TCA 730	238 16 2
К174УН13	—	238 16 1
К174УН14	—	1501 5-1
К174УН15	—	1503 Ю 11 1
К174УН18	AN7145M, AN7146M	1503 1-1
КФ174УН17	TA7688	Ф08 16-1
К174УН19	TDA2030	1501 5-1
К157УН1	—	201 14-1
К538УН1	LM382	301 8 2
КР538УН3	—	2101 8 1

Тип микросхем	Функциональный аналог	Тип корпуса (см. табл. 1.3)
	Цифро-аналоговые преобразователи	
КР572ПА1	AD7520	201.16-12
К572ПА2	AD7545	4134.48-2
К594ПА1	AD562	405.24-2
К1108ПА1	HI562	2106.24-1
К1118ПА2	TDC1016J	210Б.24-3
КР1118ПА3	SP976B	210Б.24.3
КР1118ПА4	—	210Б.24-3
КМ1118ПА1	MC10318	2103.16-4
К417ПА1	DAC85C	160.40-1
К417ПА2	DAC85C-CB1	160.40-1
К427ПА1	DAC9377	4130.40-1
	Аналого-цифровые преобразователи	
К572ПВ1	AD7570	4134.48-2
КР572ПВ2	IC 7101	4134.48-2
К572ПВ4	TLC532A	2121.28-6
КР572ПВ5	LCL7106	2123.40-2
К1107ПВ1	TDC1014	2207.48-1
К1107ПВ2	TDC1007	2136.64-1
К1107ПВ3	SDA5020	201.16-13
К1107ПВ4	TDC1025	2136.64-1
К1108ПВ1	TDC1013	210Б.24-1
КР1108ПП1	VFC-32KP	201.14-2
К1113ПВ1	AD571KD	238.18-1
К1100СК2	LF-398	201.14-1
К1100СК3	—	201.14-1
	Коммутаторы	
К190КТ1П	MEM2009	201.14-1
К190КТ2П	LM160	201.14-1
КР590КТ1	AD7519	238.16-2
КР590КН1	3708	238.16-2
543КН1	AV-6-4016	429.42-1
543КН2	DG506	429.42-1
543КН3	DG201	429.42-1
К591КН1	MEM5116	212.32-1
К591КН2	HI 507	212.32-1
К591КН3	HI 506	212.32-1
КР590КН2	HI 1800	238.16-2
К590КН3	HI 509A	402.16-2
КР590КН6	HI 508A	238.16-2
К590КН14	CD22100	427.18-1
К591КН4	CD22102	212.32-1

Тип микросхем	Функциональный аналог	Тип корпуса (см. табл. 1 4)
	Ключи	
КР590КН4	HI 5043	238.16-2
КР590КН5	HI 201	238.16-2
КР590КН7	HI 5046	238.16-2
К590КН8	SD5000	402 16-18
590КН11	DG509, MUD807M	402.16-18
590КН12	AD7591	427 18-1
590КН13	HI 401	402.16-18
К1109КН2	D1510	2104.18-4
К1109КТ2	ULN2001A	238.16-3
	Стабилизаторы	
КР142ЕН1	μA723	2102.14-1
КР142ЕН2	μA723	2102.14-1
К142ЕН3	—	4116.8-2
К142ЕН4	—	4116.8-2
К142ЕН5	—	4116.4-2
К142ЕН6	1501	4116.8-2
К142ЕН8	μA7808K	4116.4-2
К142ЕН9	μA7818	4116.4-2
К142ЕП1	LM100	402.16-7
142ЕН10		4116.4-2
142ЕН11	LM137K; 7905	4116.4-2

Интегральный ОУ имеет следующие основные параметры:

1. Коэффициент усиления напряжения K_{yU} — отношение изменения выходного напряжения к вызвавшему его изменению входного напряжения. В общем случае коэффициент напряжения ОУ, не охваченного обратной связью, равен произведению K_{yU} всех его каскадов. В настоящее время K_y некоторых усилителей по постоянному току превышает $3 \cdot 10^6$. Однако значение его уменьшается с ростом частоты входного сигнала, при этом суммарная амплитудно-частотная характеристика (АЧХ) имеет столько изломов, сколько усилительных каскадов в ОУ. Каждый каскад на высоких частотах вносит фазовый сдвиг, который влияет на устойчивую работу ОУ, охваченного отрицательной обратной связью (ООС). Устойчивой работы усилительных каскадов ОУ добиваются введением частотной коррекции — внешних нагрузочных RC-цепей. Для стабилизации двухкаскадного усилителя обычно требуется одна цепь, трехкаскадного — две. Многие ОУ последних выпусков не требуют внешних цепей коррекции, так как в их схему уже введены необходимые элементы.

2. Частота единичного усиления f_1 — значение частоты входного сигнала, при котором значение коэффициента усиления напряжения ОУ падает до единицы. Этот параметр определяет максимально ре-

лизуемую полосу усиления ОУ. Выходное напряжение на этой частоте ниже, чем для постоянного тока примерно в 30 раз.

3. Максимальное выходное напряжение $U_{вых\ макс}$ — максимальное значение выходного напряжения, при котором искажения не превышают заданного значения. В отечественной практике этот параметр измеряется относительно нулевого потенциала как в положительную, так и в отрицательную сторону $\pm U_{вых\ макс}$. В зарубежных каталогах приводят значение максимального диапазона выходных напряжений, который равен $2U_{вых}$. Выходное напряжение измеряется при определенном сопротивлении нагрузки. При уменьшении сопротивления нагрузки величина $U_{вых\ макс}$ уменьшается.

4. Скорость нарастания выходного напряжения $v_{U_{вых}}$ — отношение изменения $U_{вых}$ от 10 до 90 % от своего номинального значения ко времени, за которое произошло это изменение. Параметр характеризует скорость отклика ОУ на ступенчатое изменение сигнала на входе; при измерении ОУ охвачен ООС с общим коэффициентом усиления от 1 до 10.

5. Напряжение смещения $U_{см}$ — значение напряжения, которое необходимо подать на вход ОУ, чтобы на выходе напряжение было равно нулю. Операционный усилитель реализуется в виде микросхемы со значительным числом транзисторов, характеристики которых имеют разброс по параметрам, что приводит к появлению постоянного напряжения на выходе в отсутствие сигнала на входе. Параметр $U_{см}$ помогает разработчикам рассчитывать схемы устройств, подбирать номиналы компенсационных резисторов.

6. Входные токи $I_{вх}$ — токи, протекающие через входные контакты ОУ. Эти токи обусловлены базовыми токами входных биполярных транзисторов и токами утечки затворов для ОУ с полевыми транзисторами на входе. Входные токи, проходя через внутреннее сопротивление источника сигнала, создают падения напряжений, которые могут вызывать появление напряжения на выходе в отсутствие сигнала на входе.

7. Разность входных токов $\Delta I_{вх}$. Входные токи могут отличаться друг от друга на 10...20 %. Зная разность входных токов, можно легко подобрать номинал балансировочного резистора.

Все параметры ОУ изменяют свое значение — дрейфуют с изменением температуры. Особенно важными дрейфами являются:

8. Дрейф напряжения смещения $\Delta U_{см}$.

9. Дрейф разности входных токов $\Delta\Delta I_{вх}$.

10. Максимальное входное напряжение $U_{вх}$ — напряжение, прикладываемое между входными выводами ОУ, превышение которого ведет к выходу параметров за установленные границы или разрушению прибора. В таблицах приводятся значения $\pm U_{вх}$, в зарубежной литературе — абсолютные значения диапазона.

11. Максимальное синфазное входное напряжение $U_{вх\ сф}$ — наибольшее значение напряжения, прикладываемого одновременно к обоим входным выводам ОУ относительно нулевого потенциала, превышение которого нарушает работоспособность прибора. В отечественной документации приводят модуль величины $U_{вх\ сф}$, а в зарубежной — диапазон.

12 Коэффициент ослабления синфазного сигнала $K_{ос\ сф}$ — отношение коэффициента усиления напряжения, приложенного между входами ОУ, к коэффициенту усиления общего для обоих входов напряжения.

13 Выходной ток $I_{вых}$ — максимальное значение выходного тока ОУ, при котором гарантируется работоспособность прибора. Это значение определяет минимальное сопротивление нагрузки. Очень важно при расчете комплексного сопротивления нагрузки учитывать, что при переходных процессах включения (выключения) ОУ значения емкостной или индуктивной составляющей сопротивления нагрузки резко изменяются и при неправильном подборе нагрузки схема может выйти из строя.

Часто вместо значения $I_{вых}$ в документации приводят минимальное значение сопротивления нагрузки $R_н$. Большая часть ОУ, разработанных в последнее время, имеет каскад, ограничивающий величину выходного тока при внезапном замыкании выходного контакта на шину источника питания или нулевой потенциал. Предельный выходной ток при этом — ток короткого замыкания $I_{кз}$ равен 25 мА.

Конструкторы и технологи микросхем ОУ постоянно ищут способы улучшения основных параметров приборов: увеличения K_{yU} f_1, $v_{U_{вых}}$ и др. Применяя схемотехнические решения и вводя новые технологические приемы, стараются снизить значения «паразитных» параметров $U_{см}$, $I_{вх}$, $\Delta I_{вх}$ и их дрейфов, а также мощность, потребляемую прибором. Как правило, достичь максимальных значений для всех параметров невозможно. Достижение максимального значения одного параметра часто осуществляется за счет ухудшения другого. Так, увеличение коэффициента усиления по напряжению влечет за собой снижение частотных свойств, и наоборот.

Как результат поисков и эволюции схемотехнических и технологических решений был создан ряд ОУ, который согласно квалификации по ГОСТ 4.465—86 делится на: универсальные (общего применения), у которых $K_{yU}=10^3...10^5$; $f_1=1{,}5...10$ МГц; прецизионные (инструментальные) с $K_{yU}>0{,}5\cdot10^6$ и гарантированными малыми уровнями $U_{см}\leqslant0{,}5$ мВ и его дрейфа; быстродействующие со скоростью нарастания выходного напряжения $v_{U_{вых}}\geqslant20$ В/мкс; регулируемые (микромощные) с током потребления $I_{пот}<1$ мА. В данной главе отдельно рассматриваются многоканальные ОУ и ОУ с повышенными выходными характеристиками $U_{вых}$ и $I_{вых}$.

5.2.2. Универсальные операционные усилители

На рис. 5.1, *а* приведена базовая схема двухкаскадного универсального ОУ, содержащая входной дифференциальный усилитель (транзисторы VT1 — VT4) и второй каскад усиления с общим эмиттером (транзисторы VT5, VT6). На выходе схемы включен двухтактный усилитель мощности — эмиттерный повторитель, работающий в режиме АВ. Второй каскад работает как интегратор на высоких частотах, поскольку от коллектора на инвертирующий вход (базу VT5) включен конденсатор коррекции $C_к\approx30$ пФ. Данное интегрирующее звено дает единственный полюс для амплитудной частотной характеристики ОУ.

Работу входного дифференциального каскада можно проиллюстрировать диаграммой распределения токов (рис. 5.1, *б*). В отсутствие входного напряжения токи эмиттеров транзисторов VT1 и VT2 равны величине I_1, поэтому одинаковы и токи эмиттеров транзисторов VT3 и VT4. При этом полагаем, что базовые токи транзисторов

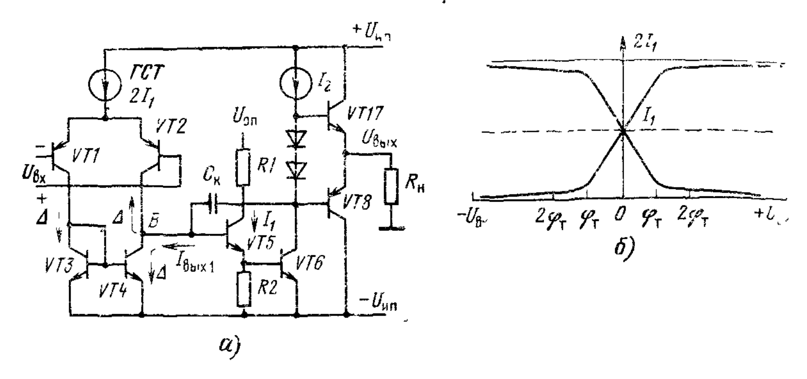


Рис 5.1. Базовая схема двухкаскадного универсального операционного усилителя

а — упрощенная принципиальная схема; *б* — эпюры токов дифференциального каскада

пренебрежимо малы. При идентичности технологических параметров транзисторов ток VT4 всегда будет равен току VT3 Такое включение транзисторов называют «зеркалом токов». Потенциал точки Б выхода дифференциального усилителя, равен примерно $2U_{\text{БЭ}}$. Когда появляется напряжение между входами ОУ, токи эмиттеров VT1 и VT2 изменяются на $\pm g_{m1}U_{\text{вх}}/2$, где $g_{m1}=I/2\varphi_{\text{т}}$ — крутизна усиления транзистора; $\varphi_{\text{т}}\approx 26$ мВ

Допустим, что ток транзистора VT1 получил приращение $\Delta I=-g_{m1}U_{\text{вх}}/2$ Тогда ток VT2 должен уменьшиться на величину $-g_{m1}U_{\text{вх}}/2$, поскольку оба транзистора питаются от генератора стабильного тока (ГСТ).

Нагрузка «зеркало токов» удваивает изменение тока $\Delta I_{\text{вых1}}$ на выходе первого каскада Действительно, в точку В втекает ток сигнала $I_{\text{вых1}}=-2\Delta I$, поскольку второе приращение ΔI есть отклик коллекторной цепи транзистора VT4 на изменение его базового напряжения, которое, в свою очередь, вызвано приращением тока транзистора VT3 на величину ΔI. Далее сигнал усиливается вторым каскадом (транзисторы VT5 и VT6) и поступает на усилитель мощности ОУ, транзисторы (VT7 и VT8) которого, как правило, работают в режиме АВ. Токи I_1 и I_2 каскадов ОУ стабилизируются различными по конфигурации схемами внутренней стабилизации Коэффициент усиления по напряжению ОУ на низкой частоте $K_{yU}=U_{\text{вых}}/U_{\text{вх}}\approx g_{m1}h_5h_6h_7$; $R_{\text{н}}/(1+R_{\text{вх2}}/R_{\text{вых1}})$, где $R_{\text{н}}$ — сопротивление нагрузки: h — коэффициент усиления транзистора по току; $R_{\text{вых1}}$ — выходное сопротивление первого каскада; $R_{\text{вх2}}$ — входное сопротивление второго каскада.

Коэффициент усиления напряжения ОУ на высокой частоте зависит в основном от частотных свойств второго каскада — интегратора: $K_{yU}(\omega)=U_{\text{вых}}(\omega)/U_{\text{вх}}(\omega)=g_{m1}/C_{\text{к}}(\omega)=g_{m1}(\omega C_{\text{к}})$, где $C_{\text{к}}$ — емкость корректирующего конденсатора; $\omega=2\pi f_{\text{вх}}$, $f_{\text{вх}}$ — частота входного сигнала.

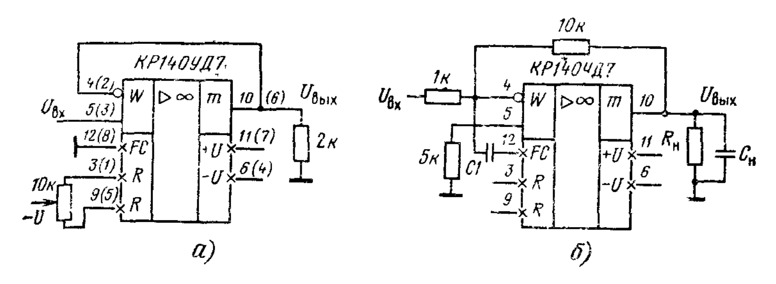


Рис 5 2. Операционный усилитель КР140УД7:

а — схема включения в режиме повторителя, *б* — схема подключения конденсатора для увеличения скорости нарастания выходных напряжений. В скобках указаны выводы микросхемы КР140УД7ОБ

Полная принципиальная схема двухкаскадного ОУ отличается от схемы-модели большим числом вспомогательных элементов, обеспечивающих надежную работу микросхем при изменяющихся внешних условиях (температуре, напряжении питания). Операционный усилитель КР140УД7 имеет более сложный входной усилитель, что позволяет повысить входное сопротивление до 100 кОм. В состав ОУ входит схема стабилизатора. Схема имеет внутренний конденсатор коррекции $C_к$ с номиналом 30 пФ, поэтому АЧХ ОУ полностью скорректирована. Наклон АЧХ (—20 дБ/дек) и постоянный фазовый сдвиг на высоких частотах, равный 90°, допускают использование ОУ в режиме повторителя без дополнительных элементов час-

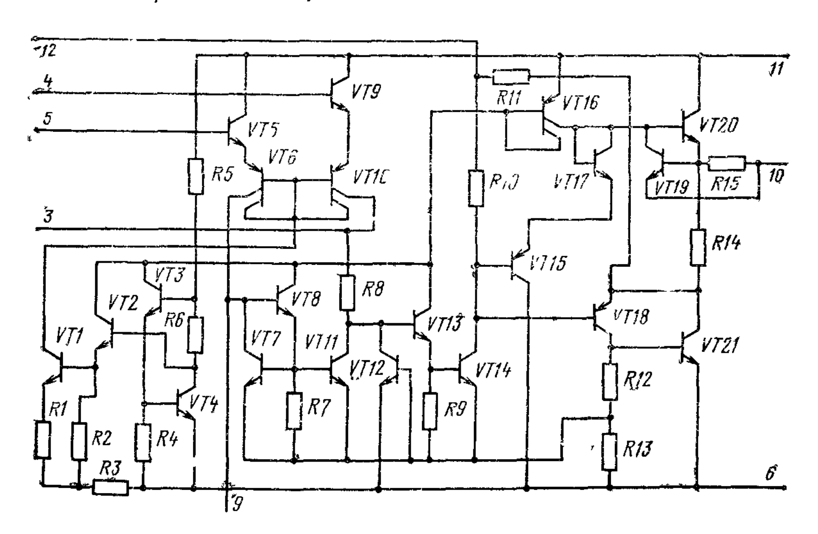


Рис. 5.3. Принципиальная электрическая схема операционного усилителя К553УД2

Тип микросхем	$K_{yU}\times10^3$	$U_{см}$, мВ	$\Delta U_{см}$, мкВ/°C	$I_{вх}$, нА	$\Delta I_{вх}$, нА	f_1, МГц
КР140УД1	2	7	20	$8\cdot10^3$	$1,5\cdot10^3$	5
КР140УД5	1	5	—	10^4	$5\cdot10^3$	14
КР140УД6	70	5	20	30	10	1
КР140УД6	70	5	20	30	10	1
КР140УД7	50	4	6	200	50	0,8
КР140УД708	50	4	6	200	50	0,8
КР140УД8	50	20	50	0,2	0,15	1
КР140УД9	35	5	35	100	—	—
КР140УД14	50	2	—	2	0,2	0,3
КР140УД18	50	10	—	1	0,2	—
К140УД22	25	10	—	0,2	0,05	5
КР544УД1	50	15	20	0,15	0,05	1
К553УД1	25	5	—	200	50	—
К553УД2	20	7,5	1,5	$1,5\cdot10^3$	500	1
К1409УД1	20	15	—	2	1,2	—

тотной коррекции (рис. 5.2, *а*). Для увеличения скорости нарастания выходного напряжения до 10 В/мкс к выводу 12 подключается конденсатор С1 емкостью 150 пФ (рис. 5.2, *б*). Схема балансировки ОУ

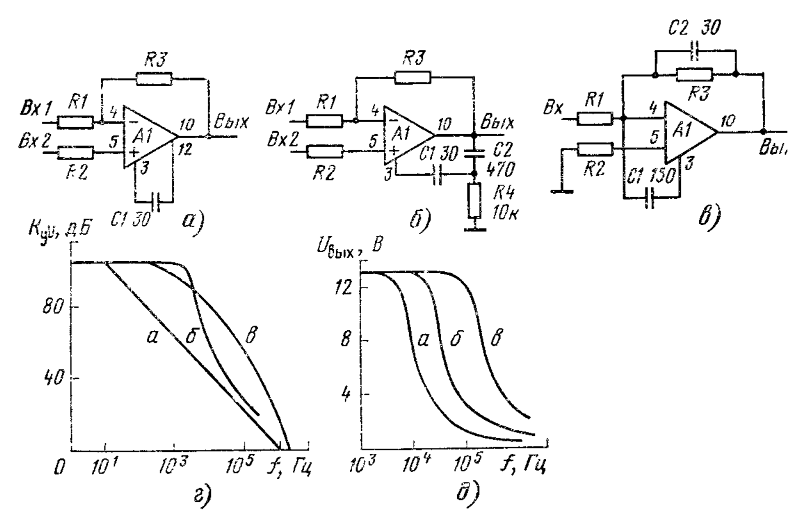


Рис. 5.4. Схемы частотной коррекции операционного усилителя К553УД (*а—в*) и их частотные зависимости (*г*, *д*):

а — стандартная; *б* — с максимальной амплитудой сигнала; *в* — с опережением по ВЧ-составляющим; *г* — для режима малого сигнала; *д* — для режима большого сигнала

Таблица 5.2

$v_{U\,вых}$, В/мкс	$K_{ос\,сф}$, дБ	$U_{вх}$, В	$U_{вх\,сф}$, В	$U_{вых}$, В	$I_{вых}$, мА ($R_н$, кОм)	$U_{ип}$, В	$I_{пот}$, мА
0,5	60	1,5	3	6	3	±12,6	8
6	60	3	6	6,5	3	±12,6	12
2,5	80	15	11	11	25	±15	2,8
2,5	80	15	11	11	25	±15	2,8
Дс 10	70	12	11	11,5	20	±15	2,8
До 10	70	12	11	11,5	20	±15	2,8
5	64	10	12	10	20	±15	5,0
5	80	7	6	10	22	±12,6	8,0
—	85	10	13,5	13	20	±15	0,6
2	—	10	10	11,5	(2)	±15	4
12	80		10	11		±15	10
2	70	10	10	10	20	±15	3,5
—	80	5	8	10	(2)	±15	6
0,5	70	10	10	10	(2)	±15	8,5
4	—	10	10	13	(1,8)	±15	6

состоит из одного внешнего переменного резистора, подключаемого к выводам 3 и 9. Параметры микросхемы приведены в табл. 5.2.

Операционный усилитель К553УД2 (рис. 5.3) не имеет внутренней частотной коррекции. С целью увеличения частоты единичного усиления в схеме входного каскада применены двухколлекторные транзисторы, что позволяет уменьшить крутизну входного каскада $g_{m1}=I_1/\varphi_T$ за счет ответвления части тока эмиттеров VT6 и VT10 через второй коллектор в цепь смещения. Так как оба коллектора равны по площади, то крутизна $g_{m1}=I_1/2\varphi_T$ и частота единичного усиления схемы повышаются по сравнению с усилителем КР140УД7. Зависимость коэффициента усиления от частоты для ОУ К553УД2 корректируется одним конденсатором (рис 5.4, *а* — *д*).

Улучшение технологии изготовления ОУ дало возможность в еди-

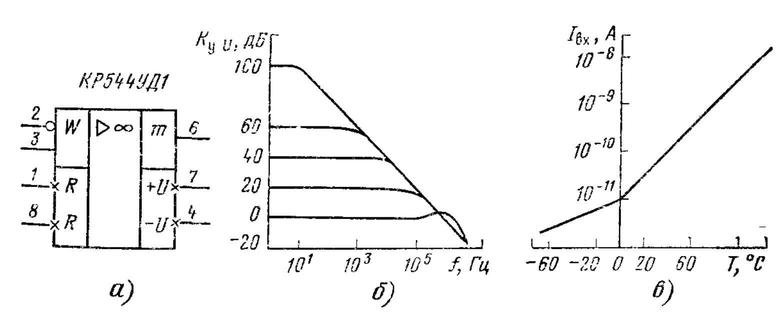


Рис. 5.5. Операционный усилитель КР544УД1:

а — условное графическое обозначение; *б* — зависимость коэффициента усиления от частоты; *в* — зависимость входного тока от температуры

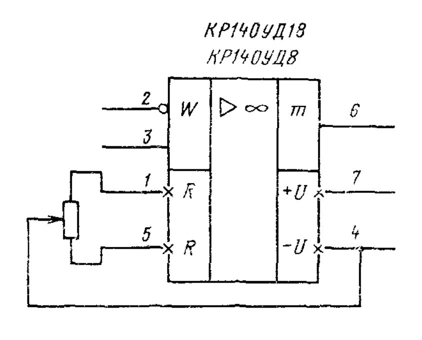


Рис. 5.6. Условное графическое обозначение операционных усилителей КР140УД8, КР140УД18

ном технологическом цикле на одном кристалле получать биполярные и высококачественные полевые транзисторы (ПТ). Пара согласованных по параметрам полевых транзисторов часто используется для уменьшения входных токов ОУ до уровня токов утечки затворов. Это, в свою очередь, позволило создать полупроводниковые ОУ, обладающие входным сопротивлением $10^{11}...10^{15}$ Ом, а следовательно, и входными токами, приближающимися к 0,1 нА, как, например, ОУ КР544УД1 (рис. 5.5, *а*). Этот биполярно-полевой ОУ построен по двухкаскадной схеме. Полевые транзисторы позволяют подавать большие дифференциальные входные напряжения на уровне единиц вольт, в то время как простой биполярный входной каскад (см. рис. 5.1, *б*) переводится в насыщение сигналом ±26 мВ. Большое допустимое входное напряжение значительно расширяет верхнюю частоту полосы усиления ОУ в режиме большого сигнала на выходе. В схеме усилителя применяется внутренняя частотная коррекция. Балансировка напряжения смещения производится подключением переменного резистора к выводам 1—8. Биполярно-полевые ОУ уступают, как правило, чисто биполярным по уровням смещения нуля и их дрейфам. Выпускаются ОУ КР544УД1А (параметры приведены в табл. 5.2) КР544УД1Б ($K_{yU}=20\cdot10^3$, $U_{см}=50$ мВ, $I_{вх}=1$ нА, $U_ш=10$ мкВ в полосе частот 0,1...10 Гц). Зависимости $K_{yU}(f)$ и $I_{вх}(T)$ показаны на рис. 5.5, *б*, *в* соответственно. На рис. 5.6 приведена схема более сложного ОУ КР140УД8, входной каскад которого построен на n-канальных ПТ с затворами, образованными запертыми p-n переходами. Генератор стабильного тока второго каскада также выполнен на аналогичном ПТ. Оконечный каскад ОУ имеет схему, сходную с ОУ КР544УД1. Коррекция частотной характеристики осуществлена внутренним конденсатором емкостью 33 пФ.

На рис. 5.7, *а* показана упрощенная принципиальная электрическая схема биполярно-полевого ОУ с p-канальными ПТ, имеющими структуру металл — окисел — полупроводник (МОП). Операционный усилитель КР1409УД1 имеет входной полевой дифференциальный усилитель, схема питания которого стабильными токами также построена на МОП-транзисторах.

Специальная схема на диодах VD1 — VD3 и особая взаимопроникающая структура входных транзисторов VT1 и VT3 позволили уменьшить напряжение смещения нуля до 15 мВ при остальных параметрах, соответствующих параметрам ОУ типа КР140УД8 Усилитель может работать в широком диапазоне питающего напряжения ±5...±15 В. Предназначенный для работы от источника питания +5 В ОУ КР140УД8Б имеет $K_{yU}=10^4$; $I_{вх}<2$ нА; $v_{U_{вых}}=1$ В/мкс и $I_{пот}=2,5$ мА. Зависимости входных токов и разности входных токов от температуры приведены на рис. 5.7, *б*.

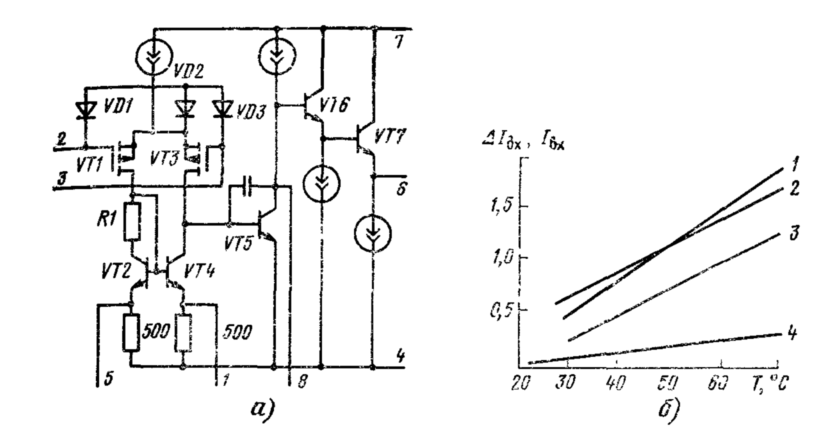


Рис. 5.7. Операционный усилитель КР1409УД1.

а — упрощенная принципиальная электрическая схема; *б* — зависимости входных токов *1*, *2* и разности входных токов *3*, *4* от температуры; *1*, *3* — группа Б, *2*, *4* — группа А

Операционный усилитель КР140УД18 продолжает ряд биполярно-полевых ОУ. Входные токи $I_{вх}<1$ нА позволяют широко использовать ОУ в схемах интеграторов, работающих с большими постоянными времени при малых емкостях. Цоколевка микросхемы КР140УД18 соответствует цоколевке микросхемы КР140УД8

Входные токи полевых транзисторов, которые являются токами утечки, сильно зависят от температуры. При изменении температуры на 100 °С входной ток увеличивается на два порядка и достигает десятков наноампер (см. рис. 5.5, *в*). Кроме того, ОУ с полевыми транзисторами имеет большое напряжение смещения (до 30...50 мВ) и значительный температурный дрейф (40 мкВ/°С). Перечисленные причины заставили разработчиков ОУ искать другие пути для улучшения характеристик усилителей.

Для получения малого значения входного тока можно использовать биполярные транзисторы, у которых коэффициент усиления по току превышает 5000. Транзисторы со сверхвысоким коэффициентом усиления по току — супербета-транзисторы получаются из n-p-n транзисторов путем дополнительной эмиттерной диффузии. Однако при этом уменьшается напряжение пробоя этих транзисторов. Сочетание низковольтных транзисторов с обычными n-p-n транзисторами позволило наиболее эффективно получить ОУ с лучшими по сравнению с ОУ на ПТ дрейфами входных характеристик $U_{см}$, $I_{вх}$.

К примеру, если к схеме КР140УД7 для уменьшения входных токов добавить дифференциальный повторитель с супербета-транзисторами, то можно получить типовое значение входных токов менее 15 нА и хорошую стабильность этих токов (максимальное значение 30 нА). По такой схеме построен ОУ КР140УД6, цоколевка которого совпадает с цоколевкой ОУ КР140УД7, а также ОУ КР140УД608.

В отличие от ОУ КР140УД6, в схеме ОУ КР140УД14 (рис. 5.8, *а*) супербета-транзисторы применены во всех каскадах, что позволило

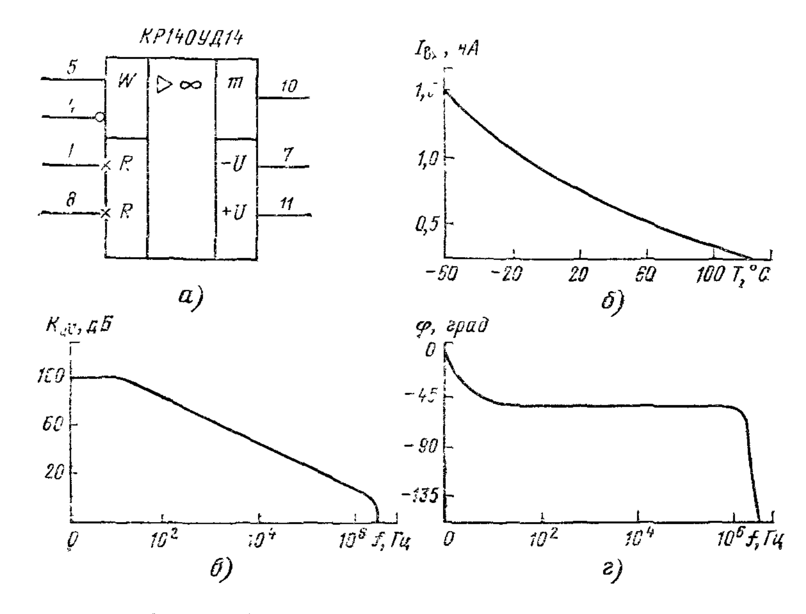


Рис. 5.8. Операционный усилитель КР140УД14:

а — условное графическое обозначение; *б* — зависимость входных токов от температуры; *в* — зависимость коэффициента усиления от частоты; *г* — фазочастотная характеристика

получить уровень входного тока $I_{вх}$ менее 1,5 нА во всем температурном диапазоне (рис. 5.8, *б*). Коррекция АЧХ ОУ осуществляется внешними цепями коррекции (рис. 5.8, *в*). На рис. 5.9 приведена схема включения еще одного ОУ этого направления К140УД22. Разность входных токов $\Delta I_{вх} \leqslant 2$ нА в диапазоне температур —10... ...+85 °С, а при температуре 25 °С не превышает 0,05 нА.

5.2.3. Прецизионные операционные усилители

В измерительных устройствах необходимо усиливать без искажения слабые электрические сигналы датчиков, сопровождаемые значительным уровнем синфазных, температурных и других помех. Прецизионный усилитель, используемый для этих целей, должен обладать не только очень большими значениями коэффициентов усиления (более $5 \cdot 10^5$) и подавления синфазного сигнала, но и малым напряжением смещения нуля (не более 0,5 мВ) и его дрейфом, малыми уровнями шумов, большим входным сопротивлением. Для построения такого усилителя, называемого иногда инструментальным, который способен с большой точностью фиксировать эти параметры, обычно используется два-три ОУ общего применения с несколькими высокоточными, хорошо подобранными по температурным коэффициентам резисторами ООС, поскольку погрешность усилителя в значительной мере будет зависеть от их температурного коэффициента.

Приемлемую схему инструментального усилителя можно получить, если на входе универсального ОУ использовать специальный прецизионный усилитель с небольшим коэффициентом усиления напряжения, но с высоким входным сопротивлением и малыми дрейфами напряжения смещения Такой входной каскад обеспечит точный прием и неискаженную передачу информации для дальнейшей обработки на универсальный ОУ, который, в свою очередь, обеспечит требуемый коэффициент усиления $K_{yU} \geqslant 500 \cdot 10^3$. В настоящее время по этому принципу разработано несколько полупроводниковых ОУ (табл 5 3) Операционный усилитель КМ551УД1 имеет малое напряжение смещения нуля $U_{см} < 0.5$ мВ, малые уровни дрейфа и шумов и $K_{yU} \geqslant 10^6$. Но основным свойством этого ОУ является то, что он позволяет поддерживать с высокой точностью большое значение коэффициента усиления ОУ замкнутого ООС. Можно получить $K_{yU} = 1000 \pm 0{,}3$ % Характеристики усилителя обеспечиваются принципиальной схемой входного каскада, который построен по простой дифференциальной схеме с резистивными нагрузками (рис 5.10). Однако для уменьшения дрейфов входные транзисторы VT1 и VT3 представляют собой параллельные соединения двух транзисторов (рис. 5 10, *б*) Уменьшение теплового воздействия со стороны элементов мощных выходных транзисторов достигается специальным размещением входного каскада. Транзисторы VT1 и VT3 занимают большую площадь на кристалле (приблизительно его третью часть) и размещены крест-накрест. Остальная часть ОУ соответствует схеме обычного двухкаскадного ОУ. Амплитудно-частотная характеристика ОУ корректируется двумя цепями частотной коррекции (рис 5 10, *в*). Зависимость K_{yU} от частоты разомкнутого усилителя показана на рис. 5 10, *г*, а АЧХ ОУ в режиме масштабного усилителя — на рис. 5.10, *д*. В табл 5 3 для ОУ КМ551УД1 указан коэффициент влияния источника питания $K_{вл.ип}$.

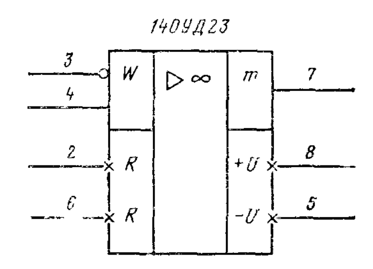


Рис 5 9 Операционный усилитель К140УД22

Операционный усилитель КР140УД17 имеет внутреннюю схему частотной коррекции и может работать в диапазоне питающих напряжений ±3...±18 В. Типовая схема его включения и схема балансировки приведены на рис. 5.11. Для этого усилителя гарантируются следующие шумовые характеристики: спектральная плотность напряжения шумов в полосе частот 0...500 Гц не менее 38 нВ/$\sqrt{Гц}$ при $R_г = 0$ и 600 нВ/$\sqrt{Гц}$ при $R_г = 200$ кОм. Остальные параметры ОУ КР140УД17 классифицируются по двум группам А и Б. Параметры для микросхем группы А приведены в табл. 5 3, для группы Б: $K_{yU} = 120 \cdot 10^3$; $U_{см} = 150$ мкВ; $I_{вх} = 12$ нА.

На рис. 5.12 приведены микросхемы типов 140УД26 и 140УД27, выполненных по базовой технологии ОУ К140УД17. Микросхемы имеют коэффициент усиления напряжения $K_{yU} \geqslant 10^6$ и предназначены для построения масштабного усилителя с коэффициентом, рав-

Тип микросхемы	$K_{yU}\times 10^3$	$U_{см}$, мкВ	$\Delta U_{см}$, мкВ/°С	$I_{вх}$, нА	$K_{ос\ сф}$, дБ
К140УД13	0,01	50	0,5	0,2	90
К140УД17А	200	75	3	3,8	106
140УД21	10^3	60	0,5	0,5	110
140УД24	10^3	5	0,05	0,01	120
140УД26А	10^3	25	0,6	35	114
140УД26Б	10^3	60	1,3	50	114
140УД26В	$0,7\cdot 10^3$	100	1,8	75	114
140УД27А	10^3	25	0,6	35	108
140УД27Б	10^3	60	1,3	50	100
140УД27В	$0,7\cdot 10^3$	100	1,8	75	94
КМ551УД1А	500	$1,5\cdot 10^3$	10	20	100
КМ551УД1Б	250	$2,5\cdot 10^3$	10	35	94
К140УД17Б	$1,2\cdot 10^4$	150	6	6	94

* При $R_г=0$, $\Delta f=0...500$ Гц.

ным 1000. Возможно снижение коэффициента. Однако при коэффициенте усиления масштабного усилителя менее 5 устойчивость ОУ не обеспечивается. Параметры усилителей приведены в табл. 5.3. Усилители 140УД26 и 140УД27 выполнены в одинаковых корпусах, имеют аналогичное расположение выводов однако различаются по техническим характеристикам. Микросхема 140УД26 предназначена для работы в низкочастотных устройствах, в то время как микросхема 140УД27 — в высокочастотных. Оба усилителя работают от двух источников питания $U_{ип}=\pm 15$ В± 10 % и выпускаются трех типономиналов А, Б, В, различающихся значениями параметров и их температурных дрейфов.

Давно известный способ точного усиления постоянного тока путем модуляции его в переменный, усиления переменного тока и обратного преобразования — демодулирования нашел применение и в микросхемах. Он позволяет реализовать схемы инструментальных ОУ с напряжением смещения и его дрейфом в 5, а с входными токами в 10^2 раз ниже, чем в ОУ прямого усиления. Такой способ позволяет реализовать прецизионные ОУ по более технологичной МОП-технологии. На рис. 5.13, *а* приведена структурная схема прецизионного предусилителя К140УД13, построенного на КМОП-структурах. Усилитель имеет $K_{yU}=10$, $K_{ос\ сф}=-90$ дБ и $U_{см}=0,05$ мВ, малые температурные и временные дрейфы $U_{см}$ и $\Delta I_{вх}$.

Входной сигнал, поступающий на микросхему, преобразуется в НЧ модуляторе 1 в переменное напряжение, определяемое частотой генератора 5. Затем сигнал усиливается усилителем переменного тока 2, демодулируется 3 и поступает на фильтр НЧ 4 для восстановления первоначального частотного спектра.

На рис. 5.13, *б* приведена основная схема включения микросхемы К140УД13 (модулятор, УНЧ, демодулятор и генератор реализованы внутри микросхемы). Конденсатор С1 является времязадаю-

Таблица 53

$K_{вл.ип}$, мкВ/В	$E_{ш}$, нВ/$\sqrt{Гц}$	$U_{вх.сф}$, В	$R_{н}$ ($I_{вых}$, мА)	$U_{вых}$, В	$I_{пот}$, мА	$U_{ип}$, В
—	—	—	—	1,0	2	±15
94 дБ	38*	15	(6)	10	5	±15
110 дБ	—	10	2	10,5	5,5	±15
1	—	2	10	4,7	3,5	±5
10	3,8	11	2	12	4,7	±15
10	3,8	11	2	12	4,7	±15
10	4,5	11	2	11,5	4,7	±15
10	5,5	11	2	12	4,7	±15
10	5,5	11	2	12	4,7	±15
20	8,0	11	2	11,5	5,7	±15
10	—	13,5	2	10	5	±15
10	—	13,5	2	10	5	±15
90 дБ	—	15	(6)	10	6	±15

щим для генератора импульсов. Низкочастотный фильтр реализован вне микросхемы на R1 и C3, при этом верхняя частота фильтра $f_в = 1/(2\pi R_1 C_3)$.

Микросхема К140УД13 может работать при запуске внутреннего генератора — мультивибратора от внешнего генератора синусоидальных сигналов положительной полярности частотой 1...10 кГц, амплитудой 6...7 В.

На рис. 5.13, *в* приведена принципиальная схема прецизионного усилителя, построенного на базе микросхем К140УД13 и КР140УД6. Усилитель имеет $K_{yU} \geqslant 1000$ при $\Delta U_{см} = 0.5$ мкВ°/С. Микросхема К140УД13 реализует предусилитель с $K_{yU} \approx 2$, главная задача которого — обеспечить качественное измерение характеристик, а микросхема КР140УД6 реализует усилитель с $K_{yU} \geqslant 500$. По указанному выше принципу в настоящее время разработан ряд микросхем. На рис. 5.14 приведена схема включения ОУ внутренней импульсной стабилизацией типа 140УД21. Данная схема реализует усилитель с коэффициентом усиления $K_{yU} = 1000$. Для устойчивой работы ОУ, охваченного обратной связью с коэффициентом усиления 70 дБ $\leqslant K_{yU} \leqslant 140$ дБ, необходимо использовать корректирующую цепь: параллельно резистору $R_{ос}$ включить емкость $C_к$, которую выбирают из условия $R_{ос}C_к \geqslant 1/2\pi$ МГц. С целью подавления помех от внутреннего генератора импульсов рекомендуется на входах 2 и 3 иметь одинаковые сопротивления. На рис 5.15 приведена схема включения ОУ типа 140УД24, выполненного по КМОП технологии с карманами n-типа. По своим характеристикам он превосходит все типы прецизионных ОУ и имеет $U_{см} \leqslant 5$ мкВ, $I_{вх} = 10^{-2}$ нА, $f_1 = 2$ МГц и $v_{U_{вых}} \geqslant 2,5$ В/мкс.

Рис 5 10. Операционный усилитель КМ551УД1:

а — условное графическое обозначение, *б* — схема входного каскада; *в* — основная схема частотной коррекции, *г* — АЧХ разомкнутого усилителя

Кривая	R_2, Ом	R_2, Ом	C_1, пФ	C_2, пФ
1	$1 \cdot 10^4$	—	50	—
2	470	—	$1 \cdot 10^3$	—
3	47	—	$1 \cdot 10^4$	—
4	27	270	$5 \cdot 10^5$	$1{,}5 \cdot 10^3$
5	10	390	$5 \cdot 10^4$	$2 \cdot 10^4$

д — зависимость коэффициента усиления от частоты, элементов обратной связи и частотной коррекции в режиме масштабного усилителя

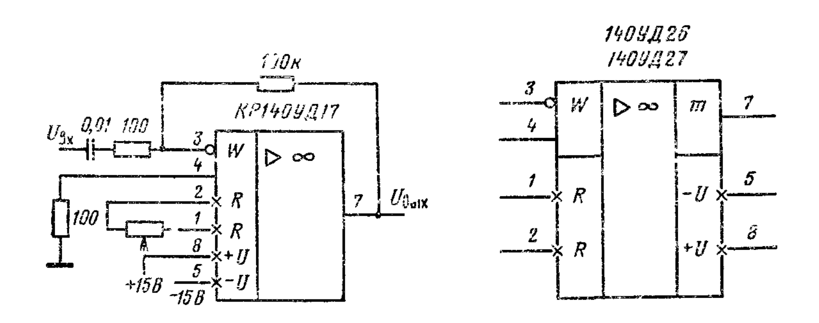


Рис 5 11 Операционный усилитель КР140УД17

Рис 5 12 Операционные усилители 140УД26, 140УД27

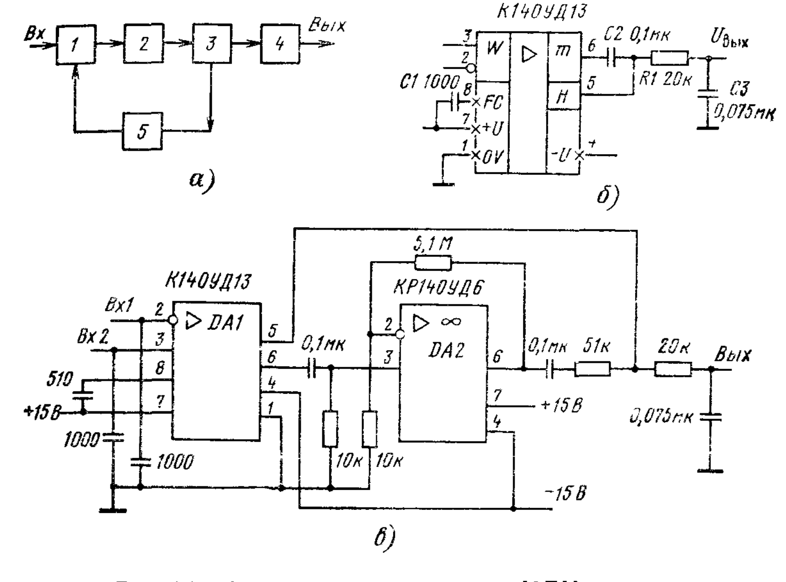


Рис. 5.13. Операционный усилитель с МДМ-каналом:

а — структурная схема; *б* — микросхема К140УД13, *в* — принципиальная схема операционного усилителя с МДМ каналом

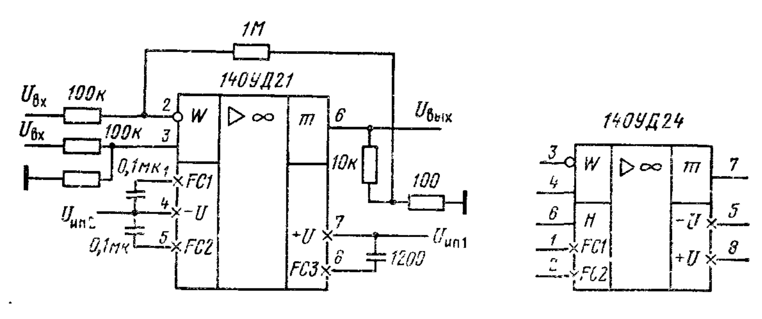


Рис. 5.14. Операционный усилитель 140УД21

Рис. 5.15. Операционный усилитель 140УД24

5.2.4. Быстродействующие операционные усилители

Ограниченное быстродействие — один из существенных недостатков стандартных ОУ. Усилители общего назначения с коррекцией до частоты единичного усиления имеют малосигнальную полосу частот около 1 МГц и скорость нарастания выходного напряжения приблизительно до 0,6 В/мкс. Этот недостаток можно преодолеть, если вве-

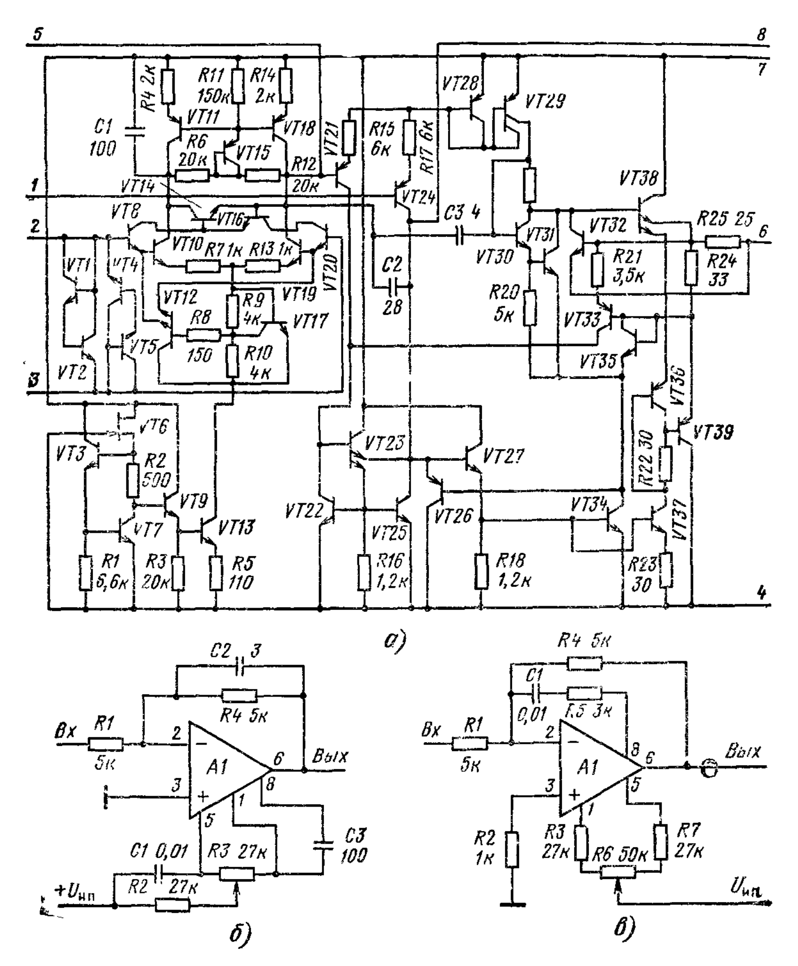


Рис. 5.16. Операционный усилитель КР140УД11:

а — принципиальная электрическая схема; *б*, *в* — схемы частотной коррекции, применяемые соответственно для уменьшения времени установления и увеличения скорости нарастания выходного напряжения

сти в схему ОУ высокочастотный (ВЧ) канал. Существует много способов построения ВЧ-канала, которые в основном отличаются схемами включения корректирующих цепей и типом применяемых усилительных каскадов. Полупроводниковые ОУ, хотя и обладают малыми паразитными емкостями, все же не могут без специальных мер иметь большую скорость отклика, поскольку один из усилительных каскадов должен быть построен на интегральном р-п-р транзисторе.

Таблица 5.4

Тип микросхемы	$K_{yU} \times 10^3$	$V_{U_{вых}}$, В/мкс	f_1, МГц	$U_{см}$, мВ	$I_{вх}$, нА	$U_{вых}$, В	$R_н$, кОм	$U_{ип}$, В	$I_{пот}$, мА
КР140УД11	50	+50; —20	15	4	250	12	2	±15	8
154УД2	10	+150; —75	—	2	10	20	2	±15	6
154УД3	8	80	—	9	200	9,5	2	±15	7
КР544УД2	20	20	15	30	0,1	10	2	±15	7
КР574УД1	50	50	10	50	0,5	10	2	±15	8
КР574УД2	25	15	2	50	1	10	—	±15	10
140УД23	50	30	10	5	0,1	10,5	2	±15	7,5

В настоящее время создан ряд быстродействующих ОУ (табл. 5.4), отличающихся способом построения БЧ-канала. Например, ОУ КР140УД11 (рис. 5.16, *а*) выполнен по планарно-эпитаксиальной технологии с изоляцией p-n переходом, имеет скорость нарастания выходного напряжения 50 В/мкс и частоту единичного усиления 15 МГц. Широкополосность для этого ОУ — результат применения в схеме ВЧ-канала, по которому высокочастотные составляющие «обходят» низкоскоростной p-n-p транзистор. Кроме того, за счет оригинальной схемы ОУ отличается высокой стабильностью параметров во всем диапазоне питающих напряжений ±5...±16 %. Этот ОУ построен по трехкаскадной схеме. Для увеличения входного сопротивления первый дифференциальный каскад построен на составных транзисторах по схеме общий коллектор — общий эмиттер (транзисторы VT8, VT10, VT20, VT19). Для расширения полосы усиления в эмиттеры его усилительных транзисторов VT10 и VT19 включены резисторы R7 и R13.

Быстродействующие усилители менее устойчивы по сравнению с универсальными ОУ, поэтому для предотвращения генерации в схеме необходимо уменьшить паразитную емкость между выходом ОУ и его инвертирующим входом. Для уменьшения указанной емкости применяют специальные внешние цепи коррекции (рис. 5.16, *б*, *в*), состав которых зависит от задачи, которую решает ОУ. Балансировка усилителя осуществляется включением переменного резистора между выводами 1 и 5. Транзисторы микросхемы, выполненные в специальных карманах, изолированных слоем окиси кремния, имеют более высокочастотные свойства по сравнению с транзисторами, изолированными p-n-переходом. На рис. 5.17 приведена микросхема 154УД2, состоящая из дифференциального входного усилительного каскада, второго каскада на транзисторах, включенных по схеме Дарлингтона, и мощного выходного каскада. Повышение быстродействия ОУ до 75 В/мкс достигается в основном введением ВЧ канала со входа ОУ на базы транзисторов выходного каскада. Для исключения возбуждения на выходе в схему ОУ введены глубокая ООС и схема внутренней частотной коррекции, охватывающая второй каскад. Операционный усилитель типа 154УД2 имеет защиту от перегрузок по входу и выходу.

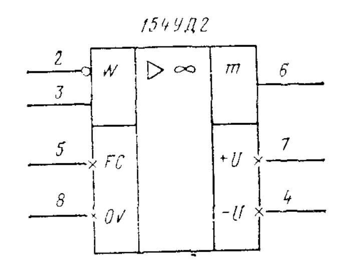


Рис. 5.17. Операционный усилитель 154УД2

Рис. 5.18 Операционный усилитель 154УД3

Дальнейшее повышение скорости нарастания ОУ можно получить, если уменьшить число каскадов усиления напряжения. Так, ОУ 154УД3 (рис. 5.18) имеет один дифференциальный каскад усиления напряжения с эмиттерными резисторами для расширения как диапазона допустимых входных сигналов, так и частотного диапазона. Однокаскадный ОУ имеет один излом частотной характеристики и представляет собой колебательное звено первого порядка, которое работает устойчиво без корректирующих элементов. Отсутствие емкости, а также увеличение тока питания единственного каскада позволило повысить быстродействие ОУ 154УД3 до 80 В/мкс.

Многие быстродействующие ОУ строятся по биполярно-полевой схеме. Полевой входной каскад имеет сверхвысокое входное сопротивление, но ток его питания можно выбрать в десятки раз большим, чем биполярного входного каскада. Отсюда получается много большая скорость перезаряда конденсатора коррекции АЧХ $C_к$.

На рис. 5.19 приведена схема включения биполярно-полевого ОУ КР544УД2. Входной каскад его построен на n-канальных ПТ с затворами, изолированными p-n переходами. Для уменьшения входной емкости выходного каскада в схеме имеется согласующий

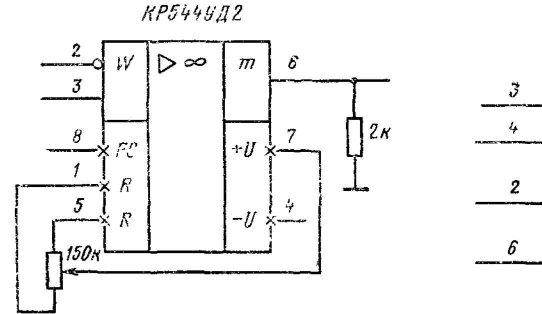


Рис. 5.19. Операционный усилитель КР544УД2

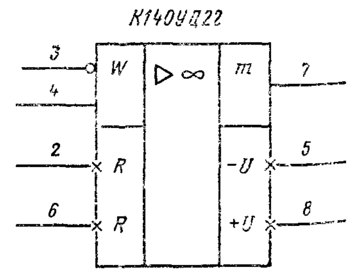


Рис. 5.20. Операционный усилитель 140УД23

n-канальный полевой транзистор, что позволяет увеличить скорость нарастания выходного напряжения до 20 В/мкс.

Еще одним вариантом биполярно-полевой схемы с n-канальными транзисторами на входе является ОУ КР574УД1. За исключением типа проводимости входных МОП-транзисторов, здесь в основном повторена принципиальная схема ОУ КР544УД1 (см. рис. 5.7). Однако применение высококачественных n-канальных транзисторов на входе ОУ повышает скорость нарастания выходного напряжения до 50 В/мкс. На рис. 5.20 приведена микросхема быстродействующего ОУ 140УД23, выполненного по комбинированной биполярно-полевой технологии. Полевые транзисторы размещены по всей площади кристалла. В схеме широко используются многоколлекторные биполярные и многоистоковые полевые транзисторы, которые определяют работу микросхемы по постоянному току.

5.2.5. Микромощные и регулируемые операционные усилители

Для применения в аппаратуре, работающей в режиме ожидания (часто с автономным питанием), требуются ОУ, потребляющие малую мощность от источника питания. На рис. 5.21 приведена схема включения ОУ типа К1423УД1, предназначенного для работы в устройствах с ограниченной мощностью потребления, для построения высокочувствительных фотоприемных устройств, добротных фильтров, устройств выборки и хранения и др.

Микросхема может работать в диапазоне напряжений источников питания ±0,9...±8 В, или 1,8...16 В, при этом максимальное выходное напряжение составляет 0,9 $U_{пп}$. Режим работы микросхемы может изменяться путем изменения не только напряжения питания, но и тока регулирования. Ток регулирования устанавливает рабочий режим внутреннего стабилизатора, который, в свою очередь, поддерживает рабочие потенциалы транзисторов усилителя. В табл. 5.5 приведены параметры ОУ в различных режимах.

Операционный усилитель типа К140УД12 может работать как микромощный и как ОУ общего назначения. Усилитель предназначен для работы в широком диапазоне питающих напряжений ±1,2... ...±18 В и построен по двухкаскадной схеме. Скорректирована АЧХ одним внутренним конденсатором. Предусмотрена защита выходного каскада от перегрузки, а также защита от триггерного режима. Основное отличие этого усилителя заключается в том, что режим внутреннего стабилизатора-регулятора, который определяет всю работу ОУ по постоянному току, задается извне. Выбором тока смещения стабилизатора-регулятора можно изменять ток потребления ОУ от 1 мкА до параметров, свойственных универсальным ОУ общего применения. На рис. 5.22, *а—г* показаны схемы, которые иллюстрируют способы задания тока стабилизатора-регулятора. Параметры ОУ при различных токах смещения приведены в табл. 5.5.

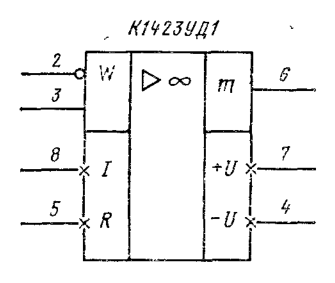


Рис. 5.21. Операционный усилитель К1423УД1

Тип микросхемы	$K_{yU} \times 10^3$	$U_{см}$, мВ	$I_{вх}$, нА	$\Delta I_{вх}$, нА	f_1 ($f_{ср}$), МГц
К1423УД1	10 10 10	5 5 5	$1 \cdot 10^{-3}$ $1 \cdot 10^{-3}$ $1 \cdot 10^{-3}$	$5 \cdot 10^{-4}$ $5 \cdot 10^{-4}$ $5 \cdot 10^{-4}$	0,044 0,48 1,4
КР140УД12	50 50	5 5	7,5 50	3 15	(0,01) (0,1)
КР140УД1208	100 100	5 5	7,5 50	3 15	(0,01) (0,1)
154УД1	200	5	20	10	—
КР1407УД1	10	5	$1 \cdot 10^3$		6*
КР1407УД2	50	5	300		3
КР1407УД3	10	5	$5 \cdot 10^3$		0,2**

* При $U_{вых}$ = 3 мВ, K_{yU} = 100.

** При $U_{вых}$ = 0,3 В, K_{yU} = 50.

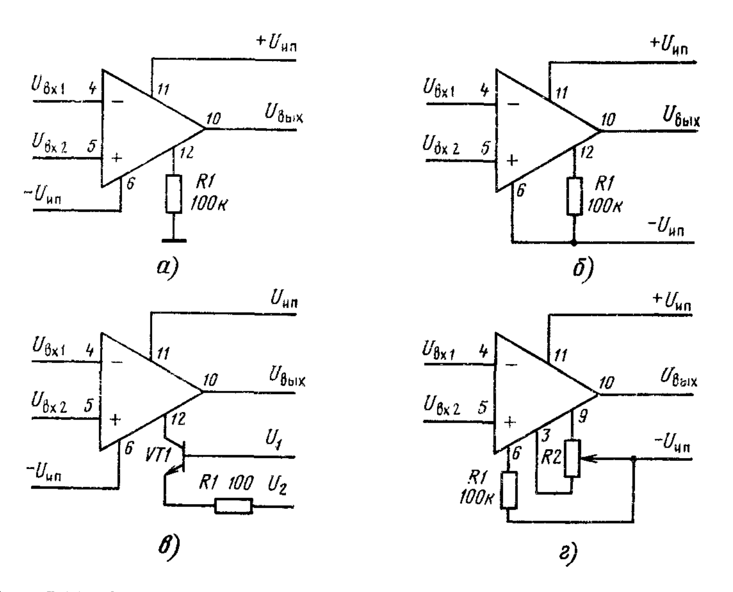
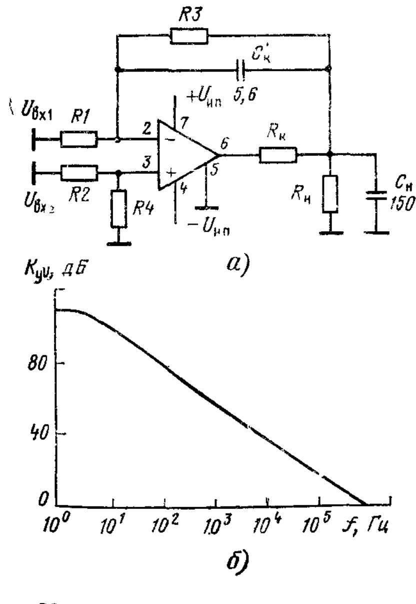


Рис. 5.22. Схема подачи тока управления операционного усилителя КР140УД12

Таблица 5.5

$v_{U\,вых}$, В/мкс	$K_{ос\,сф}$, дБ	$U_{вых}$, В	$I_{вых}$, мА ($R_{вых}$, кОм)	$I_{пор}$, мкА	$U_{ип}$, В	$I_{упр}$, мкА
$1{,}6\cdot10^{-2}$	70	$0{,}9U_{ип}$	—	10	±1,3	10
$1{,}6\cdot10^{-1}$	70		—	100	—	100
1,6	70		—	$1\cdot10^{3}$	—	1000
0,03	70	2	2,9	25	±3	1,5
0,035	70	2,1	5	125	±3	15
0,1	70	10	2	30	±15	1,5
0,8	70	10	10	170	±15	15
10	86	12	(2)	120	±15	—
10		±1; −2	2,5	8	±5	—
0,5		$U_{ип}-2$	(2)	0,1	±12	—
5		3	2,5	—	±6	—



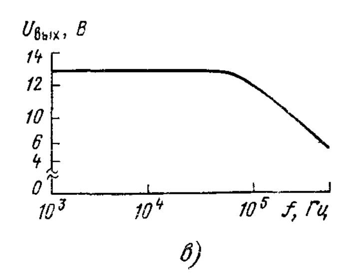


Рис. 5.23. Операционный усилитель 154УД1:

а — схема включения; *б* — АЧХ; *в* — зависимость амплитуды выходного напряжения от частоты

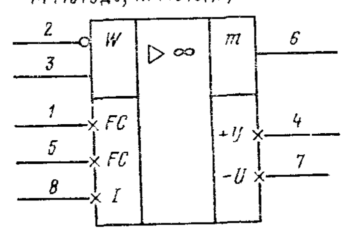


Рис 5 24. Операционный усилитель КР1407УД1

Основной недостаток ОУ К1423УД1 и КР140УД1208 — их низкое быстродействие: 0,1...0,3 В/мкс. Улучшения скоростных свойств микромощных ОУ можно добиться за счет совершенствования технологии, позволяющей формировать высокочастотные «вертикальные» р-п-р транзисторы совместно с п-р п транзисторами на кремниевых структурах с диэлектрической изоляцией. Так, ОУ 154УД1 построен на комплементарных транзисторах с коллекторными областями, созданными методами ионного легирования и дополнительной диффузии. Этот ОУ имеет один усилительный каскад со сложной динамической нагрузкой и однополюсной АЧХ, что позволяет обеспечить стабильность схемы при замкнутой петле обратной связи за счет минимальной емкости корректирующего конденсатора, шунтирующего сопротивление нагрузки усилительного каскада. Скорость нарастания выходного напряжения определяется перезарядом этого конденсатора и достигает 10 В/мкс при токе потребления $I_{пот} \leqslant 0{,}1$ мА.

На рис. 5.23, *а — в* показан основной способ включения ОУ 154УД1, приведены АЧХ разомкнутого усилителя и зависимость амплитуды выходного напряжения от частоты. В некоторых схемах включения АЧХ представляет собой передаточную функцию с дополнительным полюсом, обусловленным емкостью нагрузки. Для компенсации этого полюса рекомендуется шунтировать резистор цепи обратной связи дополнительной малой внешней корректирующей емкостью $C_к$.

В табл. 5.6 приведены электрические параметры микросхем серии КР1407 программируемых малошумящих ОУ. Электрические параметры нормируются током управления Возможны различные варианты подключения вывода 1 для задания режима; подключение через нормирующий резистор к положительному выводу источника питания или подключение опорного напряжения к выводу. На рис. 5.24 показана микросхема КР1407УД1. Назначения выводов микросхем КР1407УД2 и КР1407УД3 совпадают с микросхемой КР1407УД1.

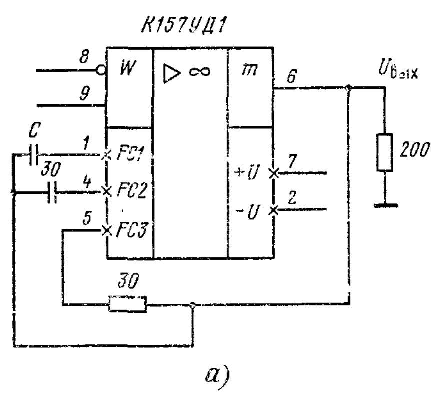
Таблица 5.6

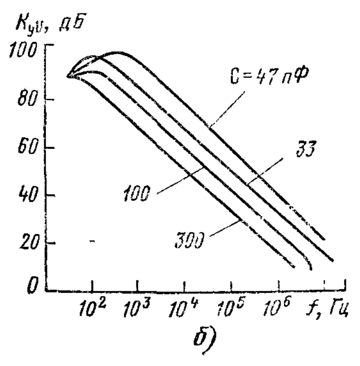
Тип микросхемы	$K_{yU}\times10$	$U_{вых}$, В	$I_{вых}$, А	$U_{см}$, мВ	$I_{вх}$, нА	f_1, МГц	$V_{U вых}$, В/мкс	$I_{пот}$, мА	$U_{п}$, В
К157УД1	50	12	0,4...1	5	500	0,5	0,5	9	±15
КР1408УД1	70	19	0,1	8	40	0,5	1,5	5	±27
1422УД1	50	12	1	5	500	—	—	25	±15

5.2.6. Мощные и высоковольтные операционные усилители

Операционный усилитель К157УД1 представляет собой мощный усилитель с выходным током до 1 А, построенный по классической двухкаскадной схеме на основе полупроводниковой технологии с изоляцией p-n переходом (рис. 5.25, *а*). Кристалл ОУ помещен в прямоугольный пластмассовый корпус, позволяющий рассеивать значительную мощность. Характеристики ОУ приведены на рис. 5.25, *б*, *в*. Еще одним вариантом мощного ОУ является микросхема типа 1422УД1 Значение максимального выходного тока равно 1 А. Усилитель имеет внутреннюю схему частотной коррекции, что значительно уменьшает число необходимых внешних элементов.

Описанные выше ОУ предназначены для работы от источников питания с напряжением ±15 В, в связи с чем максимальное выходное напряжение усилителей не может превышать напряжения источников питания Поэтому для получения амплитуды выходного напряжения более 15 В в узлах РЭА на базе обычных ОУ требуются дополнительные внешние высоковольтные элементы, что в значительной мере снижает надежность этих схем, ухудшает их характеристи-





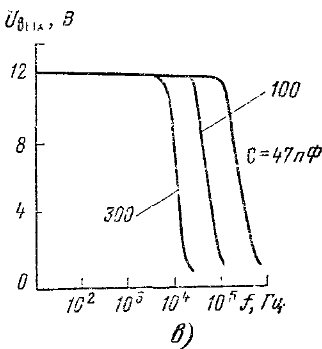


Рис. 5.25. Операционный усилитель К157УД1:

а — схема включения; *б* — АЧХ, *в* — зависимость амплитуды выходного напряжения от частоты

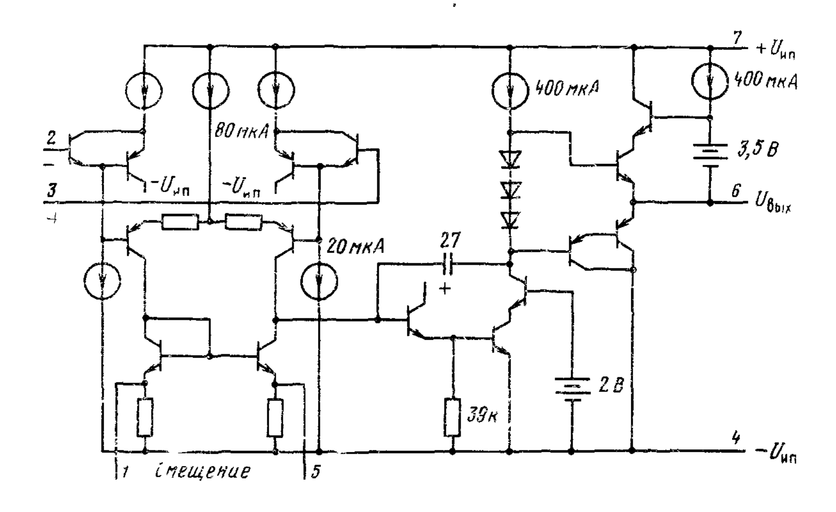


Рис. 5.26. Операционный усилитель КР1408УД1

ки и увеличивает габаритные размеры узла. Высоковольтный ОУ КР1408УД1 позволяет избежать применения дополнительных элементов, поскольку даст амплитуду выходного напряжения не менее ±19 В и может работать от источников питания с напряжением ±27 В.

На рис. 5.26 приведена упрощенная принципиальная схема ОУ КР1408УД1, работающего от «высоковольтных» источников питания ±27 В и отдающего в нагрузку ток до 100 мА. Характеристики ОУ К157УД1. КР1408УД1 и 1422УД1 приведены в табл. 5.6.

5.2.7. Многоканальные операционные усилители

Широкое применение при построении аналоговых и цифровых узлов находят микросхемы, содержащие в одном корпусе несколько ОУ. Таким способом удается значительно уменьшить габаритные размеры электронных узлов при сохранении их надежности. Микросхема КР140УД20 представляет собой двухканальный ОУ. Каждый усилитель по своим электрическим характеристикам и электрической схеме идентичен ОУ типа КР140УД7 (табл. 5.7). На рис. 5.27 приведено условное графическое обозначение микросхемы КР140УД20 балансировка каждого усилителя которой осуществляется подключением переменного резистора к выводам балансировки

Микросхема К157УД2 представляет собой двухканальный ОУ с общим на оба канала стабилизатором, устанавливающим режим усилителей (рис. 5.28). Каждый ОУ построен по двухкаскадной схеме и имеет $K_{yU} \geqslant 50 \cdot 10^3$. Выходной каскад рассчитан на ток нагрузки до 45 мА. На частоте 20 кГц значение K_U падает до 300...800. Выпускается микросхема К157УД3, у которой все параметры и цоколевка соответствует микросхеме К157УД2, за исключением $U_{ш\,вх} = 3$ мкВ.

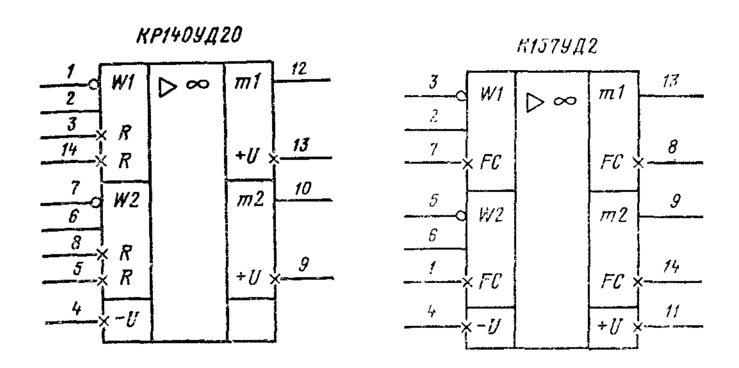


Рис 5.27 Операционный усилитель КР140УД20 Рис. 5.28 Операционный усилитель К157УД2

Микросхема КМ155УД2 содержит два ОУ, соответствующих по параметрам микросхеме КР140УД7. На рис. 5.29 приведена схема размещения усилителей в прямоугольном керамическом корпусе. Микросхема КР57УД2 имеет два ОУ биполярно-полевого типа, аналогичных ОУ КР574УД1, однако скорость нарастания выходного напряжения у них значительно ниже из-за необходимости температурной стабильности кристалла. Микросхема КР1426УД1 (рис. 5.30, *б*) содержит два ОУ с расширенным динамическим диапазоном, выполнена по биполярной технологии с изоляцией окислом, имеет на выходе $U_ш < 0{,}14$ мВ при напряжении питания 18 В ± ±2 % и коэффициент гармоник $K_г = 0{,}05$ % на частоте $f_{вх} = 1$ кГц и $U_{вх} = 100$ мВ (схему включения) и предназначена для построения корректирующего усилителя магнитной головки звукоснимателя. Микросхема КР1427УД1 (рис. 5.31, *а*) представляет сдвоенный регулируемый ОУ с токовым выходом. В состав микросхемы кроме двух регулируемых усилителей входят два отдельных эмиттерных повторителя. При подключении к ОУ буферного каскада выходное напряжение может достигать 13 В. Максимальный выходной ток 300 мА при $U_{нп} = \pm 13{,}5$ В. Ток по выводу управления $I_у = 0{,}5$ мА, $U_{вх} = 60$ мВ и $R_н = 330$ Ом.

Микросхема К1423УД2 (рис 5.31, *б*) содержит два ОУ, выполненных по планарно-эпитаксиальной технологии с изоляцией p-n переходом. Каждый ОУ работает в диапазоне питающих напряжений 5...30 В и по своим характеристикам соответствует универсальным усилителям.

Микросхема К1423УД3 содержит два мощных ОУ, близких по своим характеристикам ОУ типа К157УД1. Каждый ОУ может отдавать в нагрузку ток до 1 А. Общая мощность рассеивания микросхемой равна 1 Вт. Максимальное выходное напряжение $U_{вых} = \pm 11$ В получено при $I_{вых} = 0{,}5$ А, $U_{нп} = \pm 15$ В.

Микросхема К1429УД1 состоит из двух низковольтных ОУ в одном корпусе. Схема размещения ОУ в микросхеме приведена на рис. 5.32 Микросхема может работать от источников питания ±0,9...±5,5 В. Параметры, указанные в табл. 5.7, измерены при

Тип микросхемы	$K_{yU}\times10^3$	$U_{см}$, мВ	$I_{вх}$ ($\Delta I_{вх}$), нА	f_1, МГц
К140УД20	50	5	200	0,55
К157УД2	50	10	500	1*
КМ551УД2	5	5	—	0,8
КР1427УД1	5,4**	—	800	2
К1423УД2	25	7	250	—
К1423УД3	3	15	(50)	—
КР1426УД1	60	5	$2\cdot10^3$	—
К157УД3	50	10	500	1*
КР1429УД1	10	15	0,05	—

* Частота среза

** Крутизна, измеряемая в мкСм.

*** Мощность, рассеиваемая всей микросхемой.

Тип микросхем	$K_{yU}\times10^3$	$U_{см}$, мВ	$I_{вх}$, нА	f_1, МГц	$V_{U вых}$, В/мкс
К1401УД1	2	—	150	2,5	0,5
К1401УД2	50	5	150	2,5	0,35
К1401УД3	50	6	250	2,5	—
К1401УД4	50	7,5	1	2,5	—
КФ1032УД1	25	5	50	1	—
1416УД1	5	5	$5\cdot10^3$	—	5

сопротивлении нагрузки $R_н=100$ кОм и напряжении питания $U_{ип}=$ $=\pm5$ В.

Микросхемы серии К1401 представляют пример сборок, состоящих из четырех ОУ. Так, микросхема К1401УД1 содержит четыре ОУ, работающих от общих шин питания при напряжениях ±2 ...±15 В. Каждый ОУ имеет $K_{yU}=2\cdot10^3$, полосу пропускания до 2,5 МГц. Максимально допустимый выходной ток каждого усилителя зависит от схемы подключения нагрузки. При включении нагрузки между выходом и положительным источником питающего напряжения $I_{вых\ макс}$ не должен превышать 1 мА, а при подключении $R_н$ к отрицательному источнику питающего напряжения $I_{вых\ макс}\leqslant10$ мА При работе ОУ от источника питающего напряжения +5 В коэффициент усиления $K_{yU}\geqslant700$, а $U_{вых}\geqslant2{,}8$ В. Ток потребления четырех ОУ при $U_{ип}=\pm15$ В и отсутствии входного сигнала не превышает 8,5 мА. Максимально допустимая мощность рассеивания корпусом микросхемы не превышает 400 мВт. На рис. 5.33 приведено условное графическое обозначение микросхемы Такое же обозначение имеет микросхема К1401УД2 с напряжением

Таблица 5.7

$V_{U_{вых}}$, В/мкс	$I_{вых}$, мА ($R_н$, кОм)	$U_{вых}$, В	$I_{пот}$, мА	$U_{ип}$, В	Примечание
0,3	20	11,5	2,8	±15	
0,5	43	13	7	±15	
0,03	(2)	11,5	10	±15	
3	—	10,5	4	±15	
—	(2)	$U_{ип}$—2	2,5	±15	$P^{***}_{рас}$ =300 мВт
—	500	10,5	—	±12	$P^{**}_{рас}$ =1 Вт
5	(2)	$U_{ип}$—2	—	±18	
05	45	13	7	±15	$U_{швх}$=3 мкВ
	(100)	0,9 $U_{ип}$	14	±5	$U_{вх}$=0,6 $U_{ип}$

Таблица 5.8

$E_ш$, нВ/$\sqrt{Гц}$	$I_{вых}$, мА	$U_{вых}$, В	$I_{пот}$, мА	$U_{ип}$, В	Регулируемые
—	10	12,5	8,5	±15	+
—	10	12	3	±15	—
—	10	12	2,5	±15	+
50	5	10	11	±15	—
—	2	$U_{ип}$—0,9	—	±1,2	+
3	2,5	2,5	8	±6	+

питания ±1,5...±16,5 В для группы А и от 3 до ±16,5 В для группы Б (обычно работает от $U_{ип}$=+5 В). Технические характеристики ОУ микросхем серии К1401 приведены в табл 5.8.

На рис 5 34 приведено условное графическое обозначение микросхемы К1401УД3, также содержащей четыре ОУ. Режим работы усилителей по постоянному току задается путем регулирования тока управления. Диапазон тока управления позволяет регулировать $I_{пот}$, $K_{уU}$, $U_{вых\ макс}$ и другие в широких пределах. В табл. 5.8 приведены нормы на параметры ОУ с током управления $I_{упр}$=10 мкА. Диапазон напряжения питания микросхем К1401УД3 ±1,5..±16 В. Условное графическое обозначение микросхемы К1401УД4 отличается от обозначения К1401УД1 лишь полярностью напряжения питания. Диапазон напряжений источников питания микросхемы К1401УД4 ±5..±15 В, $K_{ос\ сф}$≥76 дБ, коэффициент разделения каналов более 100 дБ. ЭДС шума $E_ш$≤ нВ, $\sqrt{Гц}$. Все усилители серии К1401 допускают подачу на вход синфазного напряжения $U_{вх\ сф}$≤±|$U_{ип}$|—2 и дифференциального $U_{вх}$≤|$U_{ип}$—3|,

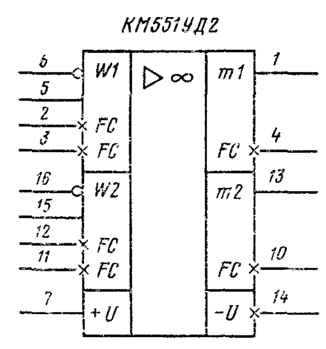


Рис. 5.29. Операционный усилитель КМ551УД2

Микросхема типа 1416Д1 содержит четыре малошумящих широкополосных ОУ, характеристики которых определяются током управления. При $I_{упр}$=5...100 мкА коэффициент усиления напряжения $K_{yU} \geq 5 \cdot 10^3$ и $V_{U вых} > 5$ В/мкс. На частоте 200 кГц K снижается до 200. Условное графическое обозначение микросхемы 1416УД1 приведено на рис. 5.35. Управление током регулирования осуществляется подключением нормирующего резистора $R_{норм}$ от положительного напряжения питания к выводу 12.

Микросхема КФ1031УД1 (рис. 5.36) содержит два низковольтных ОУ и два компаратора. Параметры ОУ даны в табл. 5.8. Коэффициент усиления напряжения ОУ $K_{yU} \geq 25 \cdot 10$ при $R_н$ = 1 кОм и токе управления $I_{упр}$=8 мкА. На рис. 5.37 приведены условные графические обозначения ОУ, широко применяемых в РЭА.

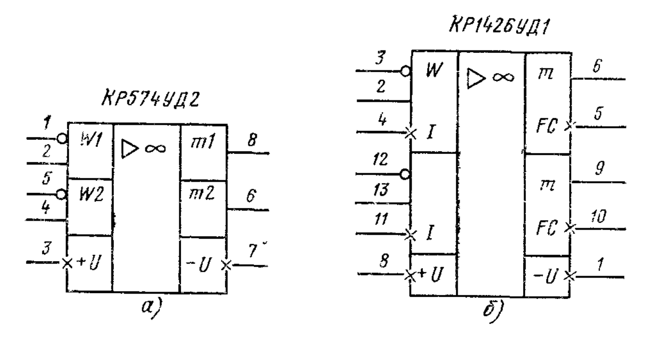


Рис. 5.30. Операционные усилители КР574УД2, КР1426УД1

5.3. Компараторы

Компараторы являются специализированными ОУ с дифференциальным входом и одиночным или парафазным цифровым выходом. Входной каскад компаратора построен аналогично схемам ОУ и работает в линейном режиме. На выходе компаратора формируются сигналы высокого логического уровня, если разность входных сигналов меньше напряжения срабатывания компаратора, или низкого логического уровня, если разность входных сигналов превышает напряжение срабатывания компаратора. На один вход компаратора подается исследуемый сигнал, на другой — опорный потенциал.

Основными параметрами компараторов являются: чувствительность $U_{вх\,мин}$ (точность, с которой компаратор может различать

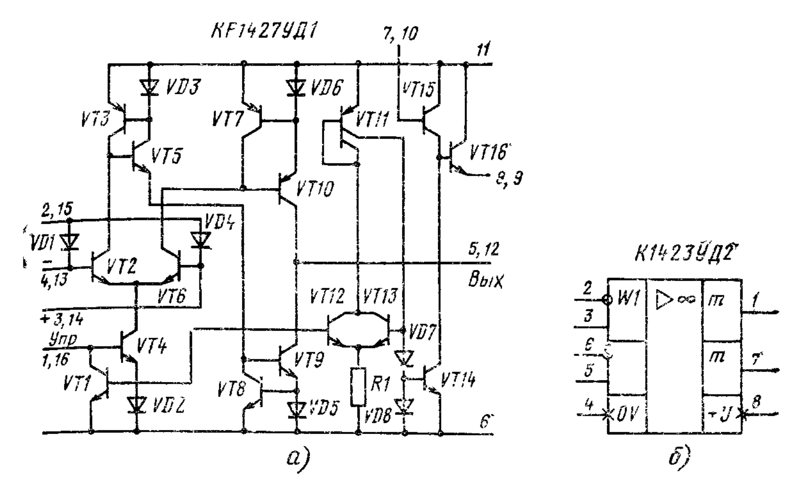


Рис 5.31. Сдвоенные операционные усилители КР1427УД1, К1423УД2

входной и опорный сигналы), быстродействие $t_{зд р}$ (скорость отклика, определяемая задержкой срабатывания и временем нарастания сигнала), нагрузочная способность (способность компаратора управлять определенным числом входов цифровых микросхем). Параметры наиболее распространенных интегральных компараторов приведены в табл. 5.9.

Компаратор К554СА2 (рис. 5.38) имеет два дифференциальных усилительных каскада, выходной эмиттерный повторитель, стабилитронные схемы сдвига уровня и цепь ограничения амплитуды выходного сигнала. Дифференциальный входной каскад (VT1 и VT4) имеет обычное для интегральных ОУ малое напряжение смещения нуля. На эмиттеры транзисторов VT1 и VT4 напряжение питания подается от генератора стабильного тока VT5, благодаря чему коллекторные токи транзисторов первого каскада почти не зависят от входного синфазного сигнала. Второй дифференциальный каскад (VT3 и VT6) имеет балансную схему подачи смещения. В сбалансированном состоянии напряжение одиночного выхода этого каскада при колебаниях положительного напряжения питания не меняется. Тем самым фиксируется потенциал базы транзистора VT2 (при увеличении положительного напряжения питания коллекторные токи транзисторов VT6 и VT3 также увеличиваются, оставляя напряжение коллекторного транзистора VT3 постоянным).

Для увеличения нагрузочной способности выхода по току транзистор VT6 снабжен эмиттерным повторителем VT8. Интегральный стабилитрон VD1, включенный в эмиттерные цепи транзисторов второго каскада, имеет опорное напряжение +6,2 В, что фиксирует потенциалы баз транзисторов VT3 и VT6 на уровне примерно +6,9 В. Следовательно, допустимый сигнал входов компаратора может приближаться к 7 В. Стабилитрон VD2, включенный в цепь выходного эмиттерного повторителя, сдвигает уровень выходного сигнала «вниз» на 6,2 В, чтобы сделать его совместимым с вход-

Тип микросхем	$U_{см}$, мВ	$I_{вх}$, мкА	$\Delta I_{вх}$ мкА	$K_{yU} \times 10^3$	$U^1_{вых}$, В
К554СА1	3,5	75	10	75	2,5 ..6
К554СА2	5,0	75	10	75	2,4...4
К554СА3	3	0,1	0,01	150	
К521СА4	4	2	—	—	2,5. .4.5
К521СА5	3	3	1	1,5	2,6
КМ597СА1	2	13	1	—	0,96 ..0,78
КМ597СА2	3	10	1	—	2,5...4,5
КМ597СА3	5	0,25	0,1	—	7...9
К1401СА1	5	0,25	0,05	50	—
К1401СА2	7	0,25	0,05	50	—
К1121СА1	3	2	0,4	50	2,4

* Для четырех компараторов

ными сигналами для цифровых микросхем ТТЛ типа. Транзистор VT9 изолирует выходную цепь от схемы смещения генератора тока входного каскада VT5 с компенсирующим диодом (VT10 в диодном включении). Транзистор VT7 (в диодном включении) ограничивает размах выходного сигнала в положительной области при уровнях сигнала на выходе, больших +4 В, транзистор VT7 открывается и шунтирует дифференциальный выход второго каскада Благодаря ограничению амплитуды значительно увеличивается быстродействие компаратора.

В схеме двойного дифференциального компаратора К554СА1 (рис. 5.39) выходы двух отдельных компараторов совмещаются на эмиттерных повторителях по логике ИЛИ. Для обоих компараторов использованы один общий диод сдвига уровня и делитель смещения Применение двухканального принципа позволяет улучшить электрические параметры аппаратуры, особенно устройств считывания сигналов магнитной памяти Благодаря идентичности параметров обоих компараторов возможно построение двухпороговых схем, имеющих симметричный отклик на положительное и отрицательное превышение абсолютного уровня сигнала над пороговым уровнем.

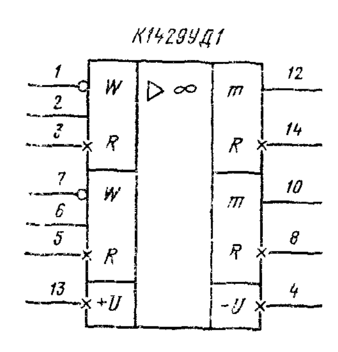


Рис. 5.32. Сдвоенный операционный усилитель КР1429УД1

Компараторы на основе микросхем К555СА1 имеют два входа стробирования С1 и С2.

Двойной компаратор выполняет почти те же электрические функции

Таблица 5.9

$U^0_{вых}$, В	$I^0_{вых}$, мА	$I^+_{пот}$ ($I^-_{пот}$), мА	$U_{пп}$, В	$t_{зд\,р}$, нс
−1...0	0,5	11,5 (6,5)	+12; −6	135
−1...0	1,6	9 (8)	+12; −6	160
		6 (5)	±15	200
0,5...0	—	18,7 (7,5)	±9; +5	26
0,35	3	5,3 (2,7)	±12; −6	30
−1,9...−1,6	—	27 (22)	−5,2; +5	6,5
0,5...0	—	42 (34)	−6; +5	12
0,3...2	—	2,6 (1)	±15	300
0,4		2	±15	$3\cdot10^3$
0,4	6	2	±15	$3\cdot10^3$
0,4	—	30 (15)	±15	120

что и два одинарных компаратора К555СА2, однако потребление мощности этой микросхемой превышает только на 50 %. Опорное напряжение подается на один из входов, входной сигнал — на другой. В случае превышения входным сигналом опорного напряжения на выходе появляется напряжение, соответствующее высокому или низкому логическому уровню.

Для увеличения чувствительности, входного сопротивления, а также снижения потребляемой мощности пороговых устройств следует применять компаратор К554СА3. Компаратор К554СА3 уни-

К1401УД1

Рис. 5.33. Счетверенный операционный усилитель К1401УД1

К1401УД3

Рис. 5.34. Счетверенный операционный усилитель К140УД3

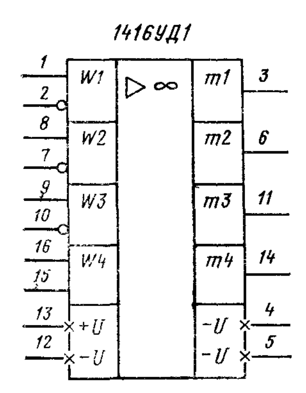


Рис. 5.35. Счетверенный операционный усилитель 1416УД1

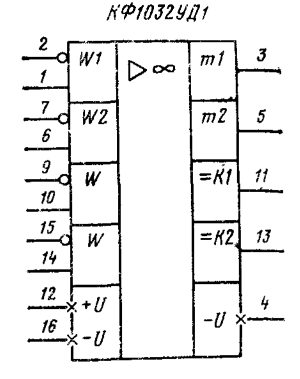


Рис. 5.36 Счетверенный операционный усилитель КФ1032УД1

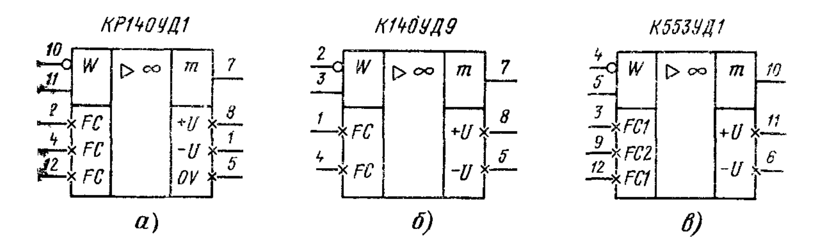


Рис. 5.37. Операционные усилители К140УД1, К140УД9. К533УД1

версальный. Он может работать от любых источников питания включая однополярные +5 или —30 В. Компаратор имеет два выхода: открытый коллектор (вывод 9) и эммитерный (вывод 2). Из за этих особенностей он пригоден для обслуживания любых цифровых микросхем умеренного быстродействия ($t_{зд\,р}$=200 нс), а также индикаторов многих типов. Выходной ток микросхем достаточен для переключения реле. На рис. 5.40, показан пример построения схемы согласования уровней МПО-сигналов, передаваемых от транзисторов к микросхемам ТТЛ.

Для каждой цифровой логики требуется компаратор с адекватными свойствами. На рис. 5.41 приведена приинципиальная электрическая схема быстродействующего стробируемого компаратора напряжения КР521СА4 с парафазиым выходом. Этот компаратор состоит из усилителя и двух ТТЛШ схем 2И—НЕ, выполнённых на одном кристалле. Он может работать с цифровыми микросхемами ТТЛШ серии К555. Аналоговая часть схемы содержит два дифференциальных каскада и схему сопряжения. Коллекторные нагрузки этой схемы подключены к эмитерам входных каскадов ключей

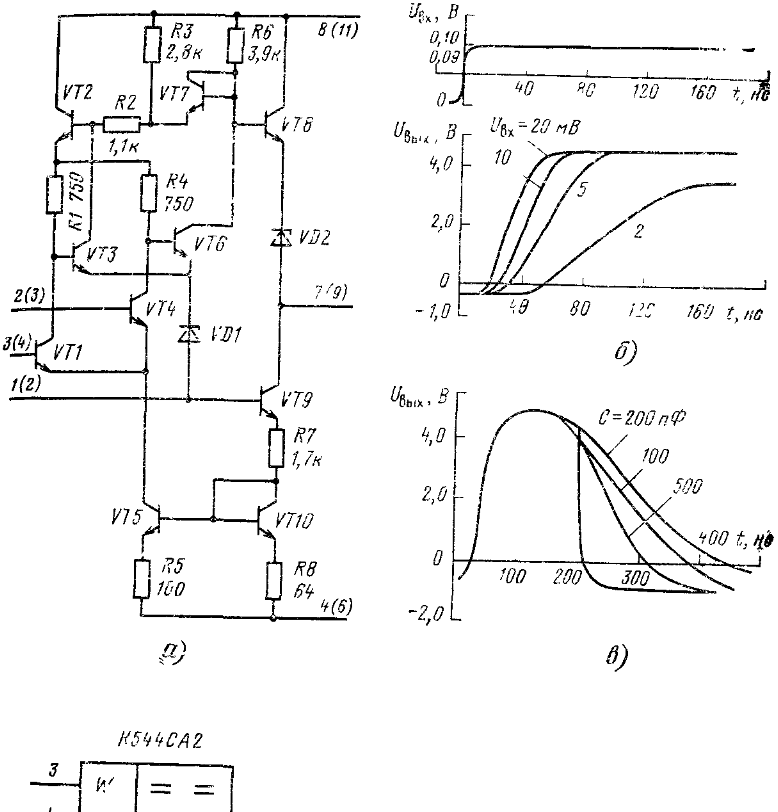


Рис. 5.38 Компаратор К554СА2:

а — принципиальная электрическая схема (в скобках указана нумерация выводов микросхемы К521СА2); *б*, *в* — зависимости времени нарастания выходного напряжения соответственно от входного напряжения и емкости нагрузки

ТТЛШ. Вторые эмиттеры ключевых каскадов служат входами стробирования. Использование импульсных транзисторов с барьерами Шотки значительно повысило быстродействие компаратора без изменения потребляемой мощности, поскольку исключено время выхода транзисторов из насыщения. Фиксирующая режим схема обеспечивает работу К521СА4 в широком диапазоне питающих напряжений: $U_{ип1}=5...10$ В; $U_{иг2}=-6...-10$ В. Гарантируется стабильность выходного напряжения в широком диапазоне температур,

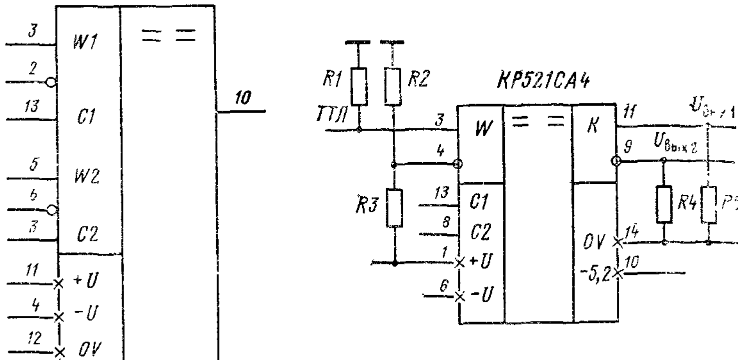


Рис. 5.41. Компаратор КР521СА4

Рис. 5.39. Компаратор К554СА1

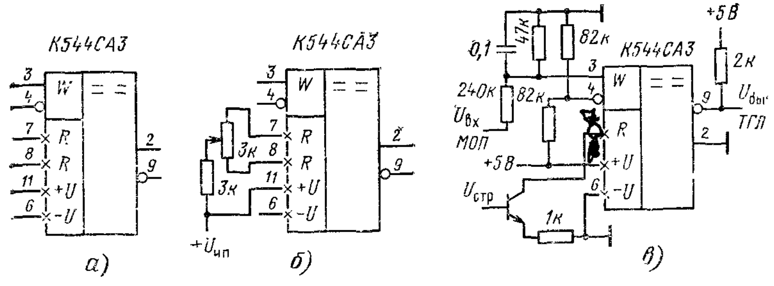


Рис. 5.40. Компаратор К554СА3:

а — условное графическое обозначение; *б* — схема балансировки; *в* — схема согласования уровней МОП- и ТТЛ-сигналов

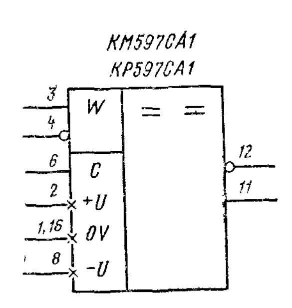


Рис. 5.42. Компараторы КМ597СА1, КР597СА1

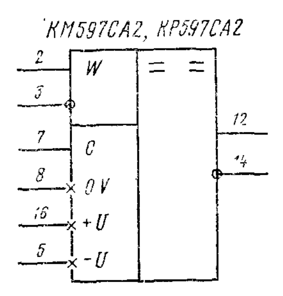


Рис. 5.43. Компараторы КМ597СА2, КР597СА2

Рис. 5.44. Компараторы КМ597СА3, КР597СА3

Рис. 5.45. Компараторы К1401СА1, К1401СА2

Принципиальная электрическая схема компаратора типа К521СА5 значительно проще, чем схема компаратора К521СА4, а технические характеристики ее выше. Так, время задержки компаратора типа К521СА5 $t_{здр} \leq 30$ нс. Разводка компаратора совпадает с разводкой компаратора К521СА2, дополнительно введен лишь вывод 13 для стробирования компаратора.

Для обслуживания цифровых микросхем ЭСЛ предназначены компараторы серии КМ597, выполненные по ЭСЛ-технологии с изоляцией p-n переходами. Компаратор КМ597СА1 (рис. 5.42) имеет $t_{здр} \leq 6{,}5$ нс. Транзисторы компаратора, как и в ЭСЛ-ключах, всегда работают в линейном режиме и не входят в насыщение, что дает предельное быстродействие. Компаратор имеет два противофазных входа, два выхода Q и $\bar{Q}$ и вход стробирования, отключающий входной каскад. Для ускорения срабатывания в схеме усилителя введена положительная обратная связь с выхода второго каскада н вход первого.

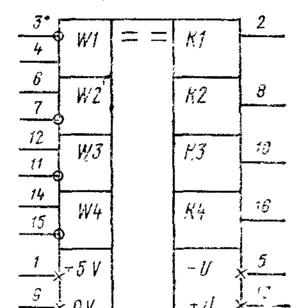


Рис. 5.46. Компаратор К1121СА1

Компаратор КМ597СА2 (рис. 5.43) представляет собой модификацию схемы КМ597СА1. Он предназначен для обслуживания высокоскоростных ТТЛ цифровых микросхем. Компаратор снабжен схемой запоминания предыдущего состояния. Подключение на выход входного каскада триггерной схемы, выполняющей функции стробирования с хранением (защелка) обеспечивает лучшую помехоустойчивость для цифровых сигналов.

Микросхема КМ597СА3 (рис. 5.44) представляет собой два автономных маломощных прецизионных компаратора в металлокерамическом корпусе 201.16-5. По выходным уровням компараторы сопрягаются с ТТЛ и КМОП цифровыми

микросхемами Внутренняя схема каждого компаратора состоит из трех дифференциальных усилительных каскадов Входные каскады компараторов напряжения имеют дифференциальные входы и парафазные выходы. Для перехода к однофазному выходу в схеме использован каскад сдвига уровня на n-p транзисторе. Микросхема работает от двух источников питания ±15 В±10 %.

В настоящее время промышленностью выпущен ряд счетверенных компараторов. Из них можно отметить компараторы среднего быстродействия и небольшого тока потребления типов К1401СА1 и К1401СА2 (рис 5.45), которые могут работать в диапазоне питающих напряжений ±3...±16,5 В, а также компаратор типа К1121СА1 (рис. 5.46) с временем задержки распространения $t_з \leq$ ≤ 120 нс и токами потребления $I_{пот} \leq 45$ мА Электрические параметры микросхем приведены в табл. 5 9.

5.4. Аналоговые перемножители

Аналоговые перемножители (АП) предназначены для перемножения двух аналоговых величин и поэтому могут использоваться для построения умножителей частоты, фазовых детекторов, балансных модуляторов. а также в системах автоматического регулирования в качестве перемножителей и схем возведения в степень, совместно с ОУ АП могут выполнять деление, извлечение корней и выделение тригонометрических функций. В настоящем параграфе приведены параметры АП КР140МА1, К525ПС1 и К525ПС2. В зависимости от структурной схемы и электрических характеристик АП делятся на микросхемы для модуляторов (КР140МА1) и четырехквадрантных перемножителей (К525ПС1, К525ПС2, К525ПС3).

Аналоговый перемножитель предназначен для реализации передаточной функции $U_Z = KU_XU_Y$, где U_Z — выходное напряжение, U_X и U_Y — переменные напряжения на входах X и Y соответственно; K — масштабный коэффициент

Передаточная характеристика реального АП отличается от идеальной на погрешность перемножения ε, которая равна максимальной разности между фактическим и теоретическим значениями выходного сигнала. Погрешность перемножения обобщает нелинейность перемножения N_X, N_Y, остаточное напряжение $U_{ост}$ и статические составляющие погрешности, включающие смещение $U_{см}$ и $\Delta I_{вх}$ на входах и особенно их дрейфы, смещение на выходе, а также среднее значение погрешности масштабного коэффициента. Важные параметры для АП· диапазоны входных и выходного напряжений, коэффициенты подавления синфазных сигналов по входам, а также диапазон частот обрабатываемых сигналов. Электрические характеристики АП приведены в табл. 5.10.

На рис 5 47, *а* приведена принципиальная электрическая схема АП КР140МА1, предназначенного для схем балансных модуляторов. Внутренняя схема АП состоит из множительного узла, преобразователя напряжения Y-канала, входного эмиттерного повторителя X-канала и схемы стабилизации режима по постоянному току. Собственно перемножающий узел в схеме АП выполнен на двух дифференциальных парах транзисторов: VT6, VT9 и VT11, VT14. Базы транзисторных пар соединены параллельно, а коллекторы — перекрестно, благодаря чему разность выходных токов схемы пропорциональна произведению разности базовых токов ΔI_X (канал X) и раз-

Таблица 5.10

Параметр	КР140МА1	К525ПС1		К525ПС2		КМ525ПС3			
		А	Б	А	Б	А	Б	В	Г
Погрешность перемножения ε, %	—	±2	—	±1	±2	±0,25	±0,5	±1	±0,5
Нелинейность перемножения по координатам X и Y, %									
N_X	—	—	—	±0,8	±1,5	±0,12	±0,3	±0,8	±0,3
N_Y	—	—	—	±0,5	±1	±0,1	±0,1	±0,5	±0,1
Остаточное напряжение, мВ:									
$U_{ост X}$	5	50	80	80	150	12	30	80	30
$U_{ост Y}$	1,5	100	140	60	100	10	10	60	10
Входные токи $I_{вх}X(Y)$, мкА	40 (12)	1	1	4	6	2	2	2	2
Полоса преобразования $\Delta f_X(\Delta f_Y)$, МГц	—	1,5	1	0,7	0,7	0,5	0,5	0,5	0,5
Амплитуда выходного напряжения $U_{вых\ макс}$, В	3	±12	±10,5	±10,5	±10,5	±11	±11	±11	±11
Ток потребления $I_{пот}$, мА	−7,4 +5,1	+4,6 −7	+5 −7	±6	±7	±6	±6	±6	±6

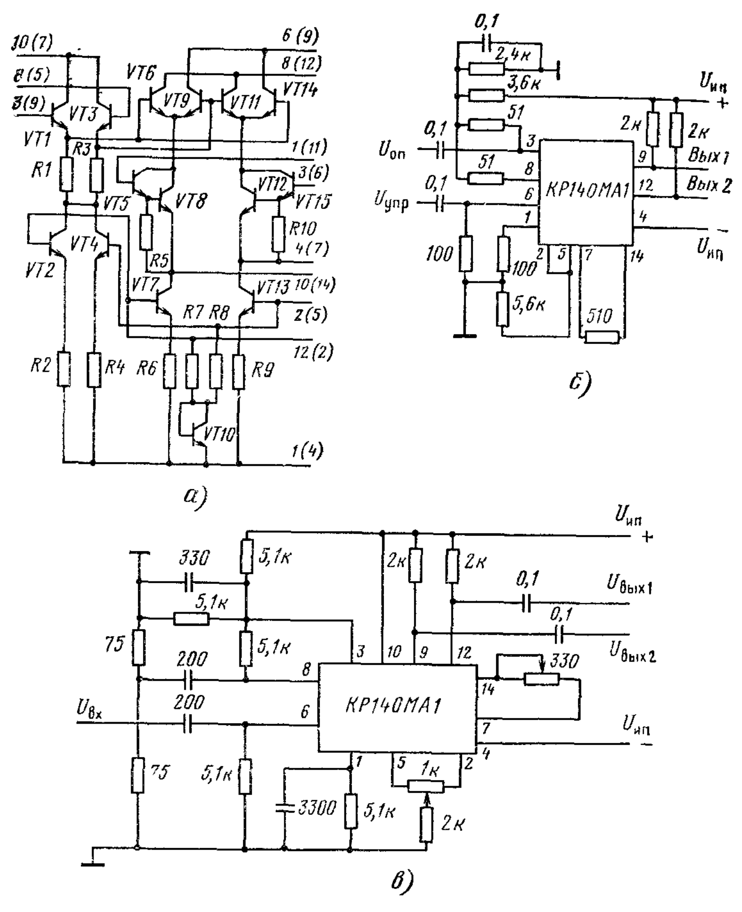


Рис. 5.47. Балансный модулятор КР140МА1:

а — принципиальная электрическая схема (в скобках приведено назначение выводов микросхемы 140МА1); *б* — схема включения; *в* — фазовый детектор

ности эмиттерных ΔI_Y (канал Y): $\Delta I_{вых} \backsim \Delta I_X I_Y$. На подключенных к коллекторам перемножающих транзисторов нагрузочных резисторах $R_н$ выделяется напряжение $U_{вых} \backsim \Delta I_X \Delta I_Y R_н$.

Дифференциальный усилитель на транзисторах VT5, VT8 и VT12, VT15 выполняет роль преобразователя входного напряжения в разность токов эмиттеров узла перемножения. Линейная зависимость разности токов эмиттеров перемножителя от входного напряжения по входу Y достигается включением резистора R_Y между эмиттерами дифференциального усилителя (выводы 4 и 10). Напряжением на входе Y регулируется ток эмиттеров транзисторов VT6, VT9, VT11, VT14. Поскольку токи транзисторов VT7 и VT13

зафиксированы, разность этих токов $\Delta I_Y = 2U_Y/R_Y$. Диапазон линейных входных напряжений (до ±5 В) достигается за счет высокого напряжения питания, равного ±12 В.

Схема Дарлингтона (VT5, VT8 и VT12, VT15) служит для увеличения сопротивления по входу Y. Для увеличения входного сопротивления по входу X в схему модулятора включен дифференциальный каскад на транзисторах VT1 и VT3 по схеме ОЭ. Этот каскад управляет токами баз перемножителя. Исходя из того, что вход Y — линейный, а входной дифференциальный усилитель имеет коэффициент усиления 2,8, передаточную характеристику модулятора можно записать в виде $U_{вых} = (2R_н, R_Y)U_Y \text{th}(U_X/2_T\varphi_T)$ причём $U_Y \leqslant \leqslant \pm 5$ В. Ток эмиттеров фиксируется генератором стабильного тока (ГСТ) на транзисторах VT2, VT4, VT7 и VT13. Напряжение смещения на базы транзисторов ГСС поступает от транзистора VT10 в диодном включении

Если замкнуть выводы 2 и 12 между собой и присоединить их иа корпус через нормирующий резистор R, то ток через диод смещения $I_д = (U_{ип} - U_{ЭБ})/(600+R)$, где $I_д$ — ток диода (VT10); $U_{ип}$ — отрицательное напряжение питания; $U_{ЭБ}$ — падение напряжения на переходе эмиттер — база; R — сопротивление резистора, определяющего ток; значение 600 — примерное значение внутреннего сопротивления диода, Ом. Чтобы на вход можно было подать высокое входное напряжение и при этом обеспечить линейность преобразования, напряжение на коллекторах транзисторов дифференциального усилителя должно быть не менее напряжения входного сигнала. Нормальный рабочий режим достигается подачей необходимого смещения на базы транзистором VT1 и VT3 (вход X) через делитель напряжения от источника питания. Модулятор может работать от симметричных и несимметричных источников питания, при этом необходимо следить за согласованием нагрузки по входам и выходу.

В схеме балансного модулятора микросхема КР140МА1 работает от источников питания с напряжением ±12 В (рис. 5.41, *б*), режим по постоянному току задается делителем (номиналы резисторов 3,6...2,4 кОм). Уровень тока по входам X и Y устанавливается с помощью резистора с номиналом 5,6 кОм, включенного между выводами 2 и 5 корпусом. Входы X и Y схемы развязаны конденсаторами. Для предотвращения самовозбуждения в цепи выводов 8 и 3 включены последовательные резисторы с номиналом 51 Ом.

Пример схемы фазового детектора, построенного на базе микросхемы КР140МА1, показан на рис. 5.47, *в*. Работа линейного фазового детектора основана на следующем тригонометрическом уравнении: $\cos\omega t \cos(\omega t + \varphi) = [K_1 \cos(2\omega t + \varphi) + K_2 \cos\varphi]$, где K_1 и K_2 — масштабные коэффициенты. Используя фильтр нижних частот, можно выделить искомую составляющую, пропорциональную значению $\cos\varphi$. Модулятор в этом случае служит перемножителем гармонических функций.

На рис. 5.48 приведена принципиальная схема четырехквадрантного АП, построенного на двух микросхемах КР140МА1 (DA1 и DA3). На одной микросхеме КР140МА1 нельзя построить схему с большим диапазоном входных напряжений, так как вход X (выводы 8 и 3) линейно принимает сигнал только при входных уровнях $U_{вх} \ll \varphi_T$. Для обеспечения линейности работы узла перемножения

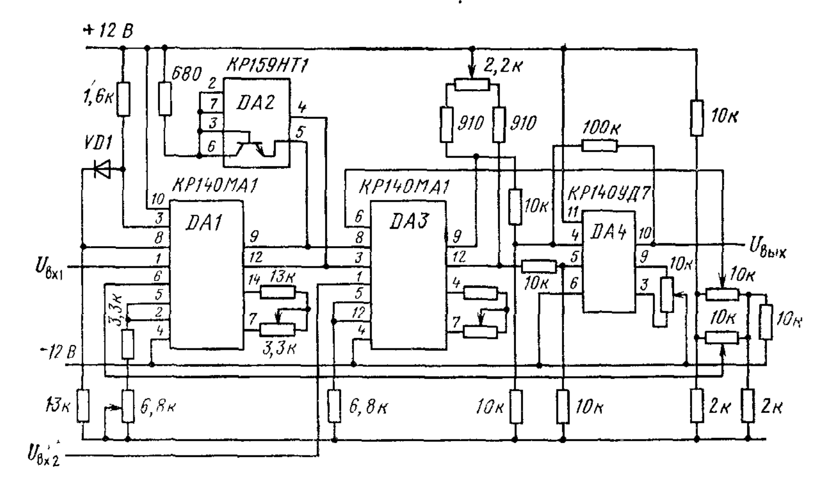


Рис. 5.48. Четырехквадрантный перемножитель на базе КР140МА1

в схему необходимо добавить устройство предварительного логарифмирования входного сигнала, так как эта функция обладает свойством «сжимать» диапазон.

Перемножитель DA1 работает в схеме предварительного нелинейного преобразования, выходное напряжение которой пропорционально логарифму входного напряжения. В этой микросхеме используется только один управляющий вход (вход Y умножителя), а на выводы 3 и 8 подано постоянное напряжение. Включенный между выводами 3 и 8 диод полностью открывает транзисторы VT6 и VT14 (см. рис. 5.47, *а*) и закрывает транзисторы VT9 и VT11. Выходной ток зависит только от напряжения на входе.

Токи выводов 9 и 12, проходя через транзисторы в диодном включении (DA2), создают на них разность потенциалов, пропорциональную логарифму входного напряжения, и в результате выходное напряжение АП $U_{вых}=2R_H U_X U_Y/I_0 R_X R_Y$ где R_X и R_Y — сопротивления резисторов по выводам 7 и 14 перемножителей DA1 и DA3 соответственно.

Выходное напряжение DA3 при симметричных источниках питания ±12 В имеет постоянный уровень +9 В. Для приведения постоянного уровня выходного напряжения к нулевому применена схема смещения, выполненная на ОУ КР140УД7 с масштабным коэффициентом K=10. При этом $U_{вых}=K_1K_2K_3U_XU_Y$, где $K_1=2R_н/I_0R_X R_Y$ — коэффициент перемножения АП; $K_2=R_{12}/R_{12}R_{11}$ — коэффициент передачи делителя; $K_3=R_{14}/R_{11}\|R_{12}$ — коэффициент усиления схемы смещения. Для указанной схемы $K_1K_2K_3=0{,}1$. При линейно изменяющемся напряжении на входе DA1 и ступенчатом напряжении с шагом 2 В по входу DA3 линейность перемножения не менее 2 %.

Аналоговый перемножитель К525ПС1 (рис. 5.49, *а*) содержит схему предварительного нелинейного преобразования. На основе АП К525ПС1 значительно упрощается построение четырехквадрант-

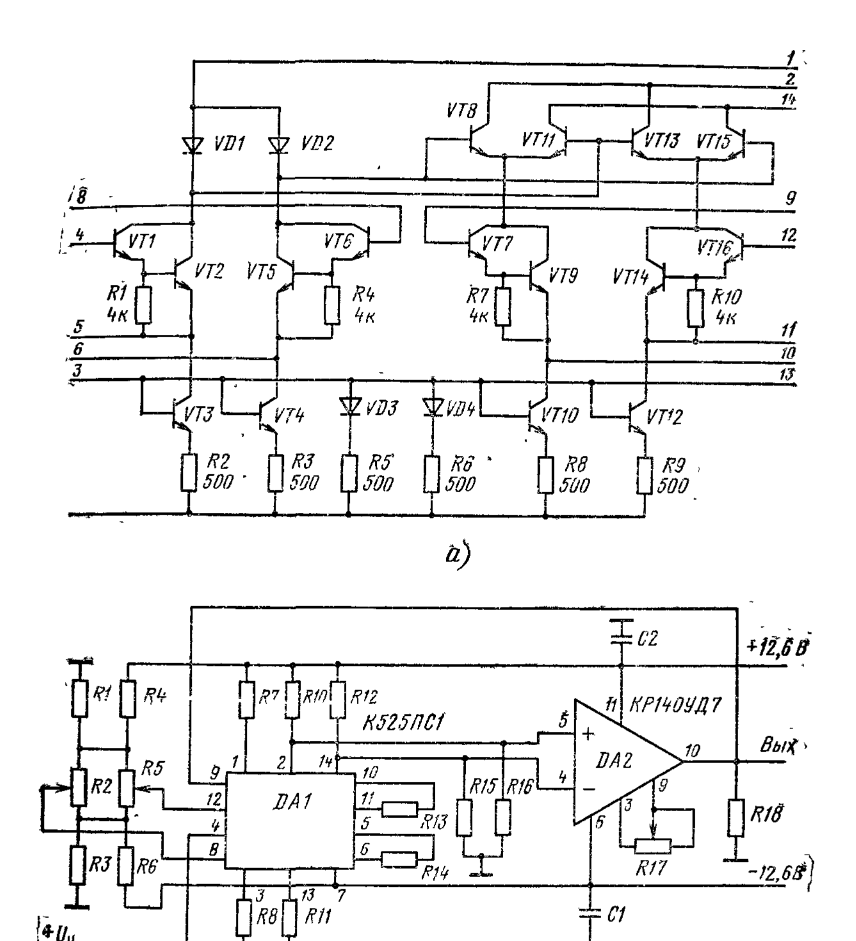
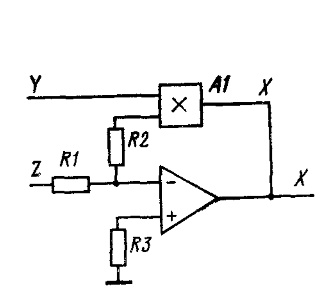
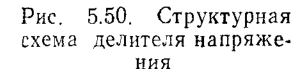


Рис. 5.49. Аналоговый перемножитель К525ПС1:

а — принципиальная электрическая схема; *б* — схема аналогового перемножителя со смещением уровня

ного перемножителя, расширяется его диапазон входных сигналов до ±10 В при амплитуде выходного сигнала ±10 В с линейностью лучше 3 %. На рис. 5.45, *б* показана схема АП, снабженного схемой смещения уровня, построенной на ОУ КР140УД7, который реализует передаточную функцию $U_Z = U_X U_Y / 10$. Применение АП совместно




Рис. 5.50. Структурная схема делителя напряжения

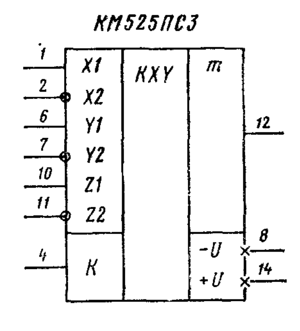


Рис. 5.52. Аналоговый перемножитель КМ525ПС3

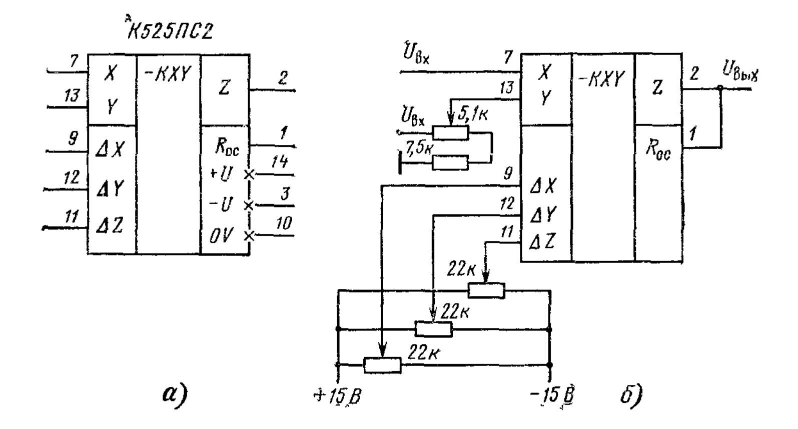


Рис. 5.51. Аналоговый перемножитель К525ПС2:

а — условное графическое обозначение; *б* — основная схема включения

с ОУ значительно расширяет диапазон выполняемых функций. Используя АП как элемент отрицательной связи ОУ, можно построить схему деления двух сигналов (рис. 5.50). В этой схеме ОУ поддерживает на своем инвертирующем входе потенциал «земли», поэтому передаточная функция имеет вид $KU_XU_Y/R_1 - U_Z/R_2$, откуда при $R_1 = KR_2U_X = -(U_Z/U_Y)$. Если в схеме АП объединить оба входа и подать на них сигнал с выхода ОУ, то выходное напряжение ОУ будет $U_X = \sqrt{U_ZR_1/KR_2}$. Таким образом, схема извлекает квадратный корень из функции входного сигнала ОУ. На рис. 5.51 приведено условное графическое обозначение АП К525ПС2, имеющего в своем составе ОУ. Схема позволяет строить четырехквадрантный перемно-

житель с $U_{вх} = \pm 10{,}5$ В и погрешностью не более 1 % практически без дополнительных элементов.

На рис. 5.52 приведено условное графическое обозначение высокоточного АП типа КМ525ПС3, имеющего погрешность перемножения менее 0,5 %, что позволяет исключить применение схемы балансировки. Выпускается четыре типономинала К525ПС3, группы А, Б, В изготовляются по технологии с лазерной подгонкой точности схемы.

5.5. Микросхемы для теле- и радиоприемных устройств

Создание специализированных полупроводниковых микросхем повышенной степени интеграции, содержащих узлы радиоприемных устройств — усилителей, детекторов, схем фазовой автоподстройки частоты (ФАПЧ), позволило значительно упростить процесс изготовления устройств связи, повысить их функциональную насыщенность, качество настройки и надежность работы, уменьшить габаритные размеры. Происходит широкое внедрение цифровых методов обработки информации, кодирования и декодирования. Для повышения качества работы узлов радиоприемных устройств и введения дополнительных сервисных услуг применяются микропроцессоры и контроллеры, следящие за поддержанием режима работы любого узла устройств. В результате для построения трактов радиоприемных устройств созданы многофункциональные микросхемы с аналоговой и аналого-цифровой обработкой информации.

5.5.1. Микросхемы для телевизионных приемников

Основными параметрами микросхем для приемников являются постоянные и переменные напряжения сигналов на их входах и выходах, такие как постоянное напряжение на определенном выводе $U_{вых\ пост}$ или $U_{a\ пост}$, где a — номер вывода. В этом случае приводится диапазон постоянных напряжений, в котором может находиться рабочая точка по данному выводу. Выходное напряжение $U_{вых}$ или U_a — значение переменной составляющей напряжения по определенному выводу. В ряде случаев применяется функциональная индексация выводов. Например. U_{R-Y} — выходное напряжение на выводе, несущем информацию о разности красного и яркостного сигналов.

Минимальное входное напряжение $U_{вх\ мин}$ — значение напряжения, подаваемое на выводы микросхемы, снижение которого нарушит нормальную работу микросхем.

На рис. 5.53 приведена структурная схема цветного телевизионного приемника. Сигнал, принимаемый антенной, усиливается и поступает на селектор-преобразователь, содержащий смеситель, гетеродин и фильтры. В качестве смесителя и гетеродина метрового диапазона может быть использована микросхема К174ХА20 (рис. 5.54). Микросхема осуществляет преобразование сигнала метрового диапазона в сигналы промежуточной частоты и ее предварительное усиление. Кроме того, в схеме предусмотрена возможность работы в режиме усилителя сигналов, поступающих от селектора дециметрового диапазона. Микросхема обеспечивает прием сигнала в диапазоне

Тип микросхем	Функциональное назначение	$I_{пот}$, мА	$U_{вых}$, В
К174ПС4	Смеситель селектора каналов дециметрового диапазона	10	—
К174ХА20	Смеситель и гетеродин с предусилителем для селектора каналов метрового диапазона	—	—
КР174УР2А КР174УР2Б	УПЧ изображения (УПЧИ)	50...70	2,4...4,2
К174УР5	УПЧИ с выходом на магнитофон	30...65	2,6...4,2
К174УР10	УПЧИ с выходом на видеомагнитофон	15...35	1,3
К174УР1	УПЧ звука (УПЧЗ)	11 . 22	—
К174УР4	УПЧЗ с выходом на магнитофон	9,5...17,5	4,2...5,3
К174УР11	УПЧЗ с выходом на видеомагнитофон	40	0,9...1,6
К174ХА1	Выделение R-Y и B-Y сигналов и запирание канала цветности	30...50	1,1*
К174ХА8	Демодулятор R-Y и B-Y сигналов, электронный коммутатор, усилитель	46	1,1±10 %
К174ХА9	Формирование сигналов цветовой синхронизации, выключение цвета	47	1,8...2,3
К174ХА16	Декодер цветовой информации по системе СЕКАМ	75...130	0,71...1,48
К174АФ4	Получение R-G-B сигналов, регулировка насыщенности	25...55	—
К174УП1	Усиление и регулировка, привязка и регулировка уровня «черного»	16	—
К174АФ5	Матрица R-G-B	30 ..80	—
К174УК1	Регулировка яркости, контрастности, насыщенности и формирование G сигнала	46	5,4...6,8

Таблица 5.11

$U_{вх}$, мВ	$f_в$, МГц	Примечание	Номер рисунка
25	>1000	$К_ш$ = 12 дБ; $S_{прб}$ = 4,5 мА/В; $U_{ип}$ = 6 В	5.55
—	50..230	$К_ш$ = 12 дБ; $U_{пост1,2,8,9,10} \leqslant$ 16,5 В	5.54
0,2...0,5	>38	U_{12} = 5...7 В; U_5 = 2 В	5.56
0,3		$U_{ип}$ = 12, $I_{пот}$ = 65 мА	
0,2	>38	$\Delta U_{АПЧ}$ = 10 В; $I_{АРУ}$ = 10 мА; $К_{АРУ}$ = 50 дБ	5.58
1	>60	$К_{yU}$ = 30 дБ; $К_m$ = 40 дБ	
1	>6,5	$К_{yU}$ = 6; $К^*_{пам}$ = 46 дБ; $К_{АРУ}$ = 60 дБ	5.57
0,1	>6,5	$К_{yU}$=10 дБ; $К_{пам}$=46 дБ; $К_{АРУ}$=60 дБ, $К_г$=1,5 %; U_8=0,3 В; U_{12}=0,25 В	5 59
0,06	>10	$U_{5\ 11,6}$ = 0,3...0,9 В; $U_{пост8}$ = 6,6...8,2; $U_{пост9}$ = 5,5...7,1; $К_{пам}$ = 46 дБ; $К_{yU6}$ = 0,8...1,3; $К_г$ = 2 %	5.61
<350	>4,3		5.63
300	>4,3	U_{B-Y} = 1,5±10 %; $К_{yU}$ = 40 дБ	5.64
—	>4,2	$К_{огр}$ = 0,5...1,0; $U_{вых\ тр}$ = 2,5...3,5; $U_{вых\ цв}$ = 12 В; $К_{ос}$ = 40 дБ	5.65
0,5...2,0	≥5	U_B = 0,94...1,87 В; $U_{вх\ под}$ = 40...400 мВ; U_{25} = 1,8...3,5 В, $U_{пост\ 25}$ = 7,8 В; $U_{вх\ 23} \leqslant$ 220 мВ; U_2 = 1,8...3,5 В	5.66
1	>5 кГц	$К^{**}_{п1,2,3}$ =3,1...3,9; $К_{п\ 4\ 5}$ = 2,4...3,6; $К_{п\ 6}$ = 0,7; $К_{п\ 7}$ = 1,4..1,8	5.67
160	—	$К_{yU}$ = 2...2,8	5.68
—	>6	Δf_{R-Y-R} = 1,5 МГц	5.70
2,5 В	>6	U_Y = 2...4 В; $U_г$ = 1,2 В	5.69

Тип микросхем	Функциональное назначение	$I_{пот}$, мА	$U_{вых}$, В
К174ХА17	Матрица R-G-B, регулировка яркости, контрастности и насыщенности	70...130	—
К174АФ1	Селектор синхроимпульсов и генератор строчной развертки	34...56	8
К174ХА11	Блок строчной развертки и управления кадровой разверткой	25...53	10
К174ГЛ1	Блок кадровой развертки	180	9 ..15

* $K_{пам}$ — коэффициент амплитудной модуляции.
** $K_{п}$ — коэффициент передачи.

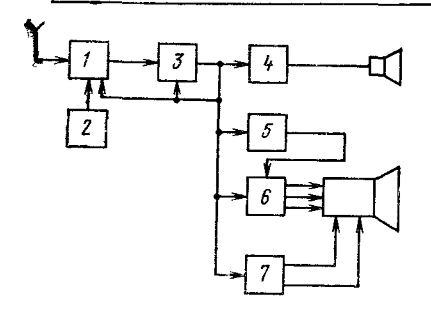


Рис. 5.53. Схема цветного телевизионного приемника:
1 — селектор каналов; 2 — блок управления; 3, 4, 5, 6, 7 — соответственно тракты изображения, звука, яркости, цветности и разверток

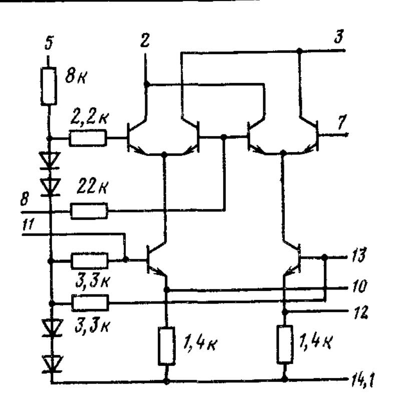


Рис. 5.55. Микросхема К174ПС4

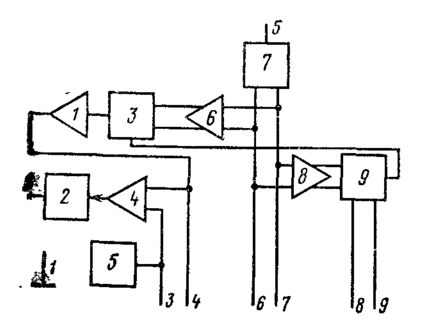


Рис. 5.54. Микросхема К174ХА20:
1 — усилитель; 2 — выходной каскад; 3 — мультипликатор; 4 — компаратор; 5 — генератор тока; 6, 8 — дифференциальный усилитель; 9 — корректор

$U_{вх}$, мВ	$f_в$, мГц	Примечание	Номер рисунка
—	>5,5	$K_{yUY,B,R,G}=2...4$; $U_{20}=1,5...2,5$ В; $U_{2,5,27}=1$ В; $U_{20}=1,5...2,5$ В; $U_{ст}=7,5...10$ В; $U_{22}=4...5$ В	5,71
3В	—	$t_{\text{I}}=12...17$ мкс; $t_{\text{II}}=26...32$ мкс	5,72
—	—	$U_3=9,5$ В; $U_8=10$ В; $U_7=4...$ ...5 В; $U_{11}=2,5...7$ В; $t_{зд}=0,3...$ ...1,7 мкс; $t_{ст}=3,7...4,3$ мкс	5,74
—	—	$I_{вых}=1,5$ А; $t_{ох}=0,9$ мс; $U_{ип}=$ $=25$ В	5,73

50...230 МГц и возможность совместной работы с цифровыми делителями частоты.

В качестве смесителя каналов дециметрового диапазона может быть применена микросхема К174ПС4 (рис. 5.55). Преимуществом смесителей на микросхеме К174ПС4 является отсутствие или ослабление в спектре выходного сигнала составляющих с частотами сигнала и гетеродина, а также хорошая развязка между цепью гетеродина и входом.

В табл. 5.11 представлены технические характеристики микросхем нескольких поколений серии 174. Так, микросхемы К174УР2 и К174УР1 (рис. 5.56, 5.57) реализуют тракт усиления промежуточной частоты (УПЧ) изображения и звука. Применение вместо них микросхем К174Р5 и К174Р4 (рис. 5.58, 5.59) позволяет расширить функциональные возможности телевизионного приемника и обеспечивают его работу с магнитофоном. С развитием видеомагнитофонной техники появилась необходимость устройства сопряжения телевизионного приемника с видеоприставкой. С этой целью разработаны микросхемы К174УР10 (рис. 5.60) и К174УР11. На рис. 5.61 приведена схема включения микросхемы К174УР11. Видеомагнитофон подключается через конденсатор 2 мкФ к выводу 6 микросхемы. Переключение режима запись/воспроизведение осуществляется подачей потенциала на вывод 1. Резистор R3 подбирается так, чтобы эквивалентная добротность контура R3C5L $Q=45\pm2$ на частоте $f_1=$ $=6,5$ МГц.

На рис. 5.62 показана структурная схема тракта цветности телевизионного приемника. Тракт цветности содержит каналы прямого 1 и задержанного 2 сигналов, электронные коммутаторы 3, обслуживаемые симметричным триггером 4, каналы «синего» 5 и «красного» 6 сигналов цветовой синхронизации, устройство опознавания 7, а также селектор цветовой синхронизации 8 и амплитудный детектор 9.

Тракт цветности можно строить, применяя различную интегральную элементную базу. Например, он может быть собран на двух

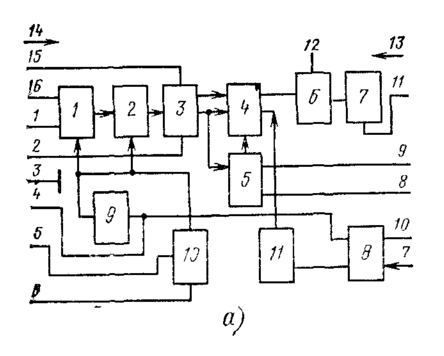
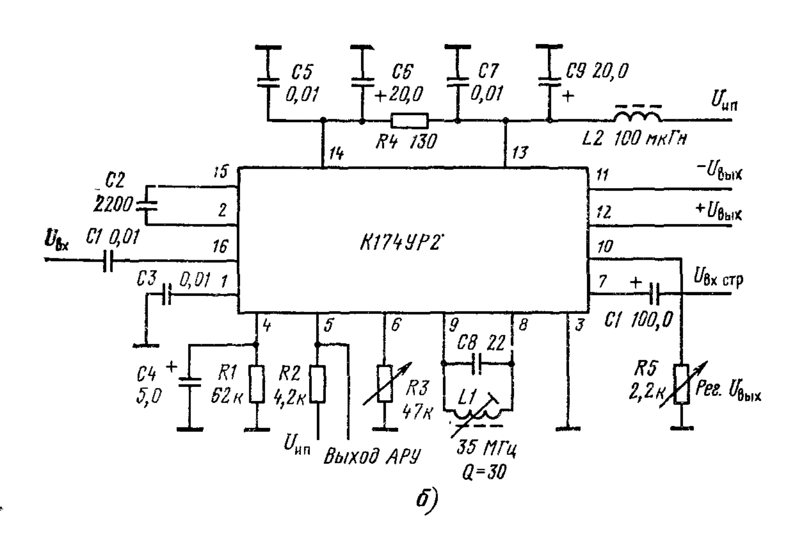


Рис. 5.56. Микросхема К174УР2:

а — функциональная схема; *б* — схема построения усилителя промежуточной частоты изображения телевизионного приемника; 1—3 — УПЧ; 4 — детектор; 5 — ограничитель; 6 — предварительный видеоусилитель; 7 — фазоинвертор; 8—ключевой усилитель; 9 — регулирующий усилитель; 10 — пороговый усилитель; 11 — компенсатор температуры.

Выводы: 1, 16 — вход; 2, 4, 15 — коррекция АЧХ; 3 — общий; 5 — выход АРУ (плюс $U_{ип}$); 7 — вход стробирования; 8, 9 — настроечный контур; 10 — регулировка усиления; 11 — выход (минус U); 12 — выход (плюс U); 13, 14 плюс $U_{ип}$



микросхемах К174ХА1 (рис. 5.63), содержащих электронный коммутатор, усилитель-ограничитель и частотный детектор, с применением микросхем серии К155 и других компонентов (всего около 300 деталей). На входы коммутаторов (выводы 7 и 9 микросхемы К174ХА1) поступают прямой и задержанный сигналы серии К155. Полярность импульсов должна меняться от строки к строке, закрывая и открывая тем самым коммутатор нужного канала. С выхода коммутатора цветовые поднесущие, модулированные цветоразностными сигналами, поступают на усилитель-ограничитель, а с него — на частотный детектор (умножитель), где и происходит выделение цветоразностных сигналов. Контуры частотных детекторов настроены на цветовые под-

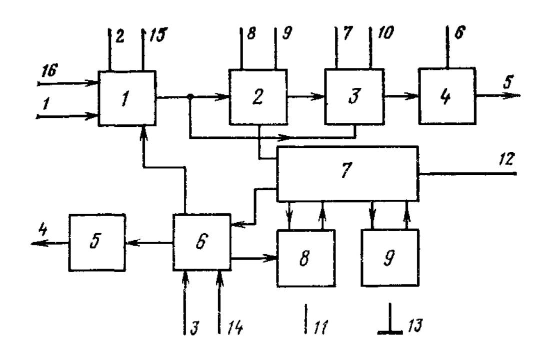


Рис. 5.57. Микросхема К174УР1:

1 — УПЧ; 2 — демодулятор АМ; 3 — демодулятор АПЧ; 4 — УПТ АПЧ; 5 — УПТ АРУ; 6 — система АРУ; 7 — видеоусилитель; 8 — инвертор «черного»; 9 — инвертор «белого».

Выводы: 1, 16 — входы; 3 — установка задержки АРУ; 4 — выход АРУ; 5—выход АПЧ; 6 — выключение АПЧ; 7, 10 — фильтры демодулятора АПЧ; 8, 9 — фильтры модулятора АМ, 11 — плюс $U_{ИП}$, 12 — выход «видео»; 13 — общий

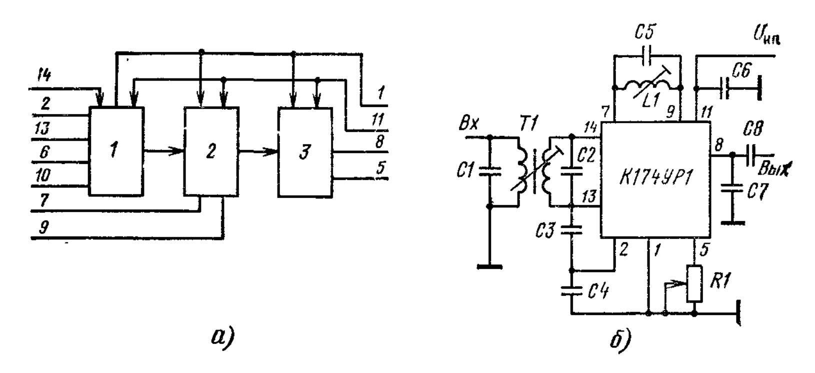


Рис. 5.58. Микросхема К174УР1:

а — функциональная схема: 1 — усилитель-ограничитель; 2 — частотный детектор; 3 — электронный аттенюатор; *б* — схема включения.

Выводы: 1 — $U_{ИП2}$; 2, 13 — блокировка; 5 — аттенюатор; 6, 10 — выход ВЧ; 7, 9 — фазосдвигающие контуры 8 — выход НЧ; 11 — $U_{ИП1}$; 14 — вход

несущие частоты 4,25 МГц (синий) и 4,406 МГц (красный). При построении «синего» канала из схемы необходимо исключить конденсаторы С1 и С3, а для «красного» канала — С2 и С4. Постоянное напряжение на выходе микросхемы $U_{вых\ пост}$=6,5 В, а на вывод 13 при приеме черно-белого сигнала подается внешнее управляющее напряжение выключения канала цветности.

Для сокращения числа компонентов на плате и для расширения функциональных возможностей тракта цветности можно использовать

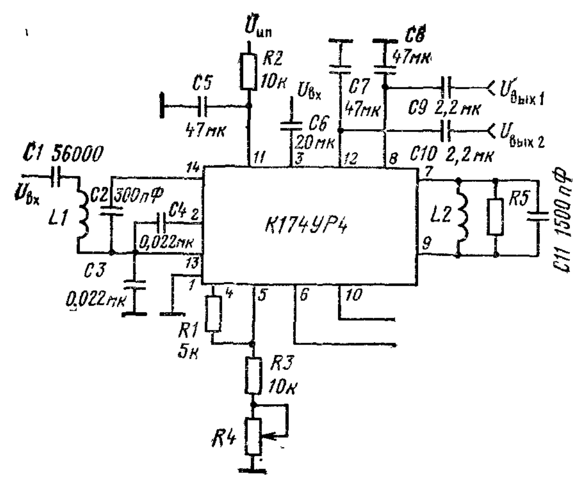


Рис. 5.59. Микросхема К174УР4:

Выводы: 1 — общий; 2, 13 — блокировка; 3 — вход НЧ; 4 — ООС; 5 — регулятор громкости; 6, 10 — выход ВЧ; 7, 9 — фазосдвигающие контуры 11 — плюс $U_{ип1}$; 12 — нерегулируемый выход НЧ; 14 — вход

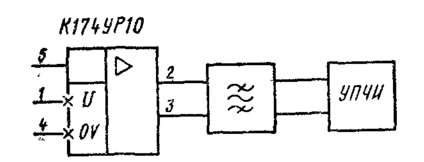


Рис. 5.60. Схема включения микросхемы К174УР10

микросхемы К174ХА8 и К174ХА9. Они предназначены для построения трактов цветности телевизоров, работающих с сигналами как СЕКАМ, так и ПАЛ. Микросхема К174ХА8 (рис. 5.64) содержит двухканальный электронный коммутатор, усилитель-ограничитель и демодулятор цветоразностных сигналов, а также блок выбора режима, позволяющий переключаться с системы СЕКАМ на систему ПАЛ, при этом сигнал «обходит» схему коммутатора, а частотные детекторы превращаются в фазовые. Микросхема К174ХА9 (рис. 5.65) обеспечивает усиление и ограничение входных цветовых сигналов, управление электронным коммутатором, выделение сигналов опознавания и выключение цвета.

Микросхема К174АХ16 реализует функции дикодера цветовой информации по системе СЕКАМ и может полностью заменить блок, выполненный на микросхемах К174ХА8 и К174ХА9. Микросхема К174ХА16 (рис. 5.66) за счет применения системы ФАПЧ позволяет значительно улучшить линейность демодулированных сигналов цветности, что, в свою очередь, повысит качество изображения. На рис. 5.66 приведена схема включения микросхемы К174ХА16 в телевизионном приемнике. В схеме использованы следующие элементы:

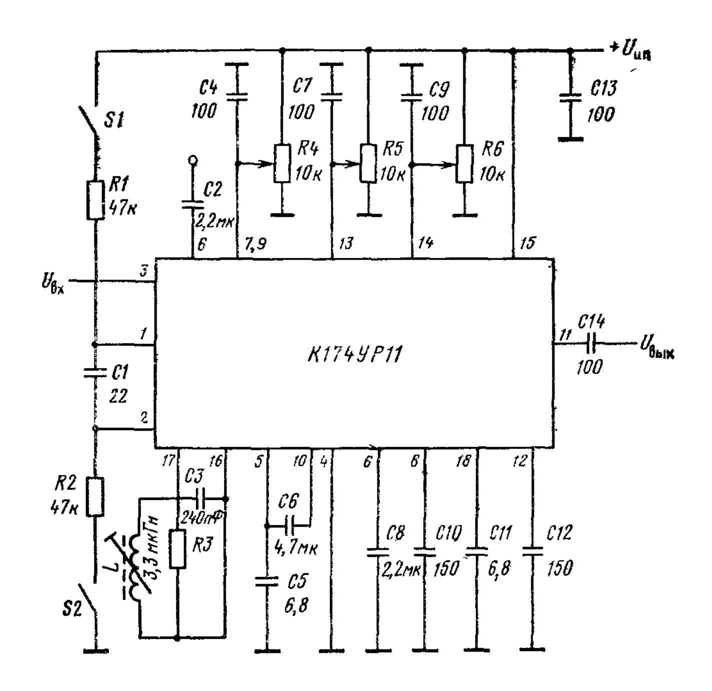


Рис. 5.61. Микросхема К174УР11:

Выводы: 1 — вход переключателя видеомагнитофона; 2 — выключение ПЧ, обратная связь; 3 — вход ПЧ; 4 — $-U_{ип}$; 5 — вход демодулятора; 6 — сопряжение с видеомагнитофоном; 7, 9 — коррекция ВЧ; 8 — коррекция НЧ; 10 — вход НЧ; 11 — выход; 12 — коррекция НЧ; 13 — регулировка тембра НЧ; 14 — регулировка тембра ВЧ; 15 — $\pm U_{ип}$; 16, 17 — фазосдвигающие контуры; 18 — коррекция ВЧ

линия задержки типа УЛ-64-5-1; конденсаторы емкостью С1, $C_7=$ $=0,1$ мкФ; C_2, C_{11}, C_{15}, C_{21}, C_{28}, $C_{31}=0,01$ мкФ; $C_3=15$ пФ; C_4, $C_6=$ $=470$ мФ; $C_5=33$ пФ; $C_8=100$ мкФ; $C_9C_{10}=100$ пФ; C_{12}, C_{20}, C_{23}, C_{27}, C_{29}, $C_{30}=10$ мкФ; $C_{13}=0,027$ мкФ; $C_{14}=27$ пФ; $C_{16}=50$ мкФ; $C_{17}=$ $=300$ пФ; C_{18}, $C_{22}=120$ пФ; $C_{19}=1000$ мФ; C_{25}, $C_{26}=330$ пФ; индуктивности $L_1=3,3$ мкГн; $L_2=2,7$ мкГн; $L_3=4,3$ мкГн; $L_4=8$ мкГн; резисторы сопротивлением $R_1=1,2$ ком, R_2, $R_{12}=680$ Ом; R_3, $R_9=$ $=390$ Ом; $R_4=1,8$ кОм; $R_5=1$ МОм; $R_6=12$ кОм; R_7, $R_8=150$ кОм; $R_{10}=3,9$ кОм; $R_{11}=330$ кОм; $R_{13}=3,3$ Ом; $R_{14}=5,1$ кОм; R_{15}, $R_{17}=$ $=180$ кОм; R_{16}, $R_{19}=470$ кОм; R_{18}, $R_{20}=10$ Ом; $R_{21}=430$ кОм; $R_{22}=$ $=2,2$ МОм.

Для получения сигналов первичных цветов — красного, синего и зеленого — служит микросхема К174АФ4 (рис. 5.67), осуществляющая одновременно и регулировку насыщенности цветов. Микросхема включает: два усилителя-регулятора насыщенности (1), три выходных усилителя (3) и четыре сумматора (2), на одном из которых вырабатывается цветоразностный сигнал G-Y, а на трех остальных

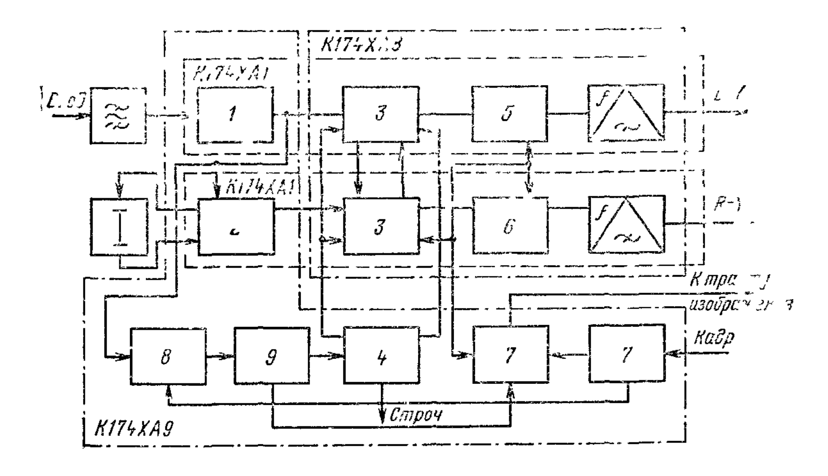


Рис. 5.62. Функциональная схема тракта цветности

из цветоразностных и яркостного сигналов формируются сигналы основных цветов — красного, синего и зеленого. Микросхема обеспечивает полосу пропускания по яркостному каналу не менее 6 МГц, а по цветоразностным каналам — не менее 1,5 МГц. Совместно с К174АФ4 работает микросхема К174УП1 (рис. 5.68), предназначенная для усиления и регулировки яркостного сигнала, ограничений токов кинескопа, привязки уровня «черного» и других функций.

Получение первичных цветовых сигалов и регулировка яркости, контрастности и насыщенности могут быть реализованы на микросхемах К174УК1 и К174АФ5. Микросхема К174УК1 (рис. 5.69) осуществляет регулировку контрастности, яркости и насыщенности цветов на экране телевизора. Регулировка производится с помощью трех потенциометров — одного для управления уровнем сигнала яркости и двух для сигналов R-Y и B-Y. В микросхеме формируется сигнал G-Y. Выходная информация R-Y, B-Y и G-Y поступает на микросхему К174АФ5 (рис. 5.70), которая формирует сигналы R′, G″ и B′, управляющие модуляторами кинескопа. Одновременно осуществляются фиксация уровня «черного» и регулировка усиления по каждому сигналу основного цвета.

Для уменьшения числа деталей и улучшения качества телевизионных приемников разработана микросхема К174ХА17, которая предназначена для замены микросхем К174УК1 и К174АФ5. Микросхема К174ХА17 (рис. 5.71) осуществляет обработку демодулированных видеосигналов в блоке цветности систем ПАЛ/СЕКАМ и кроме функций К174УК1 и К174АФ5 позволяет выполнять подключение видеоигр и других функций. Микросхема работает от источников питания 12 В±10 % и имеет уровень входных сигналов R-Y=—1,05 В; R-Y=—1,33 В.

В схемах современных телевизоров используются селекторы синхроимпульсов и задающие генераторы строчной развертки с частотной и фазовой автоподстройкой. Эти узлы могут быть построены на

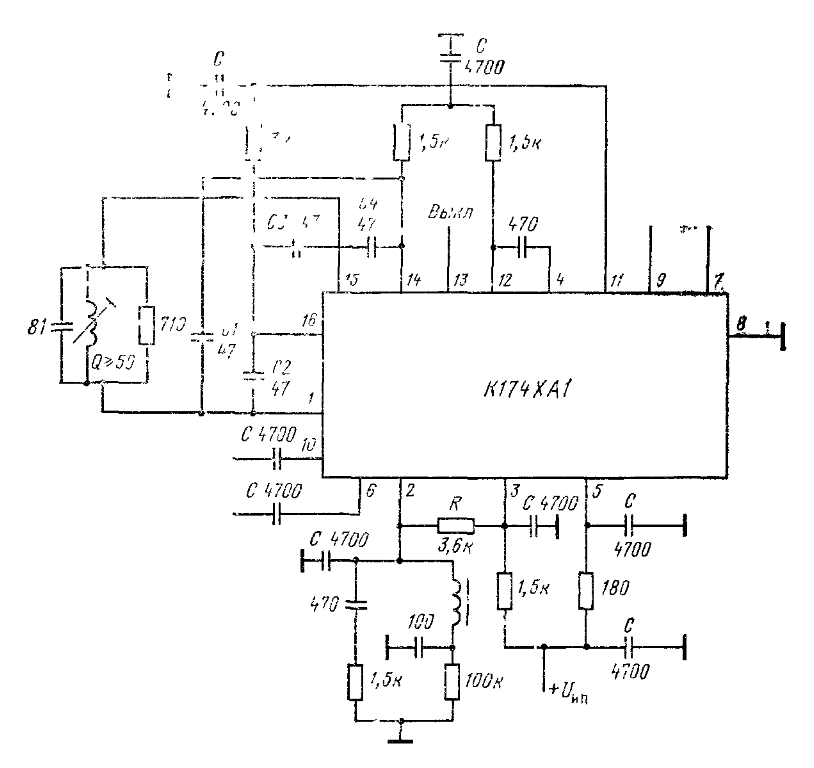


Рис. 5.63 Микросхема К174ХА1:

Выводы 1, 4, 14, 15, 16 — выводы подключения контуров частной селекции; 2 — выход (трансформаторный), 3, 5 — плюс $U_{ип}$; 6, 10 — входы; 7, 9 — управление коммутатором; 8 — общий; 11 — ООС; 13 — вывод включения схемы

микросхеме К174АФ1 (рис. 5.72). Выходной каскад строчной развертки выполняется на внешних дискретных элементах — тиристорах или транзисторах. Микросхема осуществляет генерацию импульсов строчной частоты и их усиление. Мощный выходной каскад развивает в нагрузке ток до 0,6 А. Однако этого тока недостаточно, и для управления трансформаторами отклонения луча необходима дополнительная схема усиления.

Микросхема К174ГЛ1 (рис. 5.73) применяется в блоках кадровой развертки телевизионных приемников. Типовая схема кадровой развертки содержит задающий генератор и мощный выходной каскад. Генератор в соответствии с синхроимпульсами формирует импульсы пилообразной формы прямого и обратного хода, мощный выходной каскад обеспечивает большой выходной ток. Микросхема К174ГЛ1 отдает в нагрузку ток до 1,6 А, поэтому она обязательно устанавливается на теплоотвод.

Микросхема К174ХА11 (рис. 5.74), предназначенная для реали-

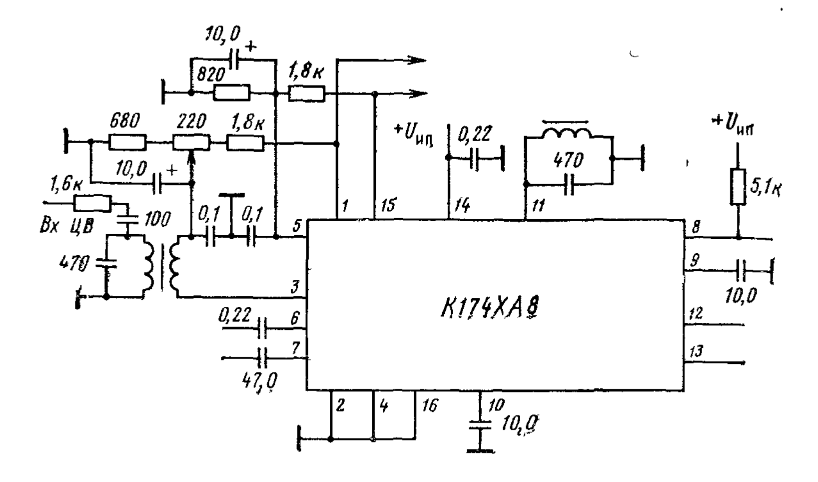


Рис. 5.64. Микросхема К174ХА8:

Выводы: 1, 15 — выходы сигналов цветности; 2 — корпус; 3, 5 — входы сигнала цветности; 4 — переключение режимов; 6 — вход строчного гасящего импульса; 7 — вход кадрового гасящего импульса; 8 — выключатель цветности, 9, 10 — интегрирующие цепи; 11, 13 — выходы цветовой синхронизации; 12 — вход коммутатора; 14 — плюс $U_{ип}$; 16 — регулировка усиления

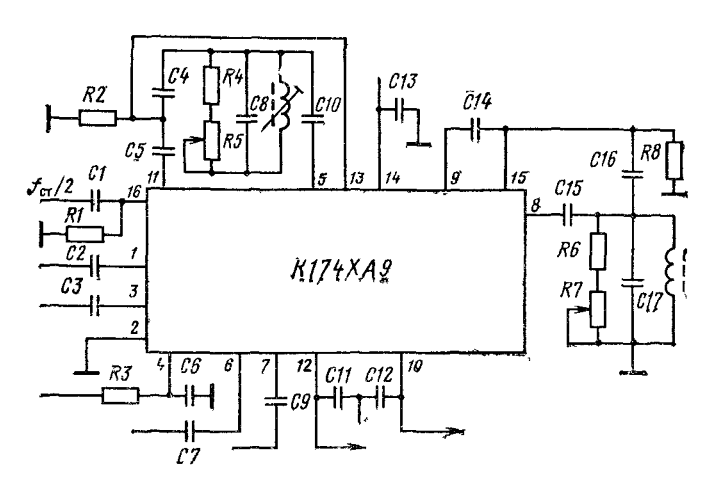


Рис. 5.65. Микросхема К174ХА9:

Выводы: 1 — вход прямого сигнала; 2 — общий; 3 — вход задержанного сигнала; 4 — управление режимом работы; 5 — опорный сигнал R-Y(СЕКАМ); 6 — опорный сигнал B-Y (ПАЛ); 8 — опорный сигнал B-Y (СЕКАМ); 9 — вход демодулятора B-Y; 10 — выход демодулятора B-Y; 11 — вход демодулятора R-Y; 12 — выход демодулятора R-Y; 13 — выход коммутатора R-Y; 14 — плюс $U_{ип}$; 15 — выход коммутатора B-Y; 16 — вход коммутатора

Рис. 5.66. Микросхема К174ХА16:

Выводы: 1 — коррекция; 2, 4 — цветовая синхронизация; 3, 24 — общий; 5—7, 14, 15 — плюс $U_{ИП}$; 8 — выключатель цвета; 9 — вход генератора; 10 — фильтр; 11, 18 — установка уровня «черного»; 12, 17 — корректоры предыскажений; 13 — выход (B-Y); 16 — выход (R-Y); 19 — вход генератора 1; 20 — вход генератора 2 (1 мкс); 21 — вход видеосигнала; 22 — вход синхроимпульса; 23 — вход задержанного сигнала; 25 — выход цветового сигнала; 26 — регулировка усиления; 27, 28 — входы сигнала цветности

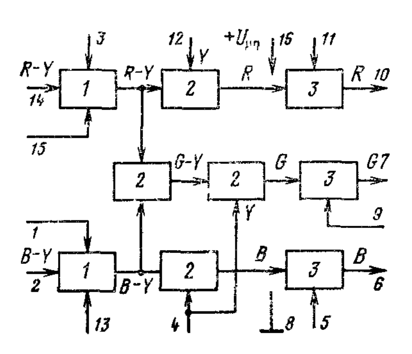


Рис. 5.67. Микросхема К174АФ4:

1 — блок регулировки насыщенности цвета; 2 — сумматор; 3 — блок уровня сигнала

Выводы: 1, 15 — подстройка; 2 — вход B-Y; 3, 13 — регулировка насыщения; 4 — вход Y; 5 — регулировка «B»; 6 — выход «B»; 7 — выход «G»; 8 — общий; 9 — регулировка «G»; 10 — выход «R»; 11 — регулировка «R»; 14 — вход R-Y; 12 — вход Y; 16 — плюс $U_{ИП}$

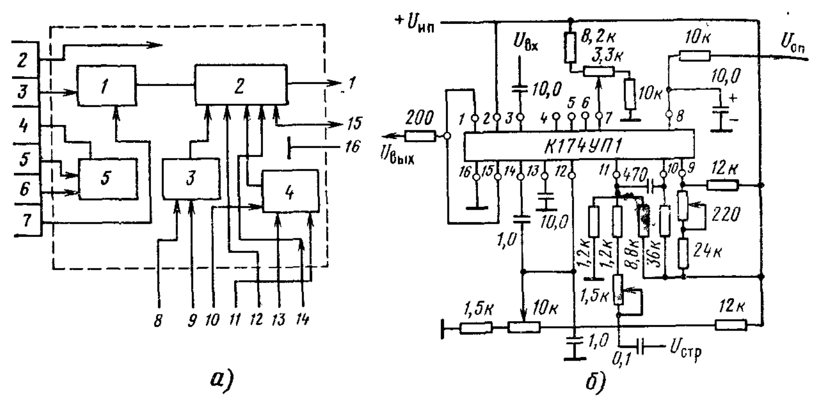


Рис. 5.68. Микросхема К174УП1:

а — функциональная схема. 1, 2 — регулировка контрастности и яркости; 3 — ограничитель токов лучей кинескопа; 4 — узел привязки к уровню «черного»; 5 — блок выключения режекторных фильтров при приеме черно-белого изображения; *б* — схема включения.

Выводы: 1 — выход; 2 — плюс $U_{ИП}$; 3 — вход; 4—6 — транзистор выключения фильтра режекции (4 — коллектор, 5 — база, 6 — эмиттер); 7 — регулировка контрастности; 8, 9 — ограничение тока лучей кинескопа; 10, 13, 14 — управление уровнем «черного»; 11 — строчный импульс; 12 — регулировка яркости; 15 — ООС; 16 — общий

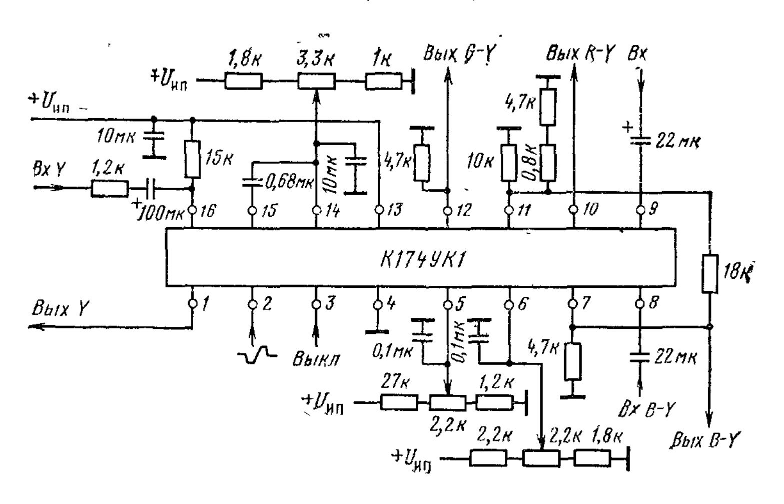


Рис. 5.69. Микросхема К174УК1:

Выводы: 1 — выход Y; 2 — импульс привязки; 3 — импульс гашения, 4 — корпус; 5 — регулировка контрастности; 6 — регулировка насыщенности; 7 — выход B-Y; 8 — вход R-Y; 10 — выход R-Y; 11 — вход G-Y; 12 — выход G-Y; 13 — плюс $U_{ИП}$; 14 — регулировка яркости; 15 — накопительный конденсатор; 16 — вход Y

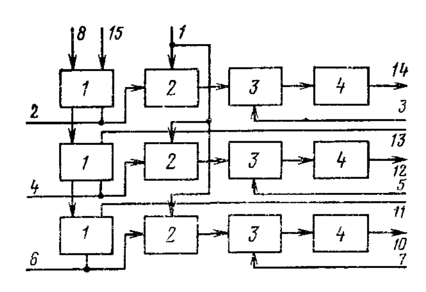


Рис. 5.70. Микросхема К174АФ5:

1 — схема фиксации уровня «черного»; 2 — матрица формирования цветного сигнала; 3 — регулятор усиления; 4 — усилитель.

Выводы 1 — вход; 2, 4, 6 — входы R-Y, G-Y, B-Y соответственно; 3, 5, 7 — установка усиления каналов R, G, B; 8 — вход схемы фиксации уровня «черного»; 10, 12, 14 — выходы B, G, R, 11 — вход ООСВ 13— вход OOCG; 15 — вход OOCR

Рис. 5.71 Микросхема К174ХА17.

Выводы: 1, 2 — выход G; 3, 7, 8, 9, 24, 25, 28 — конденсатор 22 пФ; 4, 5 — выход — B; 6 — плюс $U_{\text{пп}}$; 10 — импульс привязки; 11 — импульс гашения; 12, 13, 14 — уровни B, G, R соответственно; 15 — вход сигнала яркости; 16—вход насыщения; 17 — вход — (R-Y); 18 — вход — (B-Y); 19 — вход контрастности; 20 — вход уровня яркости; 21 — регулировка B; 22 — регулировка G; 23 — вход схемы ограничения тока луча; 26, 27 — выход R

зации блока строчной развертки и схемы управления кадровой разверткой и блоком цветности, более универсальна. Она обеспечивает амплитудную селекцию синхросигнала, автоматическую подстройку частоты и фазы, формирование импульсов строчной развертки для работы как с транзисторными, так и тиристорными выходными каскадами, формирование синхроимпульсов кадровой развертки и строб-импульса выделения цветовой поднесущей. При напряжении питания

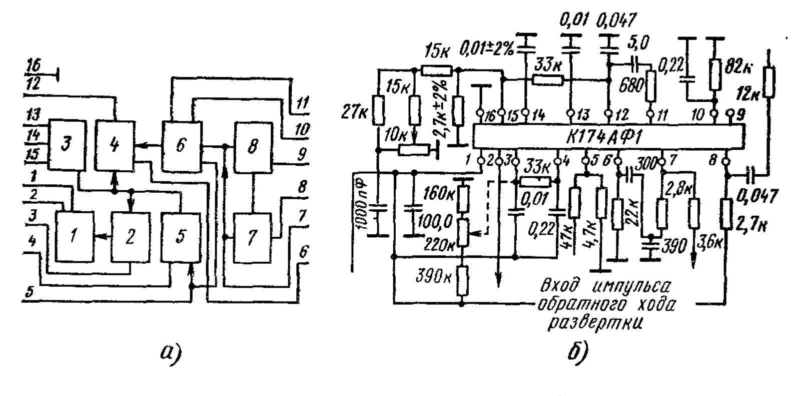


Рис. 5.72. Микросхема К174АФ1:

а — функциональная схема: 1 — мощный выходной каскад (0,6 А в нагрузке); 2 — формирователь выходного импульса; 3 — генератор импульсов строчной частоты; 4, 5 — фазовый дискриминатор автоподстройки частоты генератора и фазы выходного импульса; 6 — детектор совпадений; *б* — схема включения Выводы: 1 — плюс $U_{ИП}$; 2 — выход; 3 — вход формирователя; 4 — выход фазового дискриминатора; 5, 6 — входы фазового дискриминатора; 7 — выход детектора совпадения; 8 — вход видеосигнала; 9 — вход импульса помехи; 10 — вывод; 11 — выход детектора совпадения; 12 — выход фазового дискриминатора; 13—15 — выводы; 16 — общий

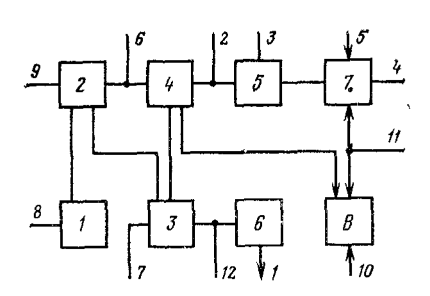


Рис. 5.73. Микросхема К174ГЛ1:

1 — усилитель синхроимпульсов; 2 — генератор; 3 — генератор пилообразного напряжения; 4 — стабилизатор; 5 — схема формирования обратного хода; 6 — буферный каскад; 7 — усилитель мощности; 8 — предусилитель

Выводы: 1 — выход буферного каскада; 2, 5 — плюс $U_{ИП}$; 3 — RC контур; 4 — выход; 6, 9 — RC контур генератора; 7 — настройка генератора пилообразного напряжения; 8 — вход синхроимпульсов; 10 — вход предусилителя; 11 — выход предусилителя; 12 — коррекция

+12 В данная микросхема генерирует амплитуду выходного строчного импульса не менее 9,5 В, кадрового синхроимпульса и стробимпульса выделения цветовой поднесущей не менее 10 В при токе выходного каскада до 0,6 А.

В переключателях каналов телевизионных приемников широко используются сенсорные и псевдосенсорные устройства переключения.

Устройства управления переключением каналов представляют собой специальные ключевые схемы, состоящие из схем элементарных каналов (рис. 5.75). Схема работает следующим образом. В начальный момент конденсатор С заряжен до напряжения $U_{ком}$, которое воздействует на управляющий вход ключей 1 и 2 и держит ключи закрытыми, поэтому на выход управления $Q_п$ поступает напря-

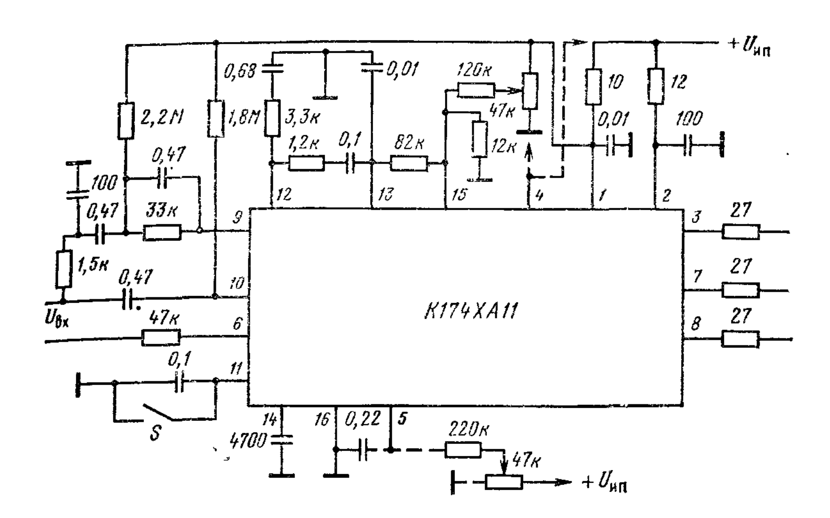


Рис. 5.74. Микросхема К174ХА11:

Выводы: 1, 2 — плюс $U_{ип}$; 3 — выход строчного импульса; 4 — вход переключения длительности выходного импульса; 5 — RC-контур фазового детектора φ_2; 6 — вход импульса обратного хода; 7 — выход стробирующего импульса; 8 — выход кадрового импульса; 9, 10 — вход; 11 — частотная коррекция пикового детектора совпадений; 12 — коррекция переключателя постоянной времени фильтра; 13 — RC-контур фазового детектора φ_1; 14, 15 — частотная коррекция задающего генератора; 16 — общий

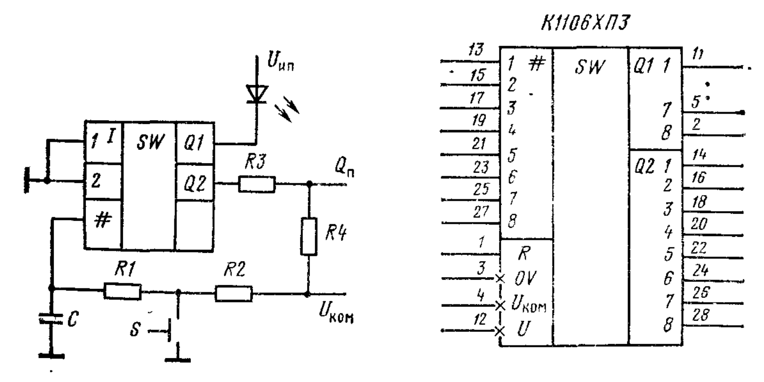


Рис. 5.75. Канал переключения диапазонов

Рис. 5.76. Микросхема К1106ХП1

жение $U=U_{ком}$ и ток через индикатор не проходит. При замыкании ключа S конденсатор C разряжается, напряжение на управляющем входе падает и открывает ключи 1 и 2, при этом на выход управления диапазонами $Q_п$ поступает $U_{ком}/10$, а выход индикации Q_I за-

Рис. 5.77. Микросхема К1106ХП2

Рис. 5.78. Микросхема К1106ХП3

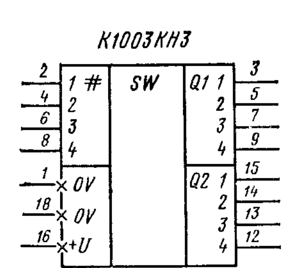


Рис 5.79. Микросхема К1003КН3

Рис. 5.80. Микросхемы К1003КН1, К1003КН2

мыкается на корпус и индикатор загорается. Наборы описанных устройств со специальной схемой, инициирующей включение первого канала телевизора, выполненные в виде микросхем, приведены в табл. 5.12. Микросхемы К1106ХП1 и К1106ХП2 работают на ламповый индикатор, а микросхемы К1106ХП3, К1003КН1—К1003КН3— на светодиодный (рис. 5.76—5.81).

Микросхемы серии К1021 предназначены для построения схем цветных телевизионных приемников, работающих в стандартах цветного телевидения СЕКАМ, ПАЛ, НТСЦ. Комплект микросхем позволяет подключать телевизионные приемники к видеомагнитофонам и работать на частоте бытового электропитания 50/60 Гц.

Параметры микросхем приведены в табл. 5.13. Основой комплек-

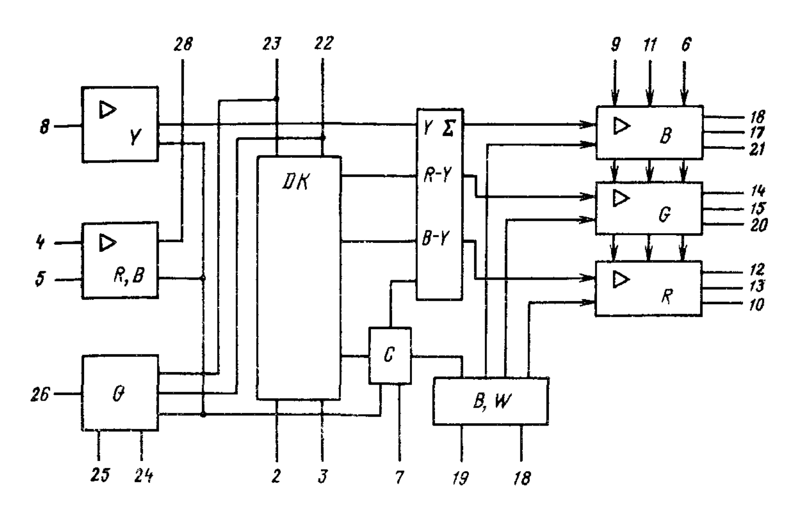


Рис. 5.81. Микросхема КР1021ХА4:

Выводы: 2 — фиксация напряжения детектора уровня; 3 — фиксация уровня пикового детектора; 4 — вход сигнала цветности; 5 — регулировка насыщенности; 6 — регулировка контрастности, 7 — импульсы гашения и синхронизации; 8 — вход сигнала яркости; 10, 19—21 — фиксация уровня «черного»; 11 — регулировка яркости, 12—17 — входы управления; 18 — информация о тепловом токе; 22, 23 — выходы линии задержки, 24, 25 — подстройка фазы; 26 — опорная частота; 28 — вход линии задержки

Таблица 5.12

Тип микросхем	$U_{\text{ип}}$, В	$I_{\text{пот}}$, мА	$U_{\text{ком}}$, В	$I_{\text{ком}}$, мА	Число каналов	Номер рисунка
К1106ХП1	30	3	33	5	6	5.76
К1106ХП2	30	3	33	5	8	5.77
К1106ХП3	30	3	33	5	8	5.78
К1003КН1	12	9,5	28	—	4	5.79
К1003КН2	12	9,5	28	—	4	5.79
К1003КН3	30	18	15	—	4	5.80

та микросхем К1021 является БИС КР1021ХА4 (рис. 5.81), содержащая 1448 элементов — декодер для стандартных цветных телевизионных систем ПАЛ или НТСЦ, которая при совместной работе с микросхемой-декодером СЕКАМ/ПАЛ на КР1021ХА3 (рис. 5.82) позволяет обрабатывать телевизионный сигнал, закодированный по стандарту НТСЦ. В комплект входит микросхема КР1021ХА1 (рис 5.83), содержащая 1041 элемент на кристалле, выполняющая функции процессора синхронизации работы всех узлов телевизионного приемника. На рис. 5.84 приведена схема совместного включения микросхем КР1021ХА2 и К1021ХА5 для осуществления кадро-

Тип микросхем	Функциональное назначение	$I_{пот}$, мА	$U_{вых}$, В
КР1021УР1	УПЧИ	35...70	2,2... 3,2
КР1021ХА1	Управление строчной разверткой	20	—
КР1021ХА2	Процессор синхронизации управления кадровой разверткой	10	3,2...5
КР1021ХА3	Процессор СЕКАМ/ПАЛ	50...100	10,3
КР1021ХА4	Декодер систем ПАЛ или НТСЦ	130	8,2
К1021ХА5	Схема кадровой развертки	12	4

Тип микросхем	$U_{ип}$, В	$I_{пот}$, мА	$U_{вых}$, В
К157ХА1	5±10 %	3,3	—
К157ХА2	5±10 %	4	3...4,5*
К157ХА3	9^{+10}_{-20} %	8	3,5...4***
К157УН1	12±10 %	5 (6)	2,2
К157УП1, К157УП2	12±10 %	5...9,5	1,6
К157УЛ1	9±10 %	2,5...5,5	1,3
К157ДА1	±15±10 %	1,6	9
К157ХП1	+15±10 %	8,5	5...10*4
К157ХП2	15±10 %	—	11,3...12,7

* По выходу АРУ.
** Чувствительность, мкВ.
*** По выходу стабилизатора.
*4 Предварительного усилителя.

Таблица 5.13

$U_{вх}$, мВ	$f_{вх}$, МГц	Примечание	Номер рисунка
10	38	$U_{вых\ пост}$ = 5,7...6,3 В; $U_{АРУ}$ = 3... ...70 мВ; $U_{выклАПЧ}$ ⩽3,5 В	5.85
—	0,02	U_9 = 8,6...10 В; U_{10}⩽8,9 В; U_4 = = 4,5...5,6 В; U_5 = 3...4,5 В; U_6 = = ±0,2...±1 В; U_7 = 6,1 В; $U_{ост}$ = =0,5 В	5.83
2 В	—	U^0_{13} = 0,5 В; U^I_{13} = 11 В; $t_{зд}$ = 4,5... ...5,3 мкс	5.84
—	—	$U_{пост\ 23\ 24}$ = 5,1...5,6; U_6 = 9,5...10,5	5.82
—	5	U_3 = 4,5 В; $U_г$ = 1,1 В; $U^0_{вх9}$ ⩽0,4; $U^I_{вх9}$ ⩾ 0,9	5.81
—	0,045	$U_{ост}$⩽3,0; K_{yU}=36 дБ; $U_{ип}$ = 10... ...40 В	5.84

Таблица 5.14

$I_{вых}$, мА	K_{yU}	$K_г$, %	$f_в$, кГц
—	150...350	—	25 МГц
—	9...30**	5	—
14...40	—	—	—
—	15...50	5	0,05...1,5
—	100...165	0,2 (0,3)	50
—	$8 \cdot 10^3$... 13 10^3	0,2	—
2,5—6	7...10	—	100
10*4	4,7...5,3	0,5	—
—	—	—	—

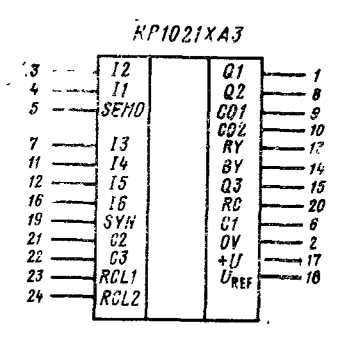


Рис. 5.82. Микросхема КР1021ХА3:

Выводы: 1 — выход обратной связи; 2 — общий; 3 — второй вход усилителя ограничителя; 4 — первый вход усилителя-ограничителя; 5—вход выбора режима опознавания и режима введения уровня «черного»; 6 — вывод для подключения запоминающего конденсатора схемы опознавания ПАЛ/СЕКАМ; 7 — вход сигнала удвоенной частоты поднесущей в системе ПАЛ; 8 — выход сигналов цветности; 9, 10 — входы-выходы управления делителем частоты в режиме ФАП; 11 — вход сигналов цветности; 12 — вход задержанных сигналов цветности; 13, 14 — выход сигналов цветности ПАЛ/СЕКАМ; 15 — выход сигнала яркости; 16 — вход видеосигналов; 17 — плюс 12 В; 18 — питание цепей смещения; 19 — вход пьедестальных импульсов синхронизации; 20 — частотная коррекция

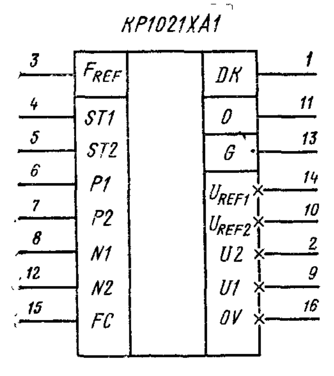


Рис. 5.83. Микросхема КР1021ХА1:

Выводы: 1 — выход фазового детектора: 2 — вход импульса обратного хода; 3 — вход опорной частоты; 4 — контрольный вход повторного пуска; 5 — медленный пуск; 6 — вход тактовой защиты; 7 — вход защиты от перенапряжения; 8 — вход напряжения обратной связи; 9 — плюс $U_{ИП}$ 10 — опорное напряжение; 11 — выход; 12 — вход ограничения максимального коэффициента заполнения; 13 — установка режима работы осциллятора; 14 — опорное напряжение фазы реактивного сопротивления; 15 — вход фазы реактивного сопротивления; 16 — общий

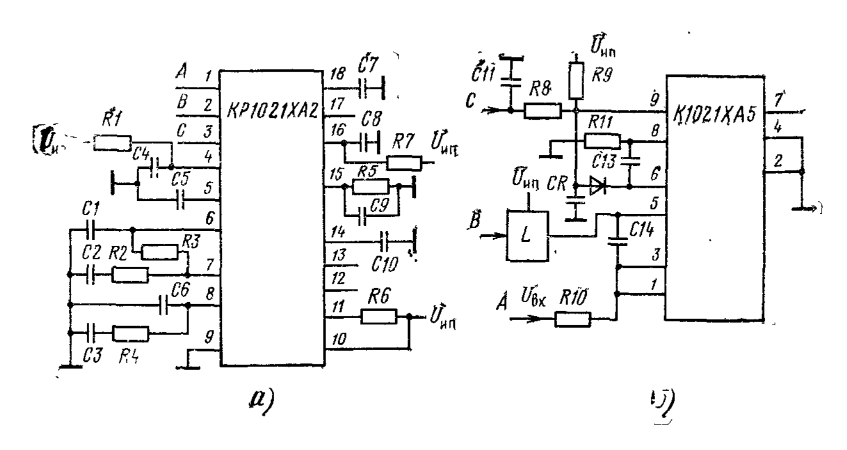
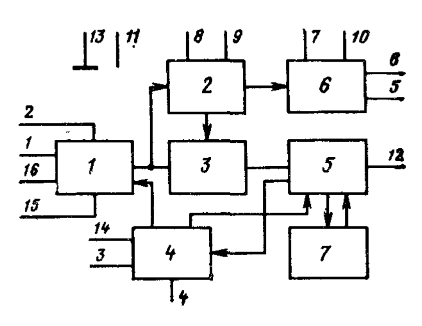


Рис. 5.85. Микросхема КР1021УР1:

1 — УВЧ; 2 — формирователь опорного сигнала; 3 — синхронный детектор видеосигнала; 4 — детектор и усилитель АРУ, инвертор «черных точек»; 5 — усилитель видеосигнала; 6 — синхронный детектор и усилитель АПЧ; 7 — инвертор «белых точек»

Выводы: 1, 16 — вход; 2, 15 — развязывающий конденсатор; 3 — подстройка АРУ; 4 — выход АРУ; 5 — выход АПЧ; 6, 14 — блокировка; 7, 10 — фазосдвигающий контур; 11 — плюс 1,2 В; 12 — выход видеосигнала; 13 — подстройка АРУ



вой развертки. Микросхема К1021ХА5 имеет мощный оконечный каскад для управления отклоняющими катушками. Многофункциональная аналоговая микросхема КР1021ХА1 служит для управления мощными ключевыми схемами, питающими отклоняющие системы строчной развертки с собственной частотой генерации f_0=14 844...16.094 Гц и граничной частотой полосы захвата f_1=15 625±650 Гц. Усилитель промежуточной частоты КР1021УР1 (рис. 5.85) обладает чувствительностью по цепи АРУ⩽100 мкВ. В состав комплекта входит усилитель К1021УН1 с выходной мощностью Р⩾2,5 Вт при $К_г$=10 %.

5.5.2. Микросхемы для радиоприемников и магнитофонов

Применение микросхем в схемах радиоприемников и магнитофонов значительно расширило номенклатуру этих изделий массового потребления. В настоящее время микросхемы применяются в портативных, переносных и автомобильных приемниках и магнитолах. На базе микросхем выпускаются устройства с высококачественным звучанием и большой функциональной насыщенностью.

В табл. 5.14 приведены электрические параметры микросхем серии К157, предназначенных для построения узлов стереофонических магнитофонов и приемоусилительных устройств. Микросхемы выполнены методом полупроводниковой технологии на основе биполяр-

←

Рис. 5.84. Микросхемы КР1021ХА2 и К1021ХА5:

L — отклоняющая система ОС-90, 29ПЦ32.

Выводы: КР1021ХА2: 1 — выход сигнала управления кадровой разверткой; 2 — вход сигнала обратной связи кадровой развертки; 3 — времязадающая цепь генератора линейно изменяющегося напряжения; 4 — коррекция селектора кадровых импульсов; 5 — вход видеосигнала; 6, 7 — цепь коррекции селектора синхроимпульсов; 8 — коррекция фазового детектора; 9 — общий; 10 — плюс $U_{пи}$; 11 — выход запуска строчной развертки; 12 — обратный ход строчной развертки; 13 — детектор 60/50 Гц и видеосигнал; 14 — коррекция фазового детектора; 15 — временная цепь генератора строчной развертки; 16 — выходной каскад строчной развертки; 17 — строб цветовой поднесущей; 18 — коррекция детектора совпадения. К1021ХА5. 1 — вход сигнала управления кадровой разверткой; 2. 4 — общий; 3 — обратная связь; 5 — выход; 6—8 — цепь повышения напряжения; 9 — плюс $U_{ип}$

Тип микросхем	$U_{вх мин}$, мкВ	$U_{вых}$, мВ	$К_г$, %	$f_{вх}$, МГц
К174ХА2	20	60	10	1
К174ХА3	10^4	$2 \cdot 10^3$	0,5	10^{-3}*
К174ХА6	60	160	1,0	10,7*
К174ХА10	50	30	5	—
К174ХА12	—	—	—	—
К174ХА14	—	200—300	0,7	—
К174ХА19	—	6,0	—	—
К174УР3	100	100	2	—
К174УР8	155	45	—	38*
174УР9	100	95...500	—	—
К174УР7	70	90	—	30.25*
К174ХА15	10^3	—	—	69*
К174ПС1	$2,5 \cdot 10^3$	300	—	100

* Частота измерения.
** При $U_{вх2}=U_{вх3}$; $U_{вх2}=51,7$ мВ; $U_{вых}=4.8...7,2$ В.

ных транзисторов. Микросхема К157ХА1 используется для построения усилителей высокой частоты (УВЧ) с возможностью преобразования сигнала в промежуточную частоту. Микросхема представляет собой дифференциальный усилитель (рис. 5.86, *а*) без коллекторных нагрузок. На вывод 1 поступает ВЧ сигнал, который усиливается дифференциальным усилителем. На вывод 5 подается частота гетеродина, генерируемая внешним резонансным контуром и транзисторами микросхемы (рис. 5.86, *б*).

Микросхема К157ХА2 предназначена для построения трактов УПЧ с АРУ. Усиление регулируется с помощью цепи ООС с выхода усилителя на вывод 4. На рис. 5.87 приведена схема включения К157ХА2, которая на частоте 465 кГц имеет чувствительность 9... 30 мкВ, динамический диапазон $\Delta U_{АРУ} \geqslant 120$ и $К_г$ не более 5 %.

Микросхема К157УН1 — усилитель низкой частоты с выходным напряжением до 3 В; для подсоединения динамика требуется усилитель мощности. Схема включения микросхемы приведена на рис. 5.88.

Микросхемы К157УП1, К157УП2 — двухканальный микрофонный усилитель с двухканальным предварительным усилителем записи (рис. 5.89). Каждый канал состоит из микрофонного усилителя 1 с коэффициентом усиления 100...160, предварительного усилителя 2 с коэффициентом усиления 19,5...28 и схемы АРУ с коэффициентом передачи $К_п=0,92...1,08$.

Микросхема К157ХА3 — схема управления бесконтактным двигателем для кассетного магнитофона. Состоит из выпрямителя, стабилизатора, силового ключа и генератора (рис. 5.90).

Микросхема К157ДА1 — двухканальный двухполупериодный амплитудный детектор. Условное графическое обозначение приведено на рис. 5.91.

$I_{пот}$, мА	$U_{ип}$, В	Примечанне
16	9	$U_{вых} = 560$ мВ
15...30	15	K_{yU1} — 16...24; $K_{yU2} = 10...17$; $K_{yU3} = 480...720$; $K_{г2} = 1$ %; $K_{г3} = 10$ %; $U_{4,7} = 6{,}5...9{,}5$ В
16	12	$U_{вых2} = 130$ мВ
16	9	$U_{вых\ нч} = 1{,}5$ В; $K_{г\ нч} = 2$ %
13	12	$K_{п\ дбт} = 3$ дБ
22	12	
7,5	15	$U_{АПЧ} = 0...150$ мВ; $U_{упр} = 1{,}2$ В; $U_{сф} = 4$ В
12	6	$K_{осам} = 40$ дБ
25—60	12	$U_{вых\ пост} = 7{,}7...10{,}4$ В**; $\Delta U_{АРУ} = 60$ дБ
50	9	$U_{11} = 130$ мВ; $U_5 = 4—5$ В
0,7	±6	
30	9	$K_{yU} = 22$ дБ; $K_{ш} = 10$ дБ
2,5	—	$K_{ш} = 8$ дБ; $S_{прб} = 4{,}5$ мА/В

Микросхема К157УЛ1 — двухканальный усилитель воспроизведения (рис. 5.92) — имеет напряжение шумов по входу не более 0,3 мкВ для К157УЛ1А и 0,6 мкВ для К157УЛ1Б. Выводы 1 и 7 являются эмиттерами входных транзисторов, которые необходимо через резистор подключить к выводам 3 и 5 соответственно.

Микросхема К157ХП1 — двухканальная пороговая схема с элементами управления усиления. Каждый канал состоит из предварительного и индикаторного усилителей, а также схемы АРУ; микросхема содержит внутренний стабилизатор. Пример включения микросхемы показан на рис. 5.93, чувствительность схемы около 850 мкВ.

Микросхема К157ХП2 предназначена для построения стабилизатора напряжения ключевого типа (рис. 5.94, *а*), содержит схему управления, делитель для установки выходного напряжения стабилизатора и ключевые элементы. На рис. 5.94, *б* приведена схема ключевого элемента. Вывод 6 является входом, на который подается напряжение согласования с делителя, а выводы 8, 9 обеспечивают внешнее управление работой стабилизатора во времени.

Более сложные микросхемы позволяют создавать крупные блоки радиоаппаратуры. Например, микросхема К174ХА2 (рис. 5.95) обеспечивает усиление ВЧ-сигнала, преобразование и усиление сигнала на промежуточной частоте, а также глубокий диапазон АРУ и управление индикатором настройки. Если к микросхеме К174ХА2 добавить микросхему К174УР3 (рис. 5.96), осуществляющую детектирование сигнала на промежуточной частоте и предварительное усиление на низкой частоте, а также усилитель мощности, можно укомплектовать частотно-модулированный (ЧМ) радиоприемник второго и третьего класса. Параметры этих микросхем приведены в табл. 5.15. Для построения ЧМ тракта радиоприемников первого

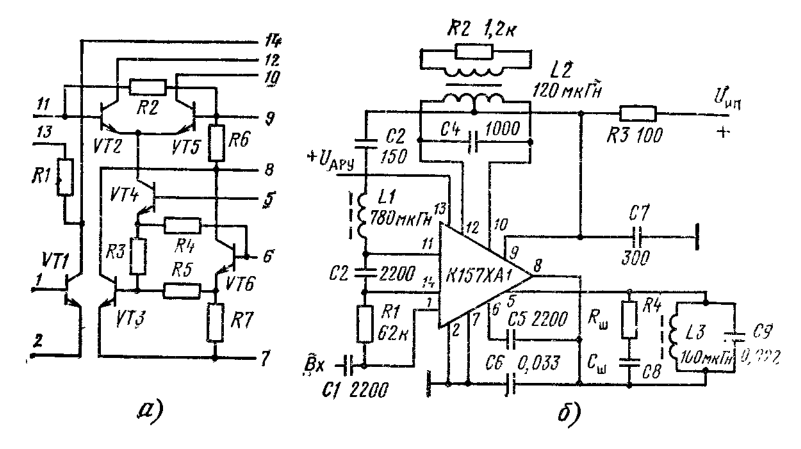


Рис. 5.86. Микросхема К157ХА1:

а — принципиальная электрическая схема; *б* — схема включения

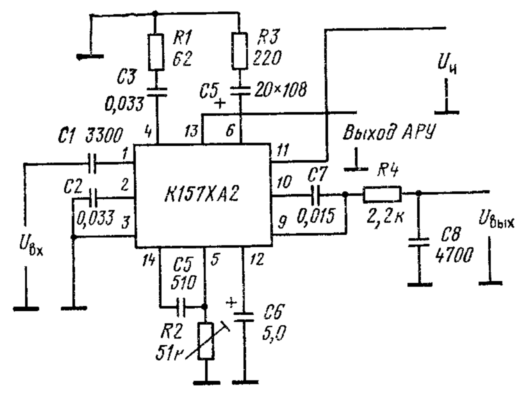


Рис. 5.87. Микросхема К157ХА2:

Выводы: 1 — вход 1; 2 — коррекция; 3 — общий; 4 — регулировка усиления, 5 — вход 2; 6, 10, 12 — коррекция; 9 — выход детектора, 11 — плюс $U_{ИП}$; 13 — выход АРУ; 14 — выход 1

и высшего классов используется микросхема К174ХА6 (рис. 5.97), состоящая из усилителя-ограничителя, синхронного демодулятора, предварительного УНЧ с электронной регулировкой усиления, узла бесшумной настройки и усилителя постоянного тока для управления индикатором настройки. Микросхема К174УР7 (5.98) — усилитель-ограничитель промежуточной частоты ЧМ-тракта с балансным детектором и предусилителем. Обеспечивает усиление сигнала в 10^3 раз на частоте 250 кГц. Для построения схем усилителей промежуточной частоты в радиоприемных устройствах со стереоканалом мож-

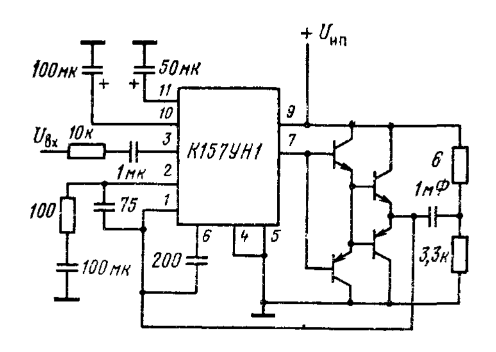


Рис. 5.88. Микросхема К157УН1

Выводы: 1 — обратная связь; 2 — регулировка усиления; 3 — вход; 4 — общий; 5, 11 — смещение; 6, 10 — коррекция; 7 — выход; 9 — плюс $U_{ип}$

Рис. 5.89. Микросхемы К157УП1, К157УП2:

1 — микрофонный усилитель, 2 — предварительный усилитель

Выводы 1 — вход предварительного усилителя записи 1; 2 — выход микрофонного усилителя 1; 3 — входы микрофонного усилителя 1; 4 — общий 1; 5 — общий 2, 7 — выход микрофонного усилителя записи 2; 8 — вход предварительного усилителя записи 2; 9 — выход предварительного усилителя записи 2; 10 — выход для АРУ 2; 11 — плюс $U_{ип}$; 12 — выход для АРУ 1; 13 — выход предварительного усилителя записи

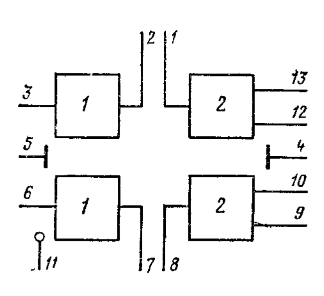
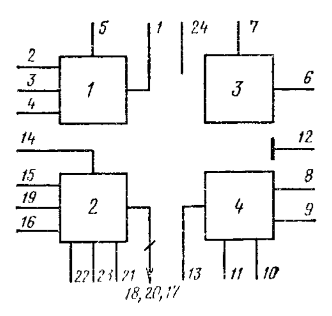


Рис. 5.90 Микросхема К157ХА3:

1 — предварительный усилитель; 2 — силовой ключ 3 — стабилизатор; 4 — генератор

Выводы. 1, 6, 8, 9, 17, 18, 20 — выходы; 2—4, 14—16, 19 — входы; 5, 7, 13, 21—23 — корректирующие входы; 10, 11 — обратная связь; 12 — общий; 24 — плюс $U_{ип}$



но применить микросхему К174УР8 (рис. 5.99) — усилитель промежуточной частоты звука в квазипараллельном канале.

Микросхема К174УР9 содержит усилитель промежуточной частоты 1, синхронный детектор 2, систему АРУ 3, блок автоподстройки частоты 4 и видеоусилитель 5 (рис. 5.100).

Для преобразования частоты УКВ диапазона можно использо-

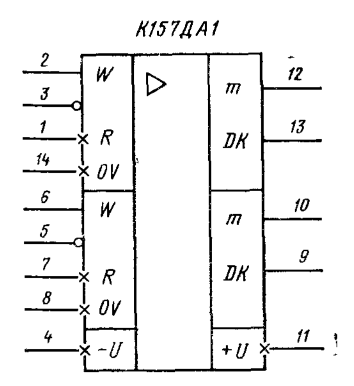


Рис. 5.91. Микросхема К157ДА1:

R — средняя точка делителя; DK— выход детектора для соединения с общей шиной

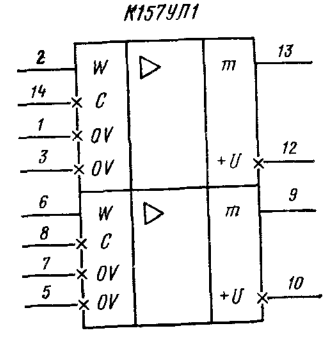


Рис. 5.92. Микросхема К157УЛ1

вать микросхему К174ПС1 — двойной балансный перемножитель функций (рис. 5.101). Эта микросхема содержит два канала логарифмирующего преобразования входных сигналов X и Y (рабочая частота до 100 МГц) и суммирующего обратного преобразователя Z,

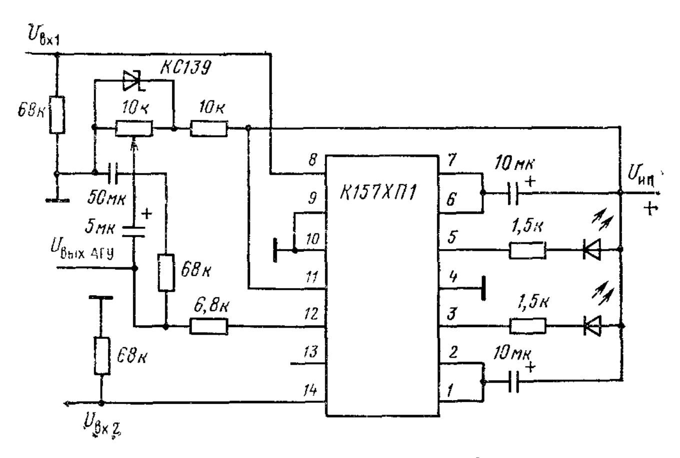


Рис. 5.93. Микросхема К157ХП1:

Выводы: 1 — выход предварительного усилителя 1; 2 — вход индикаторного усилителя 1; 3 — выход индикаторного усилителя 1; 9, 4 — общий; 5 — выход индикаторного усилителя 2; 6 — вход индикаторного усилителя 2; 7 — выход предварительного усилителя 2; 10 — неинвертирующий выход АРУ; 11 — плюс $U_{ип}$; 12 — инвертирующий выход АРУ; 13 — выход опорного напряжения, 14 — вход предварительного усилителя 1

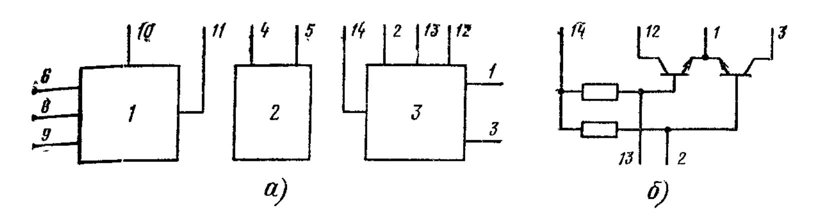


Рис. 5.94. Микросхема К157ХП2:

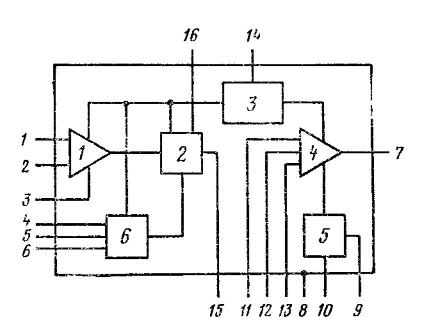
а — структурная схема: 1 — схема управления; 2 — делитель; 3 — ключевой элемент

Выводы: 4, 5 — делитель; 6 — вход напряжения делителя; 8 — внешнее прерывание; 9 — схема опорного элемента; 10 — вход внешнего стабилизируемого напряжения; 11 — выход схемы управления; *б* — ключевой элемент

Рис. 5.95. Микросхема К174ХА2:

1 — УВЧ; 2 — смеситель; 3 — источник опорного напряжения; 4 — УПЧ; 5 — УПТ; 6 — фильтр

Выводы: 1, 2 — входы УВЧ; 3 — коррекция УВЧ; 4—6 — подключение гетеродина; 7 — выход УПЧ; 8 — общий; 9 — вход УПТ; 10 — выход УПТ; 11, 12 — входы УПЧ; 13 — ООСУПЧ; 14 — плюс $U_{ип}$; 15, 16 — выходы смесителя



позволяющего получать на выходе напряжение до 300 мВ, пропорциональное произведению напряжений входных сигналов. Схема имеет внутренний стабилизатор напряжения питания. Величины L1 и C2 выбирают в зависимости от частоты; выводы 10 и 12 могут быть соединены через резисторы с выводом 14 для увеличения крутизны преобразования.

Для декодирования стереосигналов с полярной модуляцией предназначена микросхема стереодекодера К174ХА14 (рис. 5.102). Микросхема обеспечивает переходное затухание между каналами до 32 дБ, разбаланс между ними не более 3 дБ.

При разработке микросхем для ВЧ-селективных устройств оказалось удобным использовать принципы ФАПЧ. Разработка таких

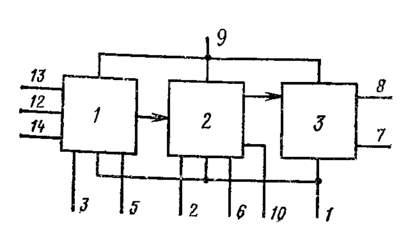


Рис. 5.96. Микросхема К174УР3:

1 — усилитель-ограничитель; 2 — частотный детектор; 3 — УНЧ

Выводы: 1 — общий, 2, 6 — фазосдвигающие контуры; 3, 5 — выходы ВЧ; 7 — коррекция УНЧ; 8 — выход; 9 — плюс $U_{ип}$; 10 — выход НЧ детектора; 12, 13 — входы; 14 — обратная связь по напряжению

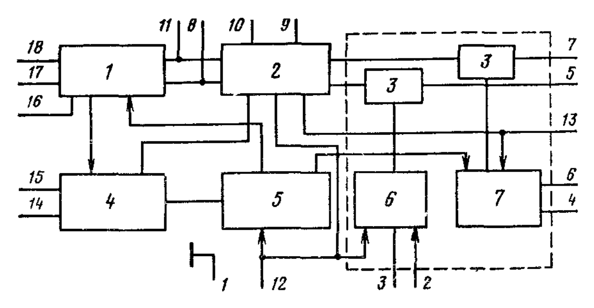


Рис. 5.97. Микросхема К174ХА6:

1 — усилитель-ограничитель; 2 — частотный детектор; 3 — ключевые схемы; 4 — детектор уровня; 5 — стабилизатор; 6 — усилитель; 7 — триггер. Выводы. 1, 18 — фазосдвигающие контуры; 2, 17 — выходы ПЧ. 3 — плюс $U_{\text{пп}}$; 4 — вход блока детектора уровня; 5 — выход на индикатор; 6 — выход блока детектора уровня; 7, 8 — блокировка; 9 — вход ПЧ; 10 — общий; 11 — отключение АПЧ; 12 — RC-фильтр; 13, 15 — ФНЧ; 14 — выход АПЧ

Рис. 5.98. Микросхема К174УР7

микросхем является в настоящее время одним из перспективных направлений совершенствования радиоприемных устройств, что позволит уменьшить число катушек индуктивности.

Одной из микросхем, реализующих принцип ФАПЧ, является К174ХА12 (рис. 5.103). Она имеет типовую структуру для микросхем этого класса. Микросхема содержит два фазовых детектора (ФД), основу которых составляет схема аналогового перемножителя. Выходной сигнал одного из ФД пропорционален произведению входного ЧМ сигнала, поступающего на входы 12 и 13, и сигнала, поступающего с генератора, управляемого напряжением (ГУН). Второй ФД (вход 5) используется в схемах демодуляции амплитудно-модулированных (АМ) сигналов.

Генератор, управляемый напряжением, содержит схему автоколебательного мультивибратора, эмиттеры транзисторов которого связаны между собой через внешний времязадающий конденсатор, подключаемый к выводам 2 и 3. Изменяя номинал внешнего конденсатора от 10^9 до 10 мФ, можно устанавливать частоту собственных колебаний ГУН в диапазоне $0...10^7$ Гц. На вывод 6 подается

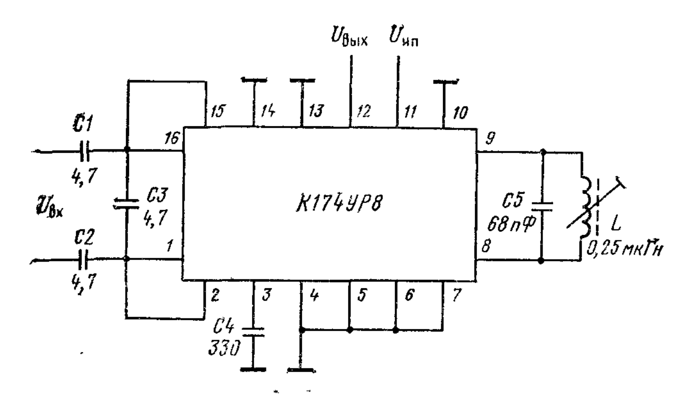


Рис. 5.99. Микросхема К174УР8:

Выводы: 1, 16 — вход ПЧ; 2, 15 — обратная связь; 3 — фильтр АРУ; 8, 9 — опорные контуры; 11 — плюс $U_{ип}$; 12 — выход к фильтру выделения второй промежуточной частоты, 13 — общий

управляющий ток 0...10 мА для электронной подстройки частоты генератора в пределах ±30 %. Вывод 7 используется аналогичным способом для электронной регулировки полосы удержания.

Фильтр нижних частот (ФНЧ) обеспечивает необходимую полосу захвата подключением внешних элементов к выводам 14 и 15. Емкость подключаемого конденсатора (в микрофарадах) можно определить по формуле $C=26{,}3/\Delta f$, где Δf, Гц, — необходимая полоса захвата.

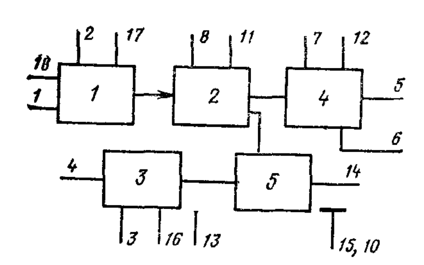


Рис. 5.100. Микросхема К174УР9:

Выводы: 1 — вход 1; 2, 17 — блокировка; 3 — задержка АРУ; 4 — выход АРУ; 5 — выход автоматической подстройки частоты (АПЧ); 7, 12 — контур АПЧ; 8, 11 — контур синхронного детектора; 10, 15 — общий; 13 — плюс $U_{ип}$; 14 — выход; 16 — фильтр АРУ; 18 — вход 2

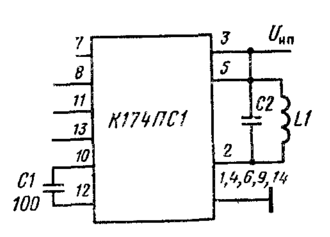


Рис. 5.101. Микросхема К174ПС1:

Выводы: 1, 4, 6, 9, 14 — общий; 2, 3 — выходы ПЧ; 5 — $U_{ип}$; 7, 8 — входы; 10, 12 — коррекция; 11, 13 — входы

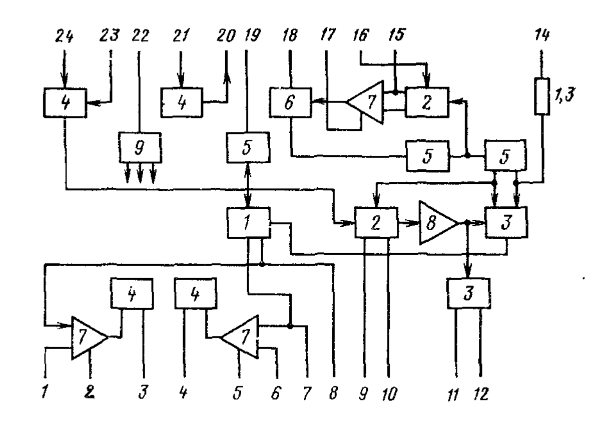


Рис. 5.102. Микросхема К174ХА14:

1 — декодор; 2 — фазовый детектор; 3 — переключатель; 4 — электронный преобразователь; 5 — делитель частоты; 6 — генератор, управляемый напряжением; 7 — усилитель; 8 — компаратор; 9 — блок стабилизации питания
Выводы: 1, 6 — корректирующий фильтр ВЧ; 2 — коррекция усилителя В; 3 — выход В; 4 — выход А; 5 — коррекция усилителя А; 7, 8 — фильтры (50 мкс); 9, 10 — фильтры переключателя; 11 — переключатель «стерео»; 12 — корпус; 14 — контроль частоты 31, 25 кГц; 15—17 — фильтры; 18 — подстройка частоты ГУН; 19 — выход квадратора; 20—24 — фильтры НЧ; 21 — вход контроля комплексного стереосигнала; 22 — плюс $U_{ип}$; 23 — баланс квадратора

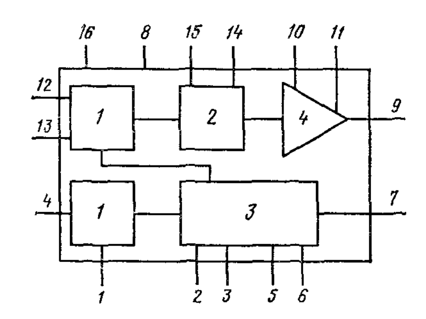


Рис. 5.103. Микросхема К174ХА12:

1 — фазовый детектор; 2 — фильтр НЧ; 3 — ГУН; 4 — УПТ
Выводы: 1 — выходы НЧ (АМ) 2, 3 — регулировка частоты ГУН, 4 — вход АМ; 5 — выход ГУН; 6 — подстройка частоты ГУН; 7 — регулировка полосы удержания; 8 — общий; 9 — выход НЧ (ЧМ); 10 — выход ФНЧ; 11 — $U_{см}$; 12 — вход ВЧ1; 13 — вход ВЧ2; 14, 15 — выходы ФНЧ; 16 — плюс $U_{ип}$

Микросхема К174ХА12 имеет на выходе УНЧ на основе дифференциального усилителя (ДУ) и эмиттерного повторителя и может применяться в синтезаторах частот, следящих фильтрах, устройствах регулировки и управления скоростью двигателя. Подключив кварц к выводам 2 и 3, можно с помощью этой микросхемы получить кварцевый генератор, выходное напряжение которого снимается с вывода 5. При этом нагрузку необходимо подключать через последовательно соединенные конденсатор емкостью 0,1 мкФ и резистор сопротивлением 1 кОм. Микросхема используется также в схемах модемов

На рис. 5.104 приведена схема включения микросхемы К174ХА19 предназначенной для формирования стабилизированного управляю-

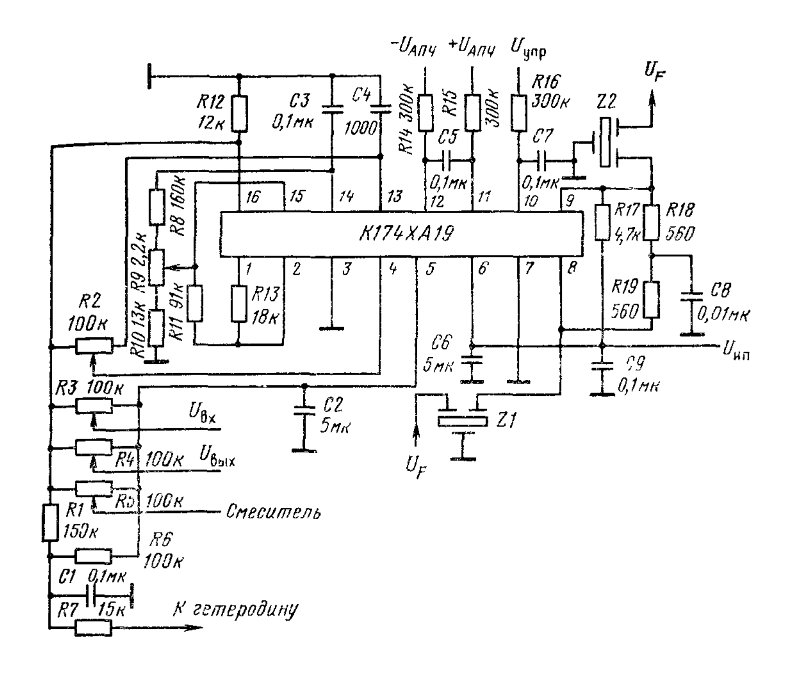


Рис 5.104 Микросхема К174ХА19:

Выводы: 1, 16 — регулировка $U_{выхмин}$; 2 — термокомпенсация; 3 — минус $U_{ип}$; 4 — вход буферного каскада; 5 — $U_{выхном}$; 6 — плюс $U_{ип}$; 7 — эмиттер; 8 — база; 9 — коллектор; 10 — $U_{упр}$; 11, 12 — вход АПЧ; 13 — $U_{выхмакс}$; 14, 15 — регулировка $U_{выхмакс}$

щего напряжения настройки и обработки сигнала автоподстройки частоты в блоках УКВ радиоприемных устройств, Z1 и Z2 — фильтры ПЧ.

Дальнейшее усовершенствование полупроводниковых микросхем повышением степени интеграции и расширением функциональных возможностей открывает перспективы изготовления в едином технологическом цикле функциональных узлов аппаратуры связи. Примером сказанного может служить микросхема К174ХА10 (рис. 5.105), представляющая собой многофункциональную схему для построения однокристального супергетеродинного радиоприемника. При относительно небольшом числе навесных элементов микросхема обеспечивает усиление ВЧ, ПЧ сигналов, преобразование частоты, демодуляцию сигналов АМ и ЧМ, а также воспроизведение сигналов звуковой частоты в диапазоне 20 Гц...25 кГц и выходную мощность до 0,7 Вт. Еще одним примером является многофункциональная схема для УКВ блоков радиоприемников типа К174Х415 (рис. 5.106). Она содержит усилитель высокой частоты 1, смеситель 2, буферный усилитель 3, схему АРУ 4, гетеродин 5, фильтр НЧ и стабилизаторы 7. Микросхема

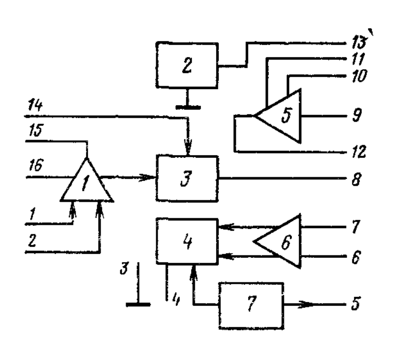


Рис. 5.105. Микросхема К174ХА10:
1 — УПЧ; 2 — стабилизатор; 3 — демодулятор; 4 — смеситель; 5 — УНЧ; 6 — УВЧ; 7 — гетеродин

Выводы: 1, 2 — входы УПЧ; 3, 11 — общий; 4 — выход смесителя; 5 — вывод контура гетеродина; 6, 7 — входы УВЧ; 8 — выход демодулятора; 9 — вход УНЧ; 10 — блокировка УНЧ; 12 — вход УНЧ; 13 — плюс $U_{нп}$; 14 — вход демодулятора; 15 — выход УПЧ; 16 — выход АПЧ и блокировка АРУ

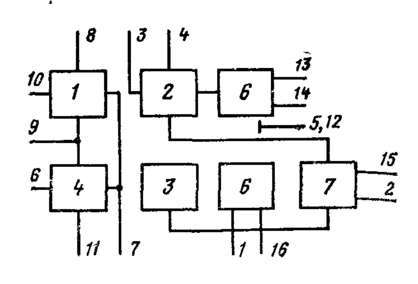


Рис. 5.106. Микросхема К174ХА15

Выводы: 1, 16 — контуры гетеродина; 2 — вход стабилизатора; 3, 4 — входы смесителя; 5, 12 — общий; 6 — вход АРУ; 7 — коррекция цепи АРУ; 8 — контур УВЧ; 9 — коррекция УВЧ; 10 — вход УВЧ; 11 — выход АРУ; 13, 14 — выходы ПЧ; 15 — плюс $U_{нп}$

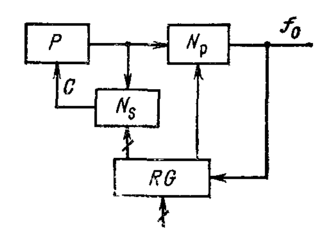
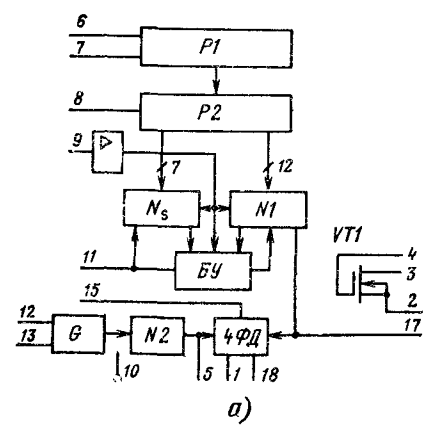
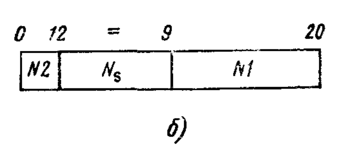


Рис. 5.107. Схема управления работой синтезатора частот





б)

Рис. 5.108. Микросхема КР1015ХК2:
а — структурная схема; *б* — командное слово

Выводы: 1 — индикация захвата; 2 — общий; 3, 4 — интегрирующие фильтры; 5 — отключение ЧФД; 6 — вход команды; 7 — синхроинзация; 8 — выход синхронизации; 9—вход ДПКД; 10 — плюс $U_{нп}$; 11 — выход на внешний делитель; 12, 13 — кварцевые резонатсры; 15 — выход опорного усилителя; 17 — выход ДПКД; 18 — выход ЧФД

позволяет строить тракты высокой и промежуточной частот, работающие на частоте входного сигнала до 70 МГц.

Последние достижения в области микроэлектроники обеспечивают создание новых типов бытовой РЭА с большими функциональными возможностями. Значительно расширено влияние цифровой элементной базы, все чаще используются цифровые устройства для расширения услуг, предоставляемых потребителям [10]. Функции цифровых устройств (ЦУ), входящих в состав радиоприемных устройств, в основном сводятся к определению параметров состояния узлов приемников и изменению состояний, если это необходимо, по определенной программе. Использование ЦУ в качестве центрального управляющего устройства позволяет реализовать цифровой контроль и управление фактически всеми функциями радио- и телевизионных приемников. С помощью ЦУ можно выполнять синтез частот, управление дисплеями, а также осуществлять выбор параметров: полосы пропускания, коэффициентов усиления трактов и их поддержание. На рис. 5.107 показана схема управления работой синтезатора частот (СЧ). Принцип управления заключается в том, что в цепь ФАПЧ включается цифровой делитель частоты, коэффициент деления которого меняется под действием управляющих сигналов.

Переменный делитель состоит из пересчитывающего устройства P, двух программных счетчиков $N_S=5$ бит и $N_P=10$ бит и регистра RG. В исходном состоянии в счетчики записываются определенные величины. Каждый импульс P изменяет содержимое счетчиков. Пока содержимое счетчика $N_S \neq 0$, сигнал C имеет высокий уровень и коэффициент деления $N=33$. При $N_S=0$ сигнал C переводит P в режим деления с $N=32$. Частота колебаний на выходе делителя $f_0 = f_G/N = f_G/N_S + 32\,N_P$. Так как $N_S=5$, а $N_P=10$, то $N_{макс}=32767$, а $N_{мин}=952$. Каждому значению частоты соответствуют свои значения N_S и N_P, которые в виде 15-разрядного слова записываются в регистр. При завершении одного цикла деления ($N_P=0$) данные из регистра перезаписываются в счетчики и цикл повторяется. Команда на перестройку частоты подается с пульта управления (клавиатуры).

На рис. 5.108, *а* приведена структурная схема микросхемы КР1015ХК2, предназначенной для управления частотой настройки радиоприемников. Микросхема содержит 20-разрядные приемный P1 и буферный P2 регистры, 12-разрядный двоичный делитель частоты N1 с переменным коэффициентом деления от 16 до 4095 с шагом, кратным единице (ДПКД), 7-разрядный поглощающий счетчик N_S, логический блок управления (БУ), опорный генератор G, опорный делитель N2 и частотно-фазовый дискриминатор (ЧФД). Микросхемы работают следующим образом [11]. В приемный регистр с помощью клавиатуры или от управляющего контроллера подается в последовательном коде информация о коэффициенте деления. Скорость ввода информации в двоичном коде может достигать до 50 кбит/с. Управление режимами работы микросхемы осуществляется с помощью командного слова (рис. 5.108, *б*). Блок управления по определенной программе путем последовательного приближения настраивает генератор на заданную частоту, после чего осуществляет автоматическое слежение за ней. Опорный генератор сформирован на транзисторе VT1, который переводится в линейный режим с помощью внешнего резистора. Внешние подстроечные конденсаторы обеспечивают устойчивую генерацию синусоидального сигнала на основной частоте. Опорный делитель преобразует синусоидальный сигнал в им-

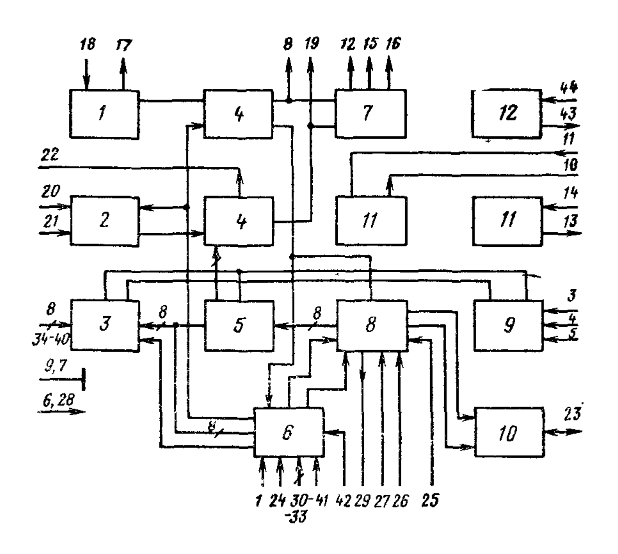


Рис. 5.109. Микросхема КА1508ХЛ1:

1 — генератор; 2 — переключатель УКВ/СВ; 3 — ОЗУ 8×8 бит; 4 — ДПКД; 5 — сканирующий счетчик; 6 — блок управления; 7 — фазовый детектор; 8 — регистр сканирующий; 9 — входной регистр; 10 — асинхронный генератор; 11 — выходной каскад; 12 — делитель на 2

Выводы: 1 — выбор диапазонов; 3 — сброс входного регистра; 4 — синхронизация; 5 — информационный вход; 6, 28 — плюс $U_{ип}$; 7, 9 — общий; 8 — выход делителя опорной частоты; 10, 11, 13, 14 — выводы мощных транзисторов; 12 15, 16 — выходы фазового детектора; 17, 18 — контуры генератора; 19 — выход ДПКД; 20 — вход внешнего генератора УКВ диапазона; 21 — вход внешнего генератора СВ-диапазона; 22 — выход управления схемой внешнего ДПКД; 23 — вход/выход асинхронного генератора; 24 — блокировка звукового сигнала; 25, 26 — входы захвата станций; 27 — сканирование вверх; 29 — сканирование вниз; 30 — управление записью в память; 31 — выход линии задержки; 32 — выход звуковой сигнализации; 33 — вход управления адресом; 34—40 — адресные входы; 41 — выход линии задержки; 42 — начальная установка; 43, 44 — счетчик-делитель на 2

пульсный и обеспечивает его деление на частотах до 10 МГц с коэффициентом деления 1024 и 2560. Частотно-фазовый дискриминатор сравнивает поступающие на его входы выходные импульсы делителей N1 и N2 и вырабатывает сигнал ошибки. Сигнал с выхода ЧФД подается на интегратор, выполненный на n-канальном транзисторе VT1, который формирует на своем выходе постоянное напряжение, соответствующее одной из синтезируемых частот. Второй выход ЧФД обеспечивает индикацию фазовой синхронизации в кольце ФАПЧ.

В микросхеме КР1015ХК3 опорный делитель имеет три фиксированных коэффициента деления: $K_1=1024$; $K_2=2560$, $K_3=5120$. Для получения коэффициентов деления K_1 и K_2 программным способом вывод 14 микросхемы присоединяется к выводу 10, а для реализации K_3 — к выводу 2. Частота кварцевого резонатора выбирается для группы А от 12 МГц до 20 кГц, а для группы Б — от 8 МГц до 20 мГц. Микросхемы КР1015ХК2 и КР1015ХК3 работают от источ-

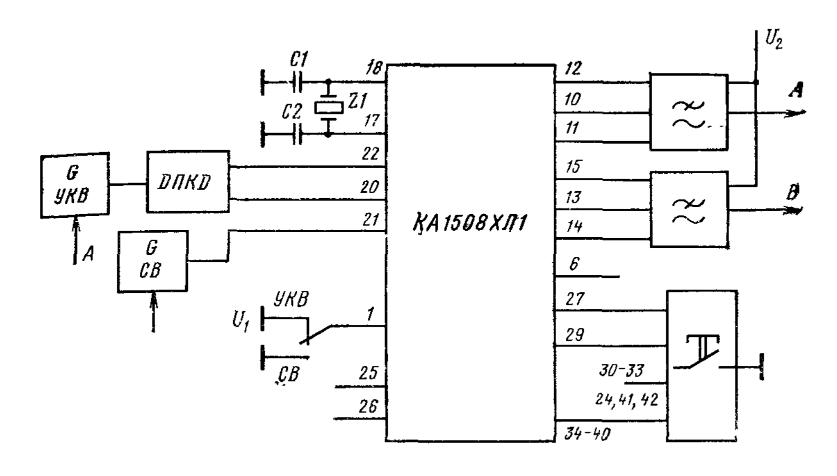


Рис. 5.110. Синтезатор частоты приемника УКВ и СВ программ на микросхеме КА1508ХЛ1

ника напряжения питания $U_{нп}=5\ В+10\ \%$ на частоте входного сигнала $f_{вх}=6$ МГц. Уровни управляющих напряжений $U^1_{вх}\geqslant 3{,}2$ В; $U^0_{вх}\leqslant 0{,}45$ В. Транзистор VT1 имеет напряжение сток/исток 16 В.

Микросхема КА1508ХЛ1 (рис. 5.109) обеспечивает автоматический поиск и настройку на частоту радиостанции, запоминание и смену частот семи радиостанций по выбору пользователя в каждом диапазоне. Микросхема вырабатывает звуковые сигналы различного тона и длительности, оповещающие о смене диапазона рабочих частот, достижении верхней и нижней границ диапазона.

Внешние управляющие сигналы, поступающие на делитель с переменным коэффициентом деления 4 со сканирующего счетчика 5, позволяют осуществлять сканирование диапазона приема с определенным шагом в ручном или автоматическом режиме. При настройке на станцию код, определяющий коэффициент делителя, записывается в ОЗУ 3 с последующим использованием для быстрой настройки, так как нет необходимости в последовательном подборе. Регистр входной информации предназначен для использования внешнего контроллера. На рис. 5.110 показан пример использования микросхемы КА1508ХЛ1 в СЧ приемника с СВ и УКВ диапазонами [11]. Для построения СЧ требуются перестраиваемые генераторы СВ и УКВ диапазонов, кварцевый резонатор и RC-фильтры. В УКВ диапазоне используется дополнительный делитель, имеющий коэффициент деления P или P+1 и большее быстродействие. При работе опорного генератора с частотой $f_0=3{,}6$ МГц диапазон изменения коэффициента деления N и шаг перестройки соответствуют табл. 5.16. Микросхема КА1508ХЛ2 имеет коэффициенты деления 108...231, 97...209, 649...797, 980...1190, а микросхема КА1508ХЛ4 — 109...232, 3820...4240, 3835... ...4870.

На рис. 5.111 приведена схема микропроцессорной системы управления радиовещательным приемником. Управление предусматри-

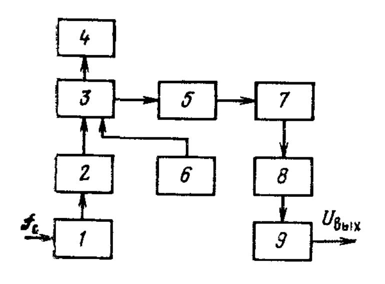


Рис. 5.111. Структурная схема микропроцессорной системы управления работой радиоприемных устройств:

1 — демодулятор; 2 — усилитель; 3 — МП; 4 — индикатор (дисплей); 5 — запоминающее устройство; 6 — тастатура; 7 — устройство синтеза цифрового сигнала; 8 — генератор импульсов; 9 — усилитель

Таблица 5.16

$f_{вх}$, кГц	Шаг перестройки, кГц	Коэффициент деления
9/10	9/10	109...232
25	100 (с внешним делителем 40/44)	764...830

вает запоминание нескольких десятков каналов с индикацией номера канала на дисплее и быстрой настройкой по каналам, позволяет осуществлять поиск и запоминание каналов.

В приемнике может быть организовано дистанционное управление. Сигналы дистанционного управления подаются через демодулятор и операционный усилитель на микропроцессор. Запоминающее устройство фиксирует требуемое число слов, соответствующих числу каналов. С выхода ЗУ информация поступает на устройство синтеза цифрового сигнала. Сигнал в цифровой форме подается на генератор и формирователь импульсов. С выхода генератора напряжение через усилитель подается на варикапы цепей настройки.

5.5.3. Усилители низкой частоты

Проектирование мощных полупроводниковых интегральных УНЧ связано с решением ряда схемотехнических, конструктивных и технологических задач. Во-первых, следует разработать экономичные выходные каскады с использованием мощных интегральных структур, причем каскад должен обеспечивать малые нелинейные искажения сигнала. Во-вторых, требуется получить на одном кристалле n-p-n и p-n-p структуры с высокой допустимой плотностью тока и повышенным значением коэффициента усиления, а также инжекционные n-p-n структуры с большими значениями коэффициента усиления. Далее необходимо оптимизировать технологию изготовления микросхем с мощными выходными структурами, чтобы получить большие допустимые токи 1...2 А и малое сопротивление тела коллектора при малой площади структуры. И наконец, надо разработать конструкцию микросхемы, обеспечивающую надежную работу и исключающую эффект саморазогрева.

В настоящее время создан ряд интегральных УНЧ, которые в за-

Таблица 5.17

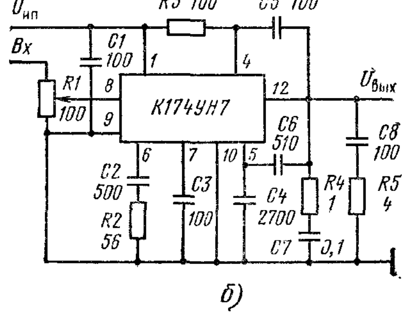
Тип микросхем	$U_{пп}$, В	$P_{вых}$, Вт	$K_г$, %	$f_н$, Гц	$f_в$, кГц	$I_{пот}$, мА
К174УН4А	9	1,4	2	30	20	10
К174УН4Б	9	1	2	30	20	10
К174УН5	12	2	1	30	20	30
К174УН7	15	4,5	2	40	20	20
К174УН8	12	2,4	2	40	20	15
К174УН9А	15	7	1	20	20	30
К174УН9Б	15	7	2	20	20	30
К174УН10А	15	—	0,2	20	20	40
К174УН10Б	15	—	0,5	20	20	40
К174УН11	±15	15	1	20	20	100
К174УН12	15	—	0,5	20	20	40
К174УН14	15	5,5	10	30	20	10...80
К174УН15	12	6	1	—	—	—
К174УН18	12	4	1	—	—	25
К174УН19	±15	15	10	—	—	16...56

висимости от типа радиоприемного устройства могут применяться в следущих вариантах: предварительный интегральный УНЧ и выходной каскад на дискретных компонентах, предварительный УНЧ и мощный интегральный УНЧ, а также мощная микросхема с достаточным коэффициентом усиления по напряжению (табл. 5.17).

Схема УНЧ К174УН7 (рис. 5.112) имеет выходную мощность 4,5 Вт. Входной каскад усилителя построен на составном p-n-p транзисторе (VT1, VT2), нагрузкой которого служит транзистор VT3. Предусилительный каскад выполнен на транзисторах VT7, VT8, VT10. С целью уменьшения нагрузки на входной каскад транзисторы VT7 и VT8 включены по схеме с общим коллектором. Нагрузкой транзистора VT10 является генератор тока на транзисторе VT9. Мощный выходной каскад построен на транзисторах VT14, VT16, VT11, VT17 и обеспечивает выходной ток 1 А. Ток смещения выходного транзистора VT10 определяется током, проходящим через транзистор VT9, и падением напряжения, возникающим на диоде VD3. Ток смещения выходного транзистора VT17 определяется током VT13 и падением напряжения, выделяющимся на «столбике» p-n переходов (VD4, VD5, VT15). На транзисторах VT4 и VT5 выполнена цепь стабилизации рабочей точки усилителя по постоянному току. К выводу 5 подключается внешняя цепь, корректирующая частотную характеристику на высоких частотах, а к выводу 6 — цепь обратной связи, которая служит для регулировки коэффициента усиления. Усилитель обеспечивает выходную мощность до 4,5 Вт на нагрузке 4 Ом при напряжении источника питания 15 В.

Трехкаскадный интегральный УНЧ К174УН9 позволяет получать выходную мощность до 7 Вт на нагрузке 4 Ом при напряжении источника питания 18 В (рис. 5.113). Усилитель низкой частоты К174УН9 имеет встроенное устройство стабилизации тока покоя транзисторов выходного каскада, что гарантирует высокую временную

а)



б)

Рис. 5.112. Усилитель мощности К174УН7:

а — принципиальная электрическая схема; *б* — схема включения

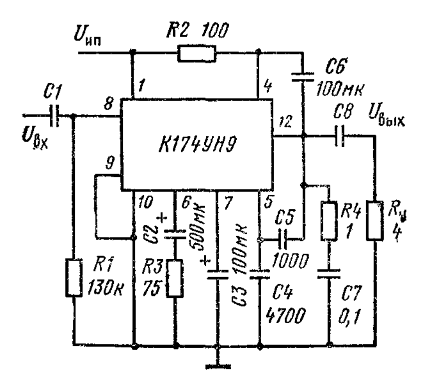


Рис. 5.113. Усилитель мощности К174УН9

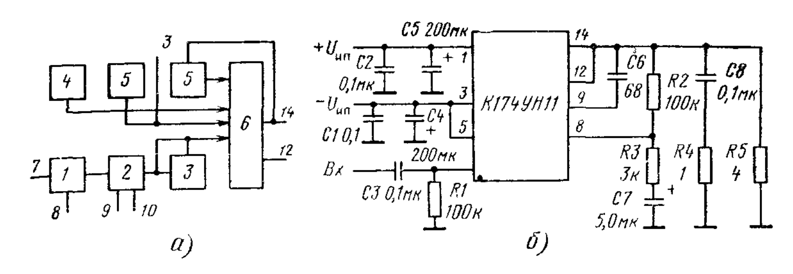


Рис. 5.114. Усилитель мощности К174УН11:

а — функциональная схема. 1 — предусилитель; 2 — УНЧ; 3 — схема защиты от перегрузки; 4 — стабилизатор; 5 — схемы защиты от короткого замыкания; 6 — усилитель мощности; *б* — основная схема включения

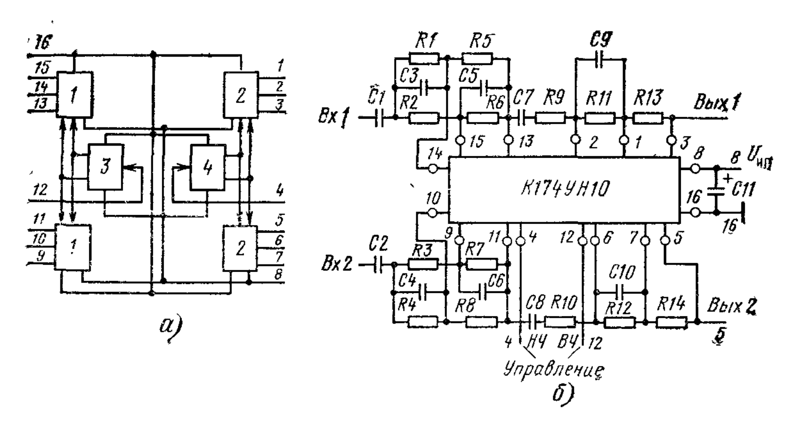


Рис. 5.115. Усилитель мощности К174УН10:

а — функциональная схема · 1 — усилитель-регулятор ВЧ-сигнала; 2 — усилитель-регулятор НЧ-сигнала; 3 — схема управления уровнем ВЧ-сигнала; 4 — схема управления уровнем НЧ-сигнала; *б* — схема включения.

Выводы: 1, 2 — входы первого НЧ-канала; 3 — выход первого канала; 4 — управление НЧ; 5 — выход второго канала; 6, 7 — входы второго НЧ-канала; 8 — плюс $U_{ип}$; 9, 16 — входы второго ВЧ-канала; 11 — выход второго ВЧ-канала; 12 — управление ВЧ; 13 — выход первого ВЧ-канала; 14, 15 — входы первого ВЧ-канала; 16 — минус $U_{ип}$

и температурную стабильность выходных параметров усилителя. Имеются также устройства защиты выходных транзисторов от короткого замыкания и кристалла от термоперегрузок, чем обеспечивается долговременная и высоконадежная работа микросхем. Хотя микросхема имеет внутренние схемы защиты от электрических и тепловых перегрузок, при построении конкретных УНЧ на основе микросхем К174УН9 необходимо ограничить ток нагрузки значением 1,8 А. Если

мощность, отдаваемая в нагрузку, превышает 300 мВт, микросхему следует снабдить дополнительным теплоотводом с эффективной поверхностью не менее 30 см².

Развитием и продолжением ряда мощных УНЧ является микросхема К174УН11 (рис. 5.114, *а*), функциональная схема которой аналогична предыдущей микросхеме К174УН9. Однако за счет применения дифференциального усилителя в качестве входного каскада УНЧ, двухтактного выходного усилителя и двухполярного напряжения питания (±15 В) характеристики УНЧ значительно улучшены. Например, обеспечена выходная мощность до 15 Вт на нагрузке 4 Ом, при этом коэффициент гармоник не превышает 1 %. Микросхема К174УН11 должна устанавливаться на теплоотводе, если мощность, отдаваемая в нагрузку, превышает 300 мВт. Эффективная поверхность пластин теплоотвода должна быть не менее 100 см². На рис. 5.114, *б* показана основная схема включения УНЧ К174УН11.

Для стереофонической бытовой радиоаппаратуры выпускаются двухканальные предварительные УНЧ, к которым можно подключать оконечные усилители мощности. Микросхема К174УН10 представляет собой двухканальный усилитель с электронной регулировкой частотной характеристики (рис. 5.115). Эта микросхема предназначена для построения двухканального регулятора тембра. Она содержит четыре усилителя-регулятора. Каждый усилитель-регулятор состоит из каскодного усилителя-перемножителя, который обеспечивает электронную регулировку частотной характеристики. На выходе регулятора работают два последовательно включенных эмиттерных повторителя. Этими схемотехническими приемами обеспечено высокое (не менее 60 дБ) отношение сигнал-шум при малом (не более 0,5 %) коэффициенте гармоник.

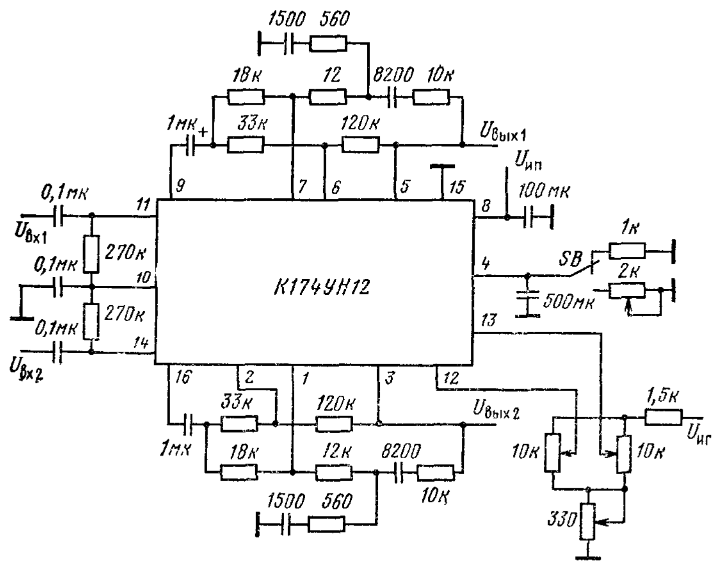


Рис. 5.116. Усилитель мощности К174УН12

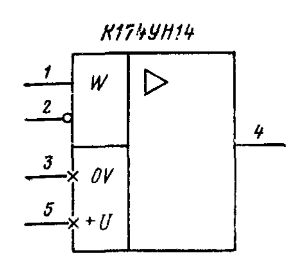


Рис. 5.117. Усилитель мощности К174УН14

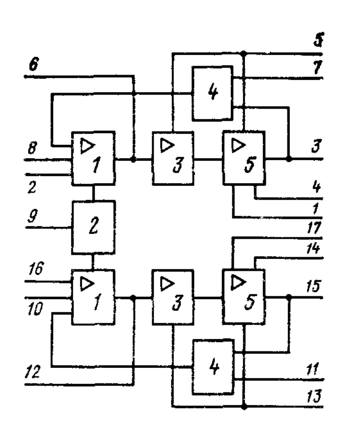


Рис. 5.118. Усилитель мощности К174УН15

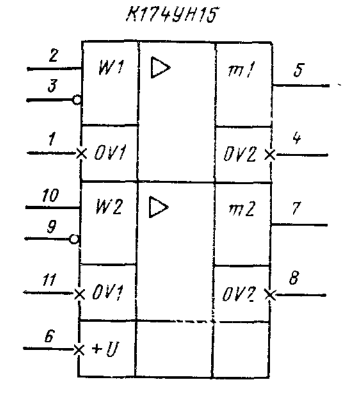


Рис. 5.119. Усилитель мощности К174УН18:

1 — предварительный усилитель; 2 — управляющий каскад, 3 — усилитель тока; 4 — тепловая защита; 5 — усилитель мощности

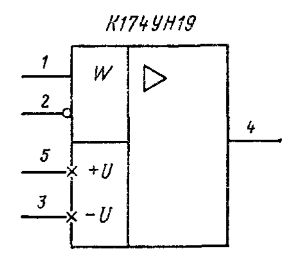


Рис. 5.120. Усилитель мощности К174УН19

Следующей (и по номеру в серии, и по месту в устройстве обработки сигнала звуковой частоты) является микросхема К174УН12 (рис. 5.116). Основу этой схемы также составляют каскодные усилители, построенные по схеме, приспособленной для компенсированных регулировок уровней громкости и баланса каналов в стереофонической аппаратуре. С помощью этой микросхемы получено отношение сигнал-шум более 52 дБ при коэффициенте гармоник менее 0,5 %.

Усилитель мощности типа К174УН14 (рис. 5.117) имеет чувствительность 20...50 мВ, максимальное выходное напряжение $U_{вых}=3{,}6...4{,}6$ В и коэффициент гармоник $K_г \leqslant 0{,}5$ при $P_{вых}=0{,}05...2{,}5$ Вт. На рис. 5.118 приведена основная схема включения двухканального усилителя мощности типа К174УН15, позволяющего развивать мощность $P_{вых} \geqslant 6$ Вт на нагрузке $R_н=2$ Ом и $K_{У_U} \geqslant 100$, а двухканаль-

ный усилитель мощности К174УН18 (рис. 5.119) имеет рассогласование стереоканалов по усилению не более 1 дБ, $K_{yU}=42...46$ дБ, $U_{ш}\leqslant$ $\leqslant 2$ мВ и обеспечивает на выходе напряжение $U_{вых}=2{,}5...4$ В при $U_{ип}=12$ В, $U_{вх}=20$ мВ и $R_{н}=4$ Ом.

Усилитель мощности низкой частоты К174УН19 (рис. 5.120) работает на частоте входного сигнала от 10 Гц до 30 кГц и обеспечивает нелинейность выходного напряжения не более 0,5 % при выходной мощности $P_{вых}=12$ Вт и $K_{yU}\geqslant 30$ дБ.

В качестве микрофонных и телефонных усилителей в радиоприемной аппаратуре, а также для усиления слабых сигналов различных датчиков применяются предварительные УНЧ, имеющие значительный коэффициент усиления ($K_{yU}\geqslant 1000$), малый коэффициент шума и хорошую линейность (табл. 5.18).

Таблица 5.18

Тип микросхем	$U_{вх}$, мкВ	$K_{yU}\times 10^3$	$K_г$, %	$U_{вх}$, мкВ ($U_{вых}$, В)	$I_{пот}$, мА	$U_{ип}$, В
К538УН1	1,2...0,85	100	0,1	$U_{ип}-3$	8	15
КР538УН3	5	0,3	—	0,5	5	6
К548УН1	0,7...1,6	50	0,1	($U_{ип}-3$)	15	12
К548УН3	1,5	4	—	(0,6)	—	1,3±15 %
К157УН1	—	—	5	15... 50 мВ	5	9
К174УН13	—	56 дБ	0,4	20 мВ	24	9
К1400УН1	1,5	5,5	1	20	1	4

Схема предварительного УНЧ К174УН3 (рис. 5.121) содержит двухкаскадный входной усилитель на транзисторах VT1 и VT2

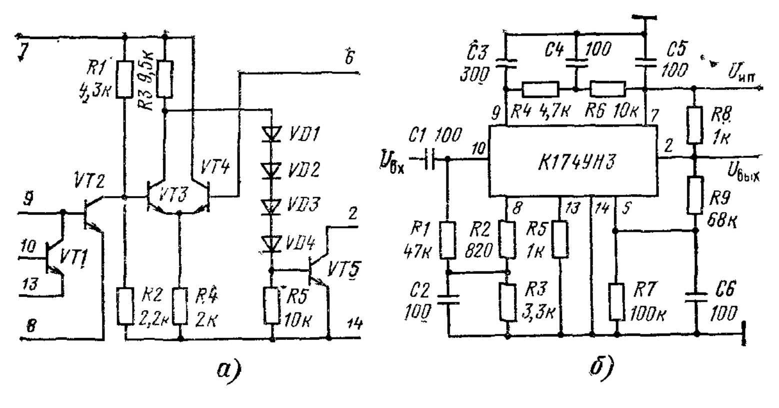


Рис. 5.121. Предварительный усилитель К174УН3:

а — принципиальная электрическая схема; *б* — схема включения

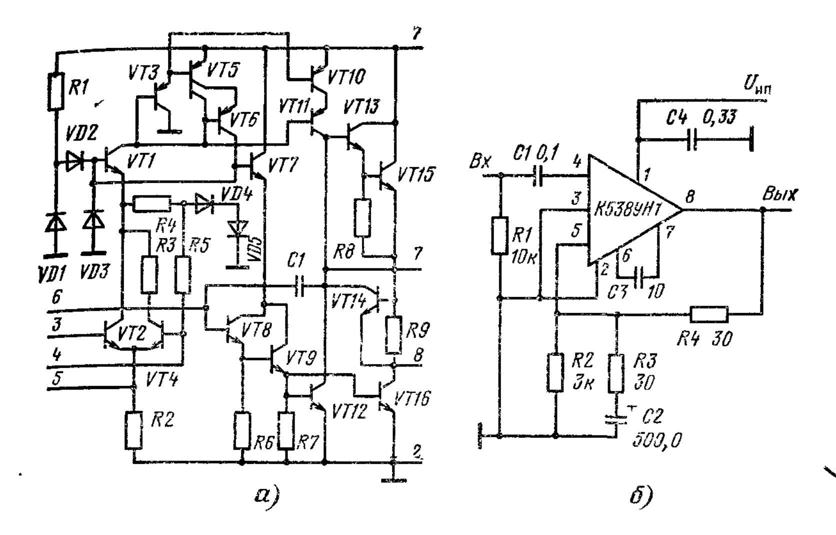


Рис. 5.122. Предварительный усилитель К538УН1:
а — принципиальная электрическая схема; *б* — схема включения

с внешними нагрузками и цепями смещения и двухкаскадный выходной усилитель на транзисторах VT3 и VT5. Схема предусматривает введение внешней обратной связи через транзистор VT4. Диоды VD1—VD4 служат для согласования уровня коллекторного напряжения транзистора VT3 и потенциала базы выходного транзистора по постоянному току.

Усилитель используется с большим числом навесных компонентов, определяющих его температурную стабильность, частотную характеристику и коэффициент усиления. При сопротивлении в цепи базы транзистора VT1 R=1 кОм приведенное ко входу напряжение шумов усилителя $U_ш$=1,5 мкВ в полосе частот 20 кГц.

Улучшение шумовых характеристик усилителей путем усовершенствования технологии и оптимизации выбора режимов работы транзисторов является основной проблемой развития этого направления универсальных схем. Примером предварительного усилителя с улучшенными характеристиками может служить усилитель типа К538УН1 (рис. 5.122). Двухкаскадная схема усилителя позволяет получить коэффициент усиления $K_{uU} \geqslant 10^5$. Входной каскад построен по дифференциальной схеме (VT2 и VT4). Напряжение питания на этот каскад поступает от эмиттерного повторителя VT1. Составной эмиттерный повторитель VT8 и VT9 служит для согласования входного и выходного каскадов. Ток этого эмиттерного повторителя определяется выходным потенциалом транзистора VT7. Транзистор VT12, активной нагрузкой которого являются транзисторы VT10 и VT11, инвертирует сигналы, поступающие с выхода составного эмиттерного повторителя. Выходной каскад, построенный на транзисторах VT13, VT15 и VT16, обладает хорошей линейностью и позволяет получить коэффициент гармоник $K_г \leqslant 0,1$ %. Транзистор VT14

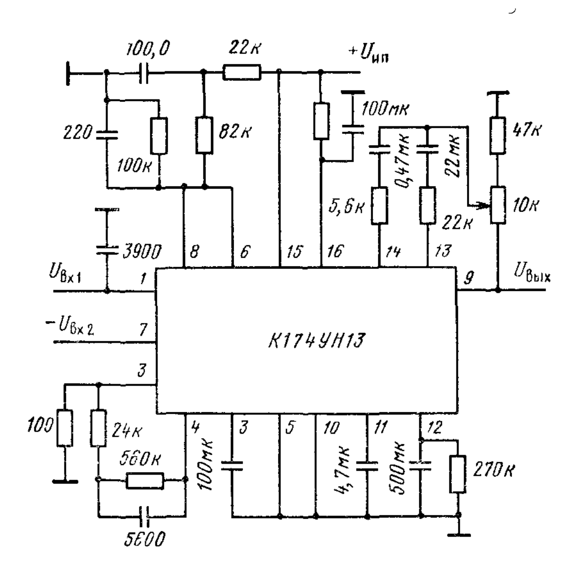


Рис. 5.123. Микросхема К174УН13

предназначен для защиты выходного каскада от перегрузки по току. Улучшение температурной стабильности и стабильности по напряжению питания достигается введением в схему стабилизатора напряжения, построенного на обратносмещенных диодах VD2 и VD3, которые также понижают напряжение коллектор — эмиттер транзисторов входного каскада. Для улучшения частотной характеристики в схему введен корректирующий конденсатор С1. Частота единичного усиления этой микросхемы достигает 15 МГц, а приведенное ко входу в полосе частот от 0,1 до 10 кГц напряжение шумов $U_ш = 1{,}2$ мкВ при коэффициенте усиления 500.

На рис. 5.123 показано включение микросхемы — усилителя записи с АРУ и предварительного усилителя воспроизведения звука типа К174УН13. Микросхема обеспечивает коэффициент нелинейных искажений выходного сигнала не более 0,4 % без цепи АРУ при $K_{yU} = 28$ дБ и $U_{вх} = 20$ мВ, а также усиление по цепи АРУ не менее 50 дБ и диапазон напряжений АРУ не менее 6 дБ.

Двухканальный УНЧ типа КФ174УН17 (рис. 5.124) предназначен для работы от низковольтных источников питания 1,6...6,6 В. При нагрузке 40 Ом и $U_{ип} = 2{,}1$ В он может развивать мощность до 10 мВт с $K_г \leqslant 10$ %. Снижение выходной мощности вызывает значительное снижение нелинейных искажений. Микросхема К1400УН1 (рис. 5.125) работает от источника питания 3...4,1 В и представляет собой УНЧ с автоматической регулировкой выходного уровня, напряжение шумов, приведенное по входу, не более 1,5 мкВ и $K_{yU} \geqslant 5500$.

Двухканальный малошумящий усилитель типа К548УН1 (рис. 5.126) предназначен для работы от источника питания $U_{ип} = +12$ В ± 10 %, имеет выходное напряжение до $U_{вых} = (U_{ип} - 3)$ В



Рис. 5.124. Микросхема КФ174УН17

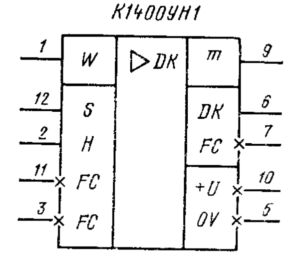


Рис. 5.125 Микросхема К1400УН1

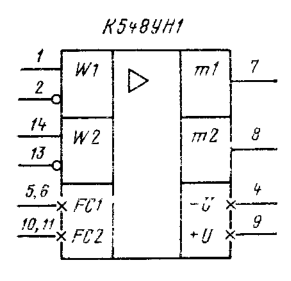


Рис. 5.126. Микросхема К548УН1

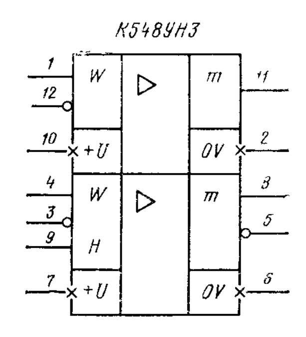


Рис. 5.127. Микросхема К548УН3

и полосу пропускания до 20 МГц. Выпускается три типономинала микросхемы, различающиеся по напряжению шумов, приведенных по входу: 0,7; 1,0; 1,6 мкВ.

Малошумящий усилитель типа К548УН3 (рис. 5.127) служит для работы в слуховых аппаратах. Он содержит предварительный усилитель, имеющий напряжение шумов $U_{швх} \leqslant 1{,}5$ мкВ при $U_{вых}=0{,}2$ В, $K_{yU} \geqslant 100$, и выходной усилитель, обеспечивающий выходное напряжение $U_{вых} \geqslant 0{,}6$ В. Суммарный коэффициент усиления обоих усилителей $K_{yU}=4 \cdot 10^3$.

5.6. Интегральные цифро-аналоговые и аналого-цифровые преобразователи

Широкое распространение цифровых вычислителей в устройствах обработки текущих сигналов требует применения микросхем как для прямого преобразования исходной аналоговой величины в соответст-

вующий ей цифровой эквивалент, так и для обратного преобразования выходных цифровых данных в пропорциональные аналоговые уровни. Преобразование аналоговых сигналов в цифровые осуществляется АЦП, обратное преобразование — ЦАП.

5.6.1. Цифро-аналоговые преобразователи

Все виды ЦАП можно условно разделить на две группы: с прецизионными резистивными матрицами, безматричные ЦАП. В первой группе по способу формирования сигнала различают три типа схем: с суммированием токов, с делением напряжения, с суммированием напряжения (рис. 5.128); однако в микроэлектронном исполнении применяются структуры только первых двух типов.

Из микросхем второй группы можно назвать два типа ЦАП: с активными делителями тока и стохастические (рис. 5.129, *а, б*); обе группы ЦАП обладают достоинствами и недостатками, влияющими на характеристики прибора.

Основной характеристикой ЦАП является разрешающая способность, определяемая числом разрядов N. Теоретически ЦАП, преобразующий N-разрядные двоичные коды, должен обеспечить 2^N различных значений выходного сигнала с разрешающей способностью $(2^N-1)^{-1}$. Абсолютное значение минимального выходного кванта напряжения определяется как предельным принимаемым числом 2^N-1, так и максимальным выходным напряжением ЦАП, называемым напряжением шкалы $U_{шк}$. Так, при 12 разрядах число независимых квантов (ступенек) выходного напряжения ЦАП составляет $2^{12}-1=$ $=0{,}0245$ %. Выбранное с помощью опорного источника напряжение шкалы $U_{шк}=10$ В, разделенное на это число квантов, дает абсолютную разрешающую способность ЦАП: $\delta_{шк}=U_{шк}/(2-1)=10^3$ мВ/ $(2^{12}-1)=2{,}45$ мВ.

Отличие реального значения разрешающей способности от теоретического обусловлено погрешностями узлов и шумами ЦАП. Точность ЦАП определяется значениями абсолютной погрешности прибора, нелинейностью и дифференциальной нелинейностью. Абсолютная погрешность $\delta_{шк}$ представляет отклонение значения выходного напряжения (тока) от номинального расчетного, соответствующего конечной точке характеристики преобразования (рис. 5.129, *в*). Абсолютная погрешность обычно измеряется в единицах младшего значащего разряда (МЗР). Нелинейность прибора $\delta_л$ характеризует идентичность минимальных приращений выходного сигнала во всем

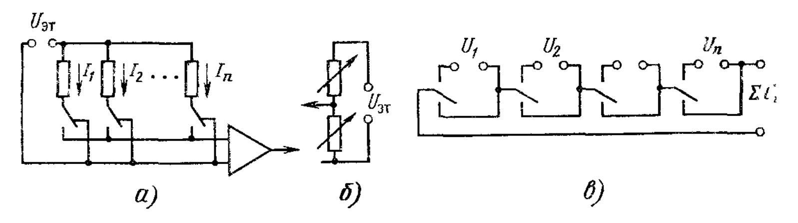


Рис. 5.128. Цифро-аналоговый преобразователь с резистивными матрицами:

а — с суммированием токов; *б* — с делением напряжений; *в* — с суммированием напряжений; $U_{эт}$ — эталонное напряжение

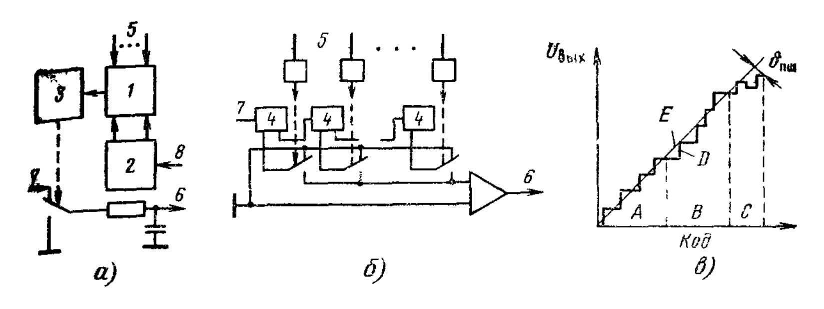


Рис. 5.129. Безматричные цифро-аналоговые преобразователи:

а — с активными делителями токов; *б* — стохастические; 1 — компаратор кодов; 2 — генератор случайных цифровых сигналов; 3 — триггер; 4 — активный делитель тока на 2; 5 — цифровые входы; 6 — аналоговый выход; 7 — источник образцового напряжения; 8 — тактовый сигнал; *в* — передаточная характеристика ЦАП; A — линейность; B — нелинейность; C — немонотонность; D — выходной сигнал; E — прямая, соединяющая идеальные значения уровней выходного сигнала; $\delta_{пш}$ — погрешность полной шкалы

диапазоне преобразования и определяется как наибольшее отклонение выходного сигнала от прямой линии абсолютной точности, проведенной через нуль и точку максимального значения выходного сигнала. Значение нелинейности не должно превышать ±0,5 единицы МЗР.

Дифференциальная нелинейность $\delta_{л\,диф}$ характеризует идентичность соседних приращений сигнала. Ее определяют как минимальную разность погрешности нелинейности двух соседних квантов в выходном сигнале. Значение дифференциальной нелинейности не должно превышать удвоенное значение погрешности нелинейности. Если значение $\delta_{л\,диф}$ больше единицы МЗР, то преобразователь считается немонотонным, т. е. на его выходе выходной сигнал не может наращиваться равномерно при равномерном возрастании входного кода. Немонотонность в некоторых квантах дает уменьшение выходного сигнала при нарастании входного кода.

Из динамических параметров наиболее существенными являются время установления выходного напряжения или тока и максимальная частота преобразования. Время установления $t_{уст}$ — интервал времени от подачи входного кода до вхождения выходного сигнала в заданные пределы. Максимальная частота преобразования $f_{прб}$ — наибольшая частота дискретизации, при которой параметры ЦАП соответствуют заданным значениям. Работа ЦАП часто сопровождается специфическими переходными импульсами, которые представляют собой острые пики большой амплитуды в выходном сигнале, возникающие из-за разности времен открывания и закрывания аналоговых ключей в ЦАП. Особенно выбросы проявляются, когда вместо нуля в старшем значащем разряде и единиц в младших разрядах кода поступает единица в старший значащий разряд (СЗР) и код «все нули» в МЗР. Например, если входной код 011...111 сменяется кодом 10...000, а ключ старшего ЦАП открывается позже, чем закрываются ключи младших, то приращение выходного сигнала всего на один квант может сопровождаться импульсом с амплитудой $0{,}5U_{шк}$. Дли-

Таблица 5.19

Тип микросхем	Число разрядов, N	$t_{уст}$, мкс	$\delta_д$, %	$U_{вых}$, В ($I_{вых}$, мА)	$U_{ип}$, В	$U_{оп}$, В	$P_{пот}$, Вт	$U^1_{вх}/U^0_{вх}$
КР572ПА1	10	5	0,1...0,8	±1	+5,4	10,24	0,1	3,6/0,8
КР572ПА2	12	15	0,02...0,1	(5...10)	+5; +15	10,24	0,4	2,4/0,8
К594ПА1	12	3,5	0,02	(2)	−15	10,24	0,7	2,0/0,8
К1108ПА1	12	0,4	0,02	(3...7)	+5; −5; −15	10,24	0,9	2,0/0,8
К417ПА1	13	15	0,02*	±10	±5; 15; 12	—	0,7	2,4/0,8
К417ПА2	13	15	0,02*	±10	±15; 5; 12	10	0,7	2,4/0,8
К427ПА1	16	30	0,02	±10	±15,5	—	0,5	2,4/0,8

* Для группы Б — 0,1; для группы В — 0,3.

тельность этого пика будет соответствовать запаздыванию смены состояния ключей.

В настоящее время в зависимости от значений параметров выделяют прецизионные и быстродействующие ЦАП. Прецизионные ЦАП имеют $\delta_д \leqslant 0,1$ %, а быстродействующие $t_{уст} = 100$ нс.

В табл. 5.19 приведены технические характеристики прецизионных ЦАП. Большинство из них построено по схеме с токовыми аналоговыми ключами (рис. 5.128), однако в своем составе микросхемы не содержат суммирующий ОУ, так как выполнить на этом же кристалле ЦАП и сверхскоростной ОУ достаточно сложно. Для преобразования выходного тока ЦАП в выходное напряжение используют внешние ОУ. Микросхема К594ПА1 представляет собой 12-разрядный ЦАП параллельного двоичного входного кода в выходные уровни тока (рис. 5.130, *а*).

Схема ЦАП содержит три группы элементов, связанных между собой на выходе делителями тока. Каждая группа — это 4-разрядный ЦАП с суммированием токов. Выходной ток первого ЦАП непосредственно поступает на выход прибора. Выходные токи двух других ЦАП, образующих младшие разряды, поступают на выход через делители тока 1/16 и 1/128 (резисторы R15 и R17). Масштабные резисторы R16 и R18 служат для создания цепи обратной связи внешнего ОУ. Таким приемом гарантируются малые дрейфы выходного напряжения ЦАП, поскольку резисторы матрицы токов и масштабные резисторы для внешнего ОУ изготовлены на одном кристалле. Резистор R21 служит для перевода (смещения) ОУ в режиме двухполярного выходного сигнала. Отслеживающий усилитель DA, транзистор VT и резисторы $R_{эт}$ и $R_д$ образуют схему формирования опорного напряжения, задающую смещение на общую базовую шину всех источников тока. Взвешивание разрядных токов внутри схемы ЦАП, выполняемое в два приема (в эмиттерных цепях транзисторов-источников тока используются резисторные матрицы как взвешенного типа в старших разрядах (R-8R), так и лестничного типа R-2R в млад-

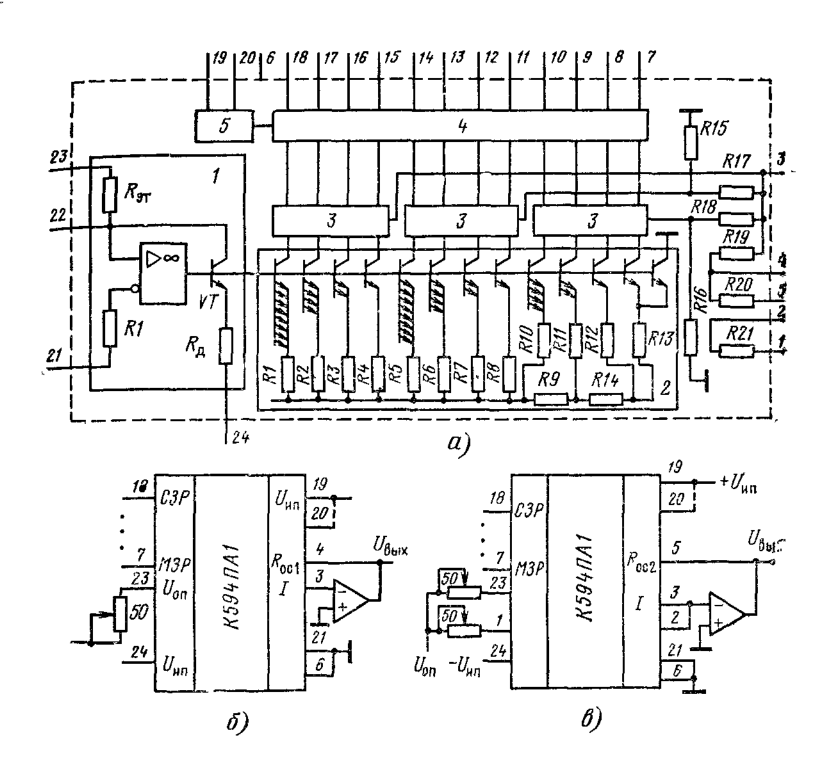


Рис. 5 130. Цифро-аналоговый преобразователь:

а — функциональная схема: 1 — схема формирования опорного напряжения; 2 — источники токов; 3 — токовые ключи, 4 — схема сдвига (смещения) входных уровней; 5 — преобразователь

Выводы 1. 2 — резистор смещения; 3 — токовый выход; 4, 5 — резисторы обратной связи $R_{ос1}$ и $R_{ос2}$; 6 — общий; 7—18 — цифровые входы; 19, 20 — плюс $U_{нп}$; 21 — инвертирующий вход ОУ; 22 — неинвертирующий вход ОУ; 23 — $U_{оп}$; 24 — минус $U_{нп}$; *б, в* — схемы включения

ших разрядах), позволило сузить в матрицах диапазон отношений номиналов резисторов от 1 до 1/4 вместо требуемого в матрицах ЦАП с прямым взвешиванием диапазона от 1 до 2048. Для поддержания постоянной плотности токов через эмиттерные переходы источников токов с двоичным взвешиванием применены транзисторы, у которых площади эмиттеров пропорциональны токам соответствующих разрядов. Это позволяет сохранить постоянным падение напряжения на эмиттерных переходах независимо от тока разряда и получить необходимую линейность.

Наличие резисторов обратной связи и резисторов сдвига уровня ОУ позволяет применять микросхему К594ПА1 в режимах однополярного и двухполярного выходных сигналов. На рис. 5.130, *б* при-

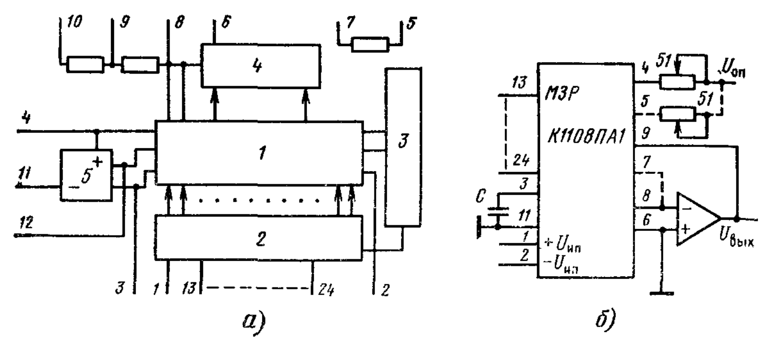


Рис. 5.131. Микросхема К1108ПА1:

а — функциональная электрическая схема: 1 — токовые ключи; 2 — параллельный регистр, 3 — температурная компенсация; 4 — матрица R-2R; 5 — компаратор; *б* — схема включения в однополярном режиме.
Выводы 1 — плюс $U_{ИП}$; 2 — минус $U_{ИП}$; 3 — коррекция ОУ; 4, 5 — опорные напряжения; 6 — общий; 7 — резистор; 8 — выход; 9, 10 — резисторы обратной связи; 11 — инвертирующий вход ОУ; 12 — выход ОУ; 13 (МЗР) — 24 (СЗР) — цифровые входы

ведена схема включения ЦАП в режиме однополярного сигнала для работы с цифровыми ТТЛ сигналами. В этой схеме резистор сопротивлением R_{19}=10,5 кОм включается в цепь ООС ОУ. В режиме двухполярного выходного сигнала (рис. 5.97, *в*) в цепь ООС ОУ включаются резисторы R19, R20 (10,5...2,5 кОм), а инвертирующий вход ОУ через резистор R21 присоединяется к источнику опорного напряжения через переменный резистор, который необходим для компенсации первичных ошибок ЦАП. Микросхема К594ПА1 может применяться и для преобразования цифрового кода, поступающего от КМОП цифровых микросхем.

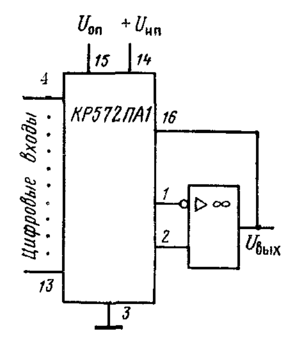
На рис. 5.130, *в* приведена схема включения преобразователя для получения однополярного выходного тока, при этом напряжение питания $U_{ип}$=5...15 В подключается к выводам 19 и 20. Входное напряжение «0» должно быть не более 0,3 $U_{ип}$, а входное напряжение «1» — не менее 0,7 $U_{ип}$. Для получения выходного биполярного тока необходимо вывод 1 через резистор 50 Ом подключить к источнику опорного напряжения, вывод 2 соединить с выводом 3, а выход ОУ подключить к выводу 5.

На рис. 5.131, *а* показана структурная схема 12-разрядного биполярного ЦАП К1108ПА1А, имеющего время установления выходного сигнала $t_{уст}$=0,4 мкс (для К1108ПА1Б $t_{уст}$=0,7 мкс).

Без внешнего ОУ схема имеет максимальное выходное напряжение ±1 В. Она работает от двух источников питания $U_{ип1}$=+5 В и $U_{ип1}$=—15 В. Опорное напряжение регулируется в пределах 2,0... 10,5 В. ЦАП работает от ТТЛ-уровней, причем $U^1_{вх}$ не должно быть менее 2 В, а $U^0_{вх}$ не должно превышать 0,8 В. Значительное повышение быстродействия по сравнению с микросхемой К594ПА1 получено за счет включения на выходе ключей нормирующей схемы R-2R упрощения схемы ключей и применения новых технологических при-

Рис. 5.132. Микросхема КР572ПА1

Выводы: 1 — выход 1; 2 — выход дополняющий 2; 3 — общий; 4 (СЗР) — 13 (МЗР) — цифровые входы; 14—плюс $U_{ИП}$ 15 — опорное напряжение; 16 — ООС



емов. На рис. 5.131,*б* приведена схема включения ЦАП в режиме однополярного сигнала. На выход ЦАП (вывод 8) присоединен масштабный ОУ, в цепь ООС которого включены внутренние резисторы. При работе ЦАП в режиме двухполярного выходного напряжения необходимо подключить вывод 7 к выходу, а вывод 5 — к выводу источника опорного напряжения (вывод 4), чтобы уровень $U_{вых}$ повысить до необходимого значения. Емкость $C_1 = 10...100$ пФ служит для сведения к минимуму времени установления выходного тока. Параметры ЦАП К1108ПА1, приведенные в табл. 5.19, измерены при однополярном выходном токе.

При разработке первых цифро-аналоговых КМОП-структур было обнаружено, что весьма затруднительно изготовить на подложке ЦАП источник опорного напряжения. Однако оказалось возможным использовать внешний вывод опорного напряжения для подачи на него переменных аналоговых напряжений. Если вторую функцию подать в цифровой форме на входы разрядов, то на выходе ЦАП можно получить сигнал, пропорциональный произведению аналогового и цифрового сигналов. Таким образом, разработчики получили перемножающий ЦАП (ПЦАП).

В качестве ПЦАП можно использовать и биполярные ЦАП, если у них есть внешний вход опорного напряжения, которое, однако, может быть только однополярной функцией. Если использовать двухполярный сдвинутый цифровой код, получим результат перемножения функции в двух квадрантах.

На аналоговые КМОП ключи можно подавать двухполярный сигнал, следовательно, результат перемножения на КМОП ПЦАП можно определить в любом из четырех квадрантов.

Примером ПЦАП служит микросхема К572ПА1. Этот 10-разрядный ЦАП выполнен по КМОП-технологии. Он имеет дифференциальную нелинейность не более 1 % от полной шкалы при времени $t_{уст}$ не более 5 мкс. Схема преобразователя содержит логику управления, токовые ключи и так называемую резистивную матрицу R-2R. Для построения полной схемы преобразователя к микросхеме К572ПА1 необходимо подключить ОУ (рис. 5 132, *а*).

Схема включения ЦАП в режиме двухквадрантного перемножителя предусматривает подключение двухполярного источника сигнала ко входу опорного напряжения и подачу обычного 10-разрядного кода (табл. 5.20). При включении ЦАП в режиме четырехквадрант-

Таблица 5.20

Уровни на цифровых входах 1, 2, 3...9, 10	Выходное напряжение
111—11	$(1-2^{-10})\ U_{оп}$
100—01	$(1/2+2^{-10})\ U_{оп}$
100—00	$-U_{оп}/2$
000—01	$-(1/2-2^{-10})\ U_{оп}$
000—00	0

Таблица 5.21

Уровни на цифровых входах 1. 2, 3...9, 10	Выходное напряжение
111—11	$(1-2^{-9})\ U_{оп}$
100—01	$2^{-9}\ U_{оп}$
100—00	0
011—11	$2^{-9}+U_{оп}$
000—00	$+U_{оп}$

ного умножения ЦАП из 10-разрядного превращается в 9-разрядный так как в этом случае старший значащий разряд рассматривается как знаковый (табл. 5.21). Напряжение сигнала, подаваемое на вход $U_{оп}$, также должно быть двухполярным.

Полупроводниковая КМОП микросхема 12-разрядного ПЦАП К572ПА2 имеет дифференциальную нелинейность не более 1 % от полной шкалы.

Функциональная схема ПЦАП типа К572ПА2 приведена на рис 5.133, *а*. В отличие от предыдущего ПЦАП, эта микросхема имеет возможность записи и хранения цифровых данных за счет регистров выполненных на КМОП-транзисторах и включенных между токовыми ключами и резистивной матрицей. Переключение режимов записи и

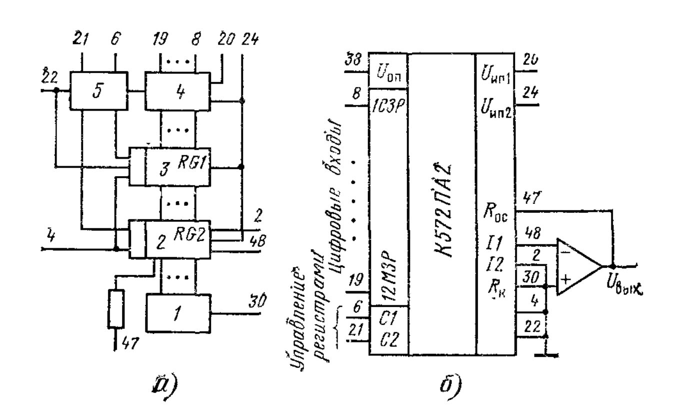


Рис. 5.133. Микросхема К572ПА2:

а — функциональная схема: 1 — резисторная матрица; 2 — регистр 2; 3 — регистр 1; 4 — схема управления токовыми ключами; 5 — схема управления регистрами.

Выводы: 2, 48 — выходы; 4 — аналоговая земля; 6 — вход управления регистра 1; 8 (СЗР) — 19 (МЗР) — цифровые входы; 20 — $U_{ип1}$; 21 — вход управления регистра 2; 22 — «цифровая земля»; 24 — $U_{ип2}$; 30 — вывод конечного резистора матрицы; 38 — опорное напряжение; 47 — вывод резистора обратной связи; *б* — схема построения двухквадрантного умножения

Режим работы	Входы управления	
	6	21
Запись данных в RG1, хранение предыдущих данных в RG2	1	0
Запись данных из RG1 в RG2, хранение данных в RG1	0	1
Прямое прохождение данных через RG1 и RG2	1	1

вывода данных осуществляется сменой потенциалов на выводах 6 и 21. Подключив внешний ОУ, можно строить как двухквадрантные, так и четырехквадрантные перемножители. Режимы работы микросхемы в зависимости от сигнала на входах управления приведены в табл. 5.22.

Гибридный перемножающий 12-разрядный ЦАП типа К417ПА1 осуществляет преобразование 12-разрядного цифрового слова со знаком в выходное аналоговое напряжение в диапазоне —9,99...+9,99 В с $\delta_л \leqslant 0{,}01$ %. Микросхема К417ПА1 содержит выходной ОУ и стабилизатор напряжения, что значительно упрощает построение схемы ЦАП (рис. 5.134). Применение микросхемы предусматривает использование четырех источников питающих напряжений: $U_{ип1}=-15$ В; $U_{ип2}=+5$ В (+9 В) (+5 В при работе с ТТЛ схемами и +9 В при работе с КМОП схемами); $U_{ип3}=+12$ В; $U_{ип4}=+15$ В. Ток потребления микросхемы $I_{пот} \leqslant 44$ мА, при этом $I_{пот1} \leqslant 24{,}7$ мА; $I_{пот2} \leqslant 3{,}9$ мА; $I_{пот3} \leqslant 2{,}1$ мА и $I_{пот4} \leqslant 13{,}2$ мА. Выпускаются три типономинала мик-

Рис. 5.134. Микросхемы К417ПА1, К417ПА2

Рис. 5.135. Микросхема К427ПА1

росхем К417ПА1, отличающиеся напряжением смещения и нелинейностью: К417ПА1А ($U_{см}=\pm1{,}22$ мВ, $\delta_л=0{,}01$); К417ПВ1Б ($U_{см}=\pm4{,}9$ мВ, $\delta_л<0{,}05$); К417ПВ1В ($U_{см}=\pm9{,}7$ мВ; $\delta_л=0{,}2$). Микросхема К417ПА2 в отличие от микросхемы К417ПА1 не имеет в своем составе стабилизатора и для выполнения функций требует установления внешнего опорного напряжения $U_{REF1,2}=\pm10$ В Выводы 21, 23 — 25 не задействованы.

Пятнадцатиразрядный умножающий ЦАП типа К427ПА1 выполняет операции двух и четырехквадрантного умножения в сочетании с операциями записи и хранения цифровой информации в регистрах Микросхема имеет дополнительный знаковый разряд и осуществляет преобразование кода входного аналогового сигнала в диапазоне —10...+10 В при подключении источников питания $U_{ип}=5$ В±5 % $U_{ип2,3}=\pm15\pm0{,}5$ %. Согласование уровней входного напряжения с ТТЛ- и КМОП-схемами осуществляется подбором напряжения (рис. 5.135).

Запись и хранение цифровой информации осуществляются подачей определенных логических уровней на входы RG1 и RG2. При $RG1\cdot\overline{RG2}=1$ производится запись данных в регистр RG1 и хранение предыдущих данных в регистре RG2; при $\overline{RG1}\cdot RG2=1$ осуществляются запись данных из RG1 в RG2, хранение данных в RG1; при $RG1\cdot RG2=1$ происходит прямое прохождение данных через RG1 и RG2.

Как умножающий ЦАП имеет следующую передаточную характеристику: $U_{вых}=KU_{REF}\,[A1/2+...+A15/2^{15}]$, где A1—A15 — логические уровни на цифровых входах 1-го и 15-го разрядов, которые принимают значение 1 или 0; K — коэффициент передачи, который может принимать значения 1 при высоком уровне и 10 при низком логическом уровне на выводе 7; U_{REF} — напряжение в диапазоне —10...+10 В, подаваемое на выводы 36, 31.

Микросхема К1118ПА1 (рис. 5.136) представляет собой 8-разрядный скоростной ЦАП предназначенный для работы с цифровыми микросхемами (табл. 5.23) ЭСЛ. Принципиальное снижение времени установления $t_{уст}$ обусловлено малым перепадом уровней ЭСЛ а также переходом от комбинированной матрицы резисторов с многоэмиттерными транзисторами — источниками токов к прецизионной 8-разрядной матрице токов. На рис. 5.137 приведена основная схема включения микросхемы К118ПА1 на согласованный тракт с волновым

Таблица 5.23

Тип микросхем	N	$t_{уст}$, нс	$\delta_л$, %	$U_{вых}$, В ($I_{вых}$, мА)	$U_{пп}$, В	$U_{оп}$, В	$P_{пот}$, Вт
К1118ПА1	8	20	0,19	(51)	—5,2	+10	0,5
К1118ПА2	10	50	0,05	—1,0	5; —5	—1	0,6
К1118ПА3	8	10	0,19	(20)	+5; —5,2	1,2... 1,3	0,5 0,8
К1118ПА4	10	30	0,1	—1,024	—5		

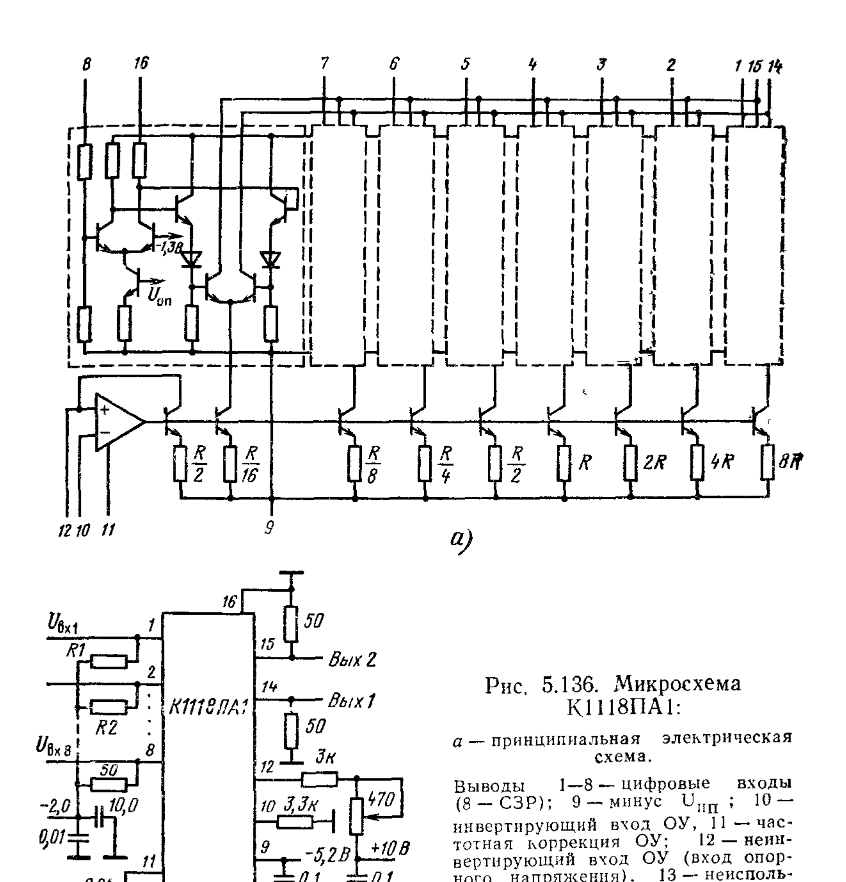


Рис. 5.136. Микросхема К1118ПА1:

а — принципиальная электрическая схема.

Выводы 1—8 — цифровые входы (8 — СЗР); 9 — минус $U_{\text{пп}}$; 10 — инвертирующий вход ОУ, 11 — частотная коррекция ОУ; 12 — неинвертирующий вход ОУ (вход опорного напряжения), 13 — неиспользуемый; 14 — выход, 15 — выход дополняющий; 16 — общий; *б* — основная схема включения

сопротивлением 50 Ом с микросхемами ЭСЛ серий К500 и К1800. Установку номинального значения выходного тока в конечной точке шкалы производят изменением опорного напряжения (на рис. 5.137 дана схема подключения ЦАП К1118ПА1 к магистрали микропроцессорного комплекта К1800).

На рис. 5.138 приведено условное графическое обозначение 10-разрядного ЦАП типа К1118ПА2, работающего с цифровыми сигналами уровней ТТЛ и ЭСЛ. Для работы с уровнями ТТЛ необходимо подключить выводы 5, 6, 8, 10 к общей шине, а в режиме с уровнями ЭСЛ дополнительно заземлить вывод 9. Напряжение опорного источника $U_{REF} = 1{,}024$, а источников питания $U_{ип2} = -5$ В, $U_{ип1} = +5$ В.

Микросхема преобразует цифровые сигналы в прямом и допол-

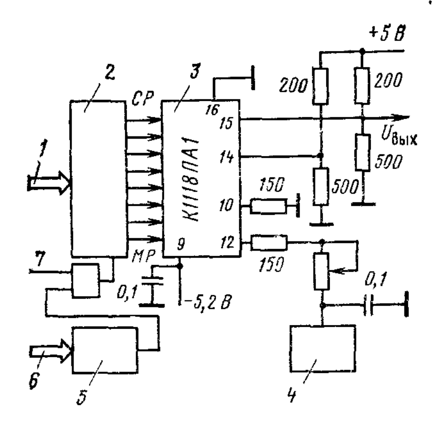


Рис. 5.137. Схема подключения ЦАП К1118ПА1 к МП:

1 — шина данных; 2 — триггеры хранящего регистра (К500ТМ131); 3 — ЦАП; 4 — источник опорного напряжения; 5 — дешифратор адреса (К500ИД161); 6 — шина адресов; 7 — системный синхросигнал

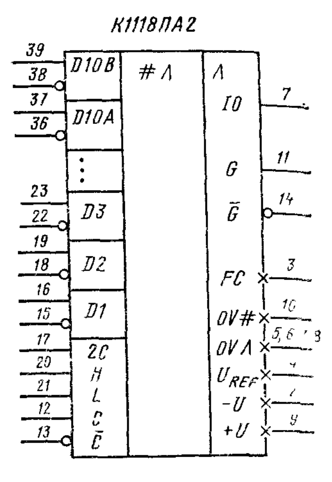


Рис. 5.138. Микросхема К1118ПА2

нительном кодах, может осуществлять преобразование сигналов из прямого в дополнительный код. Для управления режимами работы микросхемы служат выводы L, H, 2C. Управление режимом микросхемы в зависимости от состояния управляющих входов приведено в табл. 5.24. Вывод C — тактовый вход микросхемы, G — вход стробирования выходного регистра.

Таблица 5.24

Состояние входов					Состояние выхода	Состояние входов					Состояние выхода
G	H	L	2C	D1, D2,..., D10		G	H	L	2C	D1, D2,..., D10	
1	0	0	1	0 0...0	0	1	1	1	0	1 0...0	—1,0
				1 1...1	—1,0					01.....1	0
1	1	1	1	0 0...0	—1,0	1	1	0	X	XX.....X	—1,0
				1 1...1	0	1	0	1	X	XX.....X	0
1	0	0	0	1 0...0	0	0	X	X	X	XX... .X	0
				0 1...1	—1,0						

5.6.2. Аналого-цифровые преобразователи

Основными характеристиками АЦП являются: разрешающая способность, точность и быстродействие. Разрешающая способность определяется разрядностью и максимальным диапазоном входного ана-

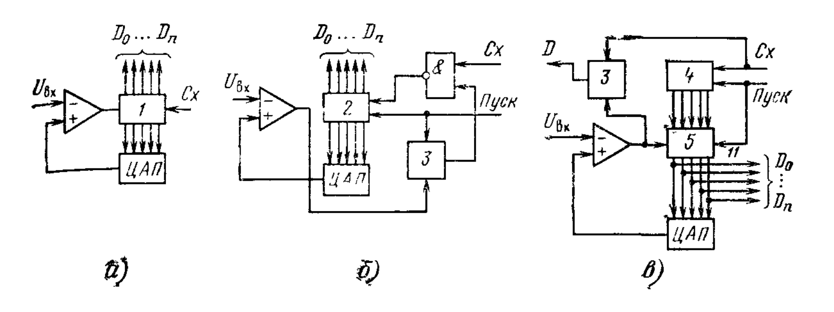


Рис. 5.139 Типы АЦП:

а — следящий; *б* — развертывающий; *в* — поразрядного уравновешивания; 1 — реверсивный счетчик; 2 — счетчик; 3 — триггер; 4 — схема управления; 5 — запоминающий регистр

логового напряжения (полной шкалой), точность — абсолютной погрешностью полной шкалы $\delta_{п.ш}$, нелинейностью и дифференциальной нелинейностью $\delta_{л\ диф}$. Быстродействие АЦП характеризуется временем преобразования $t_{пр}$, т. е. интервалом времени от момента заданного изменения сигнала на входе до появления на выходе установившегося кода.

По структуре построения АЦП делятся на два типа: с применением ЦАП и без них. К первому типу относятся АЦП, структурные схемы которых приведены на рис. 5.139. В настоящее время в интегральном исполнении реализованы АЦП развертывающего типа (рис. 139, б). Развертывающий АЦП переводит аналоговый сигнал в цифровой последовательно, начиная с младшего значащего разряда до цифрового кода на выходе, соответствующего уровню входного ана-

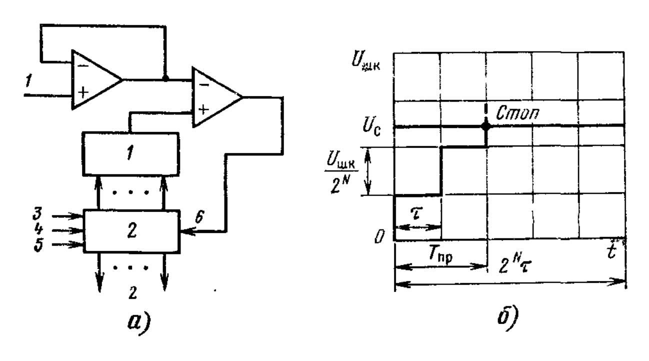


Рис. 5.140. АЦП последовательного счета:

а — функциональная схема. 1 — ЦАП; 2 — счетчик с логическим управлением. Выводы: 1 — аналоговый вход; 2 — цифровой параллельный выход; 3 — пуск; 4 — сброс; 5 — тактовые импульсы; 6 — сигнал «Стоп»; *б* — временная диаграмма

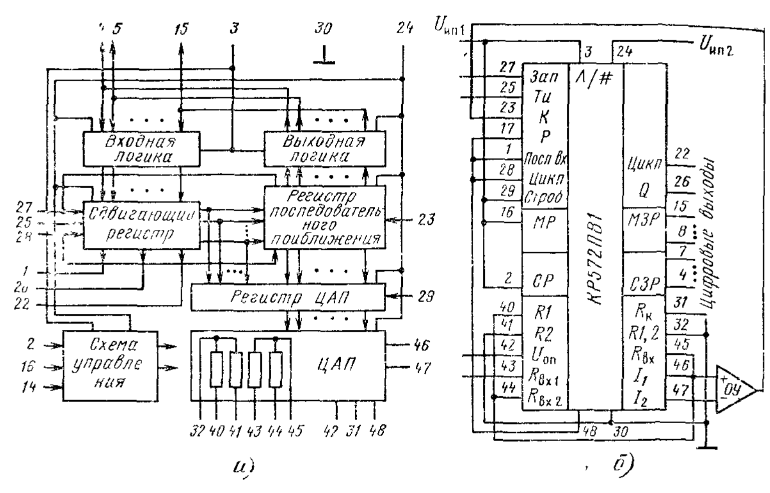


Рис. 5.141. Микросхема КР572ПВ1:

а — функциональная схема; *б* — схема включения

Выводы: 1 — цифровой последовательный вход; 2 — вход управления выходами старших разрядов; 3 — $U_{ип1}$ 4 (СЗР) — 15 (МЗР) — цифровые входы (выходы); 16 — вход управления входами-выходами младших разрядов; 17 — вход управления режимом ЦАП-АЦП; 22 — выход «Цикл»; 23 — вход сравнения; 24, 25 — выходы тактовых импульсов; 26 — выход «Конец преобразования»; 27 — вход «Запуск»; 28 — вход «Цикл»; 29 — стробирование ЦАП; 30 — «цифровая земля»; 31 — конечный вывод матрицы R 2R; 32 — общий вывод резисторов R1 и R2; 40, 41 — выводы резисторов R1 и R2; 42 — опорное напряжение; 43, 44 — аналоговые входы 1, 2; 45 — общий вывод резисторов аналоговых входов; 46, 47 — аналоговые выходы 1, 2; 48 — «аналоговая земля»

логового напряжения АЦП. К этому типу можно отнести АЦП последовательного приближения со счетчиком.

На рис. 5.140 дана упрощенная схема АЦП последовательного счета. На многоразрядный счетчик поступает тактовая частота от генератора, который запускается в момент выборки входного аналогового сигнала. Выход счетчика управляет схемой ЦАП, вырабатывающей ступенчато нарастающее напряжение. В момент, когда выходное напряжение схемы ЦАП станет равным входному, компаратор переключится и остановит счетчик, содержание которого будет соответствовать входному аналоговому сигналу. Время преобразования здесь наибольшее $T_{пр}=\tau 2^N$, где τ — время элементарной ступени; N — число разрядов. Большая потребность в АЦП этого типа послужила причиной разработки специализированной микросхемы КР572ПВ1 (рис. 5.141, *а*), представляющей собой ЦАП со схемой управления и логическим устройством. При подключении компаратора микросхема КР572ПВ1 может выполнять функции АЦП последовательного приближения с параллельным двоичным кодом на выходах (рис. 5.141, б). Наличие схем входной и выходной логики обеспечивает побайтовый вывод и ввод цифровой информации для согласования с 8-разрядной шиной данных микропроцессоров МП (табл 5.25).

Таблица 5.25

Режим работы микросхемы	Информационно-цифровые выходы	Входы управления			Вход стробирования ЦАП
		CP	MP	P	
Преобразование аналог-цифра	1...12 1...4 5...12 Разомкнуты	1 1 0	1 0 1	0 0 0	1
Преобразование цифра-аналог	1...12 1...4 5...12	1 0 1	1 1 0	1 1 1	1
Хранение в регистре ЦАП	X	X	X	X	0

Примечание. X — состояние безразлично.

С целью уменьшения числа вспомогательных элементов разработан функционально законченный, совместный с микропроцессорами, работающими с ТТЛ-уровнями, АЦП последовательного приближения К1113ПВ1. АЦП имеет внутренний источник опорного напряжения, тактовый генератор и компаратор напряжения. Для включения АЦП требуются источники питания и формирователь преобразования. Схема построения АЦП приведена на рис. 5.142. Микросхема имеет выходные устройства с тремя устойчивыми состояниями, что упрощает его сопряжение с шиной данных микропроцессора. Несколько АЦП могут обслуживать один микропроцессор, и наборот. Режим работы микросхемы в микропроцессорной системе определяется управляющими импульсами от микропроцессора. При поступлении на вход «Гашение и преобразование» микросхемы К1113ПВ1 уровня лог. 0 АЦП начинает преобразование входной информации. Через время, необходимое для преобразования, на выходе АЦП «Готовность данных» появляется сигнал с уровнем лог. 1, запрашивающий вывод данных с АЦП на шину данных системы. Приняв данные в системную магистраль, МП устанавливает на входе «Гашение и преобразование» АЦП уровень лог. 1, который «гасит» информацию, содержащуюся в регистре последовательного приближения, и АЦП снова готов к приему и обработке входных данных. Аналого-цифровой преобразователь может обрабатывать входную информацию в виде однополярного аналогового напряжения до 10, 24 В и двухполярного ±5,12 В. При включении АЦП в двухполярном режиме вывод 15 (управление сдвигом нуля) должен быть открыт, а в однополярном режиме его необходимо соединить с выводом «цифровая земля». Микросхема К1113ПВ1 допускает предварительную установку напряжения смещения нуля. В зависимости от точности регулирования и диапазона необходимой шкалы входного напряжения применяются различные варианты схем регулирования напряжения смещения. Так, при максимальном диапазоне входного сигнала $U_{вх}=10{,}24$ В регули-

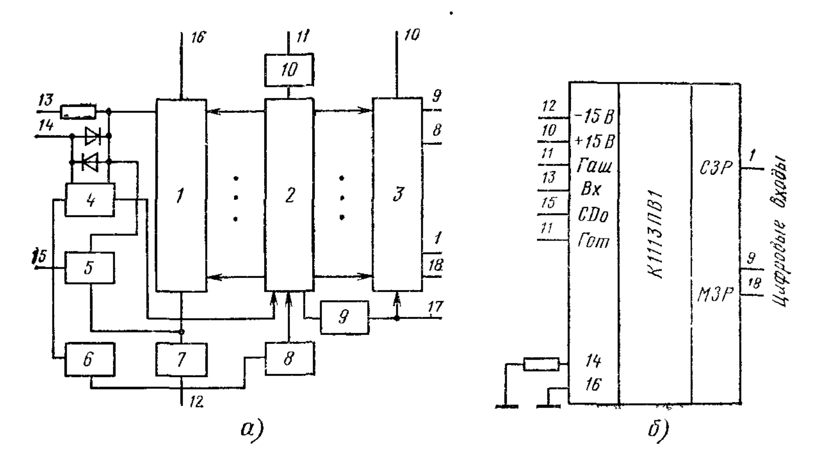


Рис. 5.142. Микросхема К1113ПВ1:

а — функциональная схема: 1 — ЦАП; 2 — регистр последовательного приближения (РПП); 3 — буферный усилитель; 4 — компаратор; 5 — схема управления сдвигом нуля; 6 — генератор; 7 — источник опорного напряжения; 8 — делитель; 9 — схема формирования сигнала «Готовность данных»; 10 — схема управления преобразованием и выводом данных; *б* — схема включения Выводы· 1 (9-й разряд) — 9 (СЗР) — цифровые выходы; 10 — плюс $U_{НП}$; 11 — вход управления выводом и вводом данных; 12 — минус $U_{ИП}$; 13 — аналоговый вход; 14 — «аналоговая земля»; 15 — управление сдвигом нуля; 16 — «цифровая земля»; 17 — выход готовности данных; 18 — МЗР

ровка напряжения смещения проводят переменным резистором 100 ...200 Ом, подключенным между источником сигнала и аналоговым входом 13, а для достижения точности ±1/2 единицы МЗР — переменным резистором 5.. 50 Ом, подключенным с вывода 14 («аналоговая земля») на «корпус».

Еще одним примером законченного АЦП последовательного приближения может служить 10-разрядный быстродействующий АЦП К1108ПВ1 (рис. 5.143), работающий совместно с цифровой микро схемой ТТЛ и имеющий время преобразования не более 0,9 мкс (табл. 5.26). Схема АЦП включает ЦАП, источник опорного напряжения, тактовый генератор, регистр последовательного приближения и выходной регистр на три состояния с хранением информации в течение последующего цикла преобразования. Микросхема К1108ПВ1 предусматривает работу в 10- и 8-разрядных режимах. Время преоб разования аналоговой информации в 8-разрядный код не более 0,5 мкс Десятиразрядный режим устанавливается подключением вывода 13 (укороченный цикл) к выводу 14 («цифровая земля»), при 8-разрядном режиме вывод 13 соединяется с выводом 12. Микросхема предусматривает работу в режимах с внутренним и внешним источниками опорного напряжения. При работе с внутренним источником опорного напряжения необходимо вывод 19 через резистор 1 кОм подключить на «корпус». Внешнее опорное напряжение может быть подано на вывод 18, при этом вывод 19 подключается к корпусу через конденсатор 0,47 мкФ.

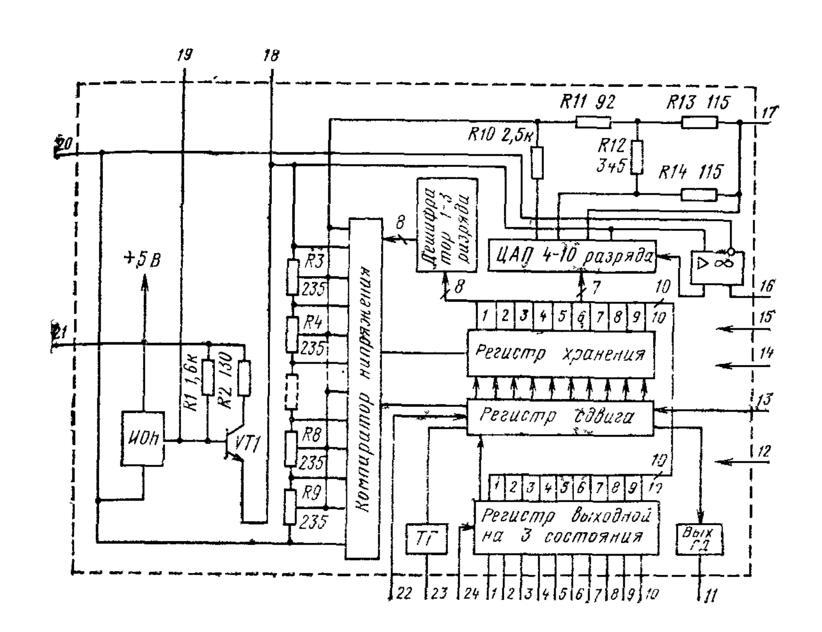


Рис. 5.143. Микросхема К1108ПВ1:

Выводы 1 (СЗР) — 10 (МЗР) — цифровые выходы; 11 — готовность данных; 12, 15 — плюс $U_{ИП}$; 16 — частотная компенсация, 13 — управление разрядностью выходных данных; 14 — «цифровая земля»; 17 — аналоговый вход; 18 — опорное напряжение; 19 — компенсация схемы опорного напряжения; 20 — «аналоговая земля»; 21 — плюс $U_{ИП}$; 22 — вход запуска; 23 — вход внешних тактовых импульсов; 24 — вход разрешения считывания.

Работа микросхемы во времени определяется тактовыми импульсами. При работе с внутренним тактированием вывод 23 (тактовый вход) необходимо через конденсатор емкостью 25 пФ подключить к корпусу. При внешнем тактировании на этот вывод подаются тактовые импульсы системы (уровень ЭСЛ). Выборка АЦП производится по фронту тактового импульса и длится 12 периодов. Преобразование информации заканчивается выдачей сигнала АЦП в систему о готовности данных (уровень лог. 0 на выводе «Готовность данных»). Вывод информации из АЦП на шину данных осуществляется по сигналу лог. 0, поступающего на вывод 24 «Разрешение считывания» от МП. Напряжение 2,4 В, поданное на вывод 24, переводит выходной регистр в состояние высокого импеданса.

Микросхема К572ПВ4 представляет собой многоканальную аналого-цифровую систему сбора данных, в состав которой входят: аналоговый мультиплексор (коммутатор), выполняющий последовательное переключение восьми аналоговых каналов; АЦП; статическое ОЗУ емкостью 8×8 бит для хранения результатов преобразования по каждому из каналов; буферные схемы, обеспечивающие согласование с 8-разрядной шиной данных микропроцессорной системы; схема

Таблица 5.26

Тип микросхем	N	$\delta_{л\ дпф}$, % (МЗР)	$t_{прб}$, мкс	$U_{ип}$, В	$U_{оп}$, В	$U_{вх}$, В	$U^1_{вых}/U^0_{вых}$ $I_{вых}$, мА	$I_{пот}$, мА
К572ПВ1А К572ПВ1Б К572ПВ1В	12 12 12	0,0488 0,0976 0,1953	170 170 170	5±5 %; 15±1 %	±15	10	2,3/0,3	[illegible]
КР572ПВ2	3,5	(±1...±5)	—	±5±5 %	0,1...3	±2,0	(0...10)	1,8
К1113ПВ1А К1113ПВ1Б К1113ПВ1В	10 10 10	(1) (2) (3/4)	30 30 30	5±5 %; −15±5 %	±10	10,24	2,4/0,4	[illegible]
К572ПВ4	8	(0,5)	32	5	0...±2,5	2,5	4,2/0,4	[illegible]
КР572ПВ5	3,5	(±1)	—	±5	—	±2,0	(0...10)	1,5

последовательного управления каналами коммутатора, фиксации адреса, записи в ОЗУ по сигналу WR и считывания по сигналу RD. Микросхема работает в однополярном и двуполярном режимах. Режим устанавливается подбором опорных напряжений: при $U_{оп1}=+2{,}5$ В; $U_{оп2}=0$ В, $U_{вх}=+2{,}5...0$ В; при $U_{оп1}=0$, $U_{оп2}=-2{,}5$ В, $U_{вх}=0...-2{,}5$ В; при $U_{оп1}=+1{,}25$ В, $U_{оп2}=-1{,}25$ В, $U_{вх}=\pm1{,}5$ В.

В случае двуполярного режима старший разряд становится знаковым. Частота следования входных тактовых импульсов 2,5 МГц

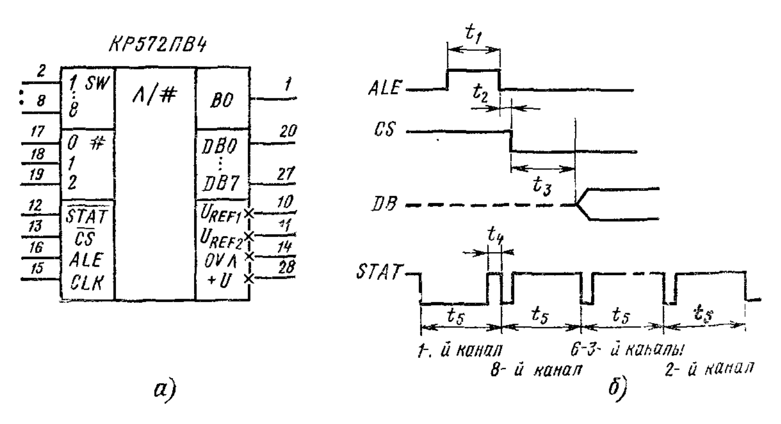


Рис. 5.144. Система сбора данных КР572ПВ4:
а — структурная схема; *б* — временные диаграммы

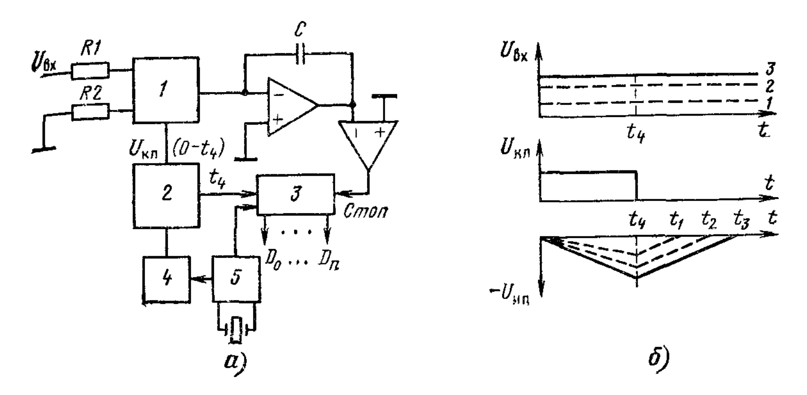


Рис. 5.145. АЦП двойного интегрирования:

а — функциональная схема 1 — ключ; 2 — пороговая схема; 3 — логическое устройство; 4 — делитель; 5 — генератор; *б* — эпюры напряжений

обеспечивает время преобразования не более 32 мкс на канал. На рис. 5.144 *б* приведены временные диаграммы работы микросхемы, где $t_1 \geqslant 250$ нс; $t_2 \geqslant 20$ нс; $t_3 \geqslant 500$ нс; $t_4 = 8$ тактов, $t_5 = 80$ тактов.

Выбор каналов коммутатора осуществляется по выводам А0—А2 (17—19), при этом значению 0 (000) соответствует выбор первого канала, а значению 7 (111) — выбор восьмого канала. Одновременно с выбором канала устанавливается адрес ячейки ОЗУ, куда будет поступать информация кодирования в двоичном коде. При считывании данных ОЗУ на шину системы на вход CS подается низкий логический уровень. Назначение выводов микросхемы КР572ПВ4 приведено на рис. 5.144, *б*.

К схемам АЦП без применения ЦАП относятся АЦП двойного интегрирования и параллельного действия. Способ двойного интегрирования позволяет хорошо подавлять сетевые помехи; кроме того, для построения схемы АЦП не требуются ЦАП с высокоточными резистивными матрицами. Функциональная схема АЦП двойного интегрирования показана на рис. 5.145 и напоминает схему АЦП последовательного счета, в которой вместо ЦАП применен интегратор. Счетчик запускается от генератора в момент поступления на интегратор входного сигнала $U_{вх}$, из которого за время интеграции делается выборка. За время выборки напряжение на выходе интегратора $U_{вых\,и}$ увеличивается. В момент $t_н$ прямая интеграция заканчивается, входной сигнал от интегратора отключается и к его суммирующей точке подключается эталонный резистор. От времени $t_н$ до моментов t_1—t_3 продолжается разряд интегратора (обратная, вторая интеграция) с постоянной скоростью. Интервалы времени от $t_н$ до нулевых отметок (t_1—t_3) пропорциональны уровню входного сигнала. Существенным преимуществом преобразователя является простота компенсации наводок сети промышленного питания. Примером микросхемы, предназначенной для построения АЦП двойного интегрирования, может служить БИС АЦП КР572ПВ2, включающая аналоговые КМОП-схемы компаратора и ОУ, а также цифровые КМОП-схемы. На рис. 5.146 приведена основная схема включения этого АЦП.

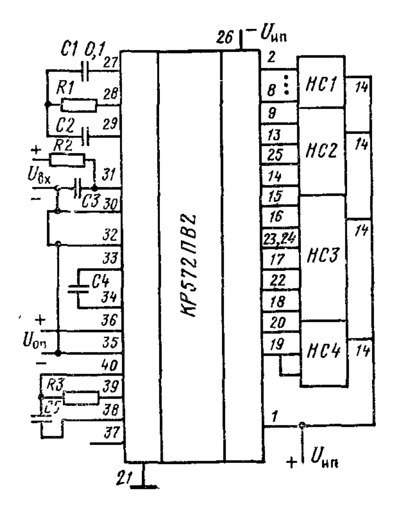


Рис. 5.146. Микросхема КР572ПВ2:

Выводы: 1 — плюс $U_{ип}$; 2—8 — цифровые выходы младшей цифры d1, c1, b1, a1, f1, g1, e1 соответственно; 9—14 — цифровые выходы d10, c10, b10, a10, f10, e10; 15—18 — цифровые выходы d100, b100, f100, e100; 19—20 — цифровые выходы bc1000, g1000; 21 — общий; 22—24 — цифровые выходы g100, a100, c100; 25 — g10; 26 — минус $U_{ип}$; 27 — конденсатор интегратора; 28 — резистор интегратора; 29 — конденсатор автокоррекции; 30 — аналоговый вход 1; 31 — аналоговый вход 2; 32 — аналоговый выход; 33, 34 — опорные конденсаторы; 35, 36 — опорные напряжения; 37 — контрольный вход; 38 — конденсатор генератора; 39 — резистор генератора; 40 — вход генератора

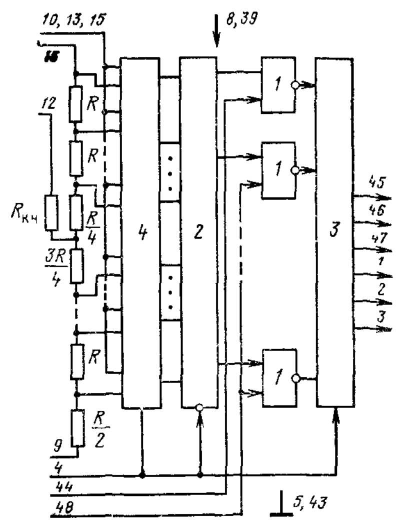


Рис. 5.147. Микросхема К1107ПВ1:

1 — схема 2И—НЕ; 2 — дешифратор; 3 — буферный регистр; 4 — компараторы

Выводы: 45 (СЗР), 46, 47, 1—3 (МЗР) — цифровые выходы; 5, 43 — общий; 4 — вход тактовых импульсов; 10, 13, 15 — вход АЦП; 9 — минус $U_{оп}$; 12 — средняя точка делителя; 16 — плюс $U_{оп}$; 44, 48 — выводы управления выходным кодом

При подключении трех внешних резисторов и пяти конденсаторов БИС КР572ПВ2 выполняет функцию АЦП, работающего по принципу двойного интегрирования с автоматической коррекцией нуля и автоматическим определением полярности входного сигнала. Таким образом, эта микросхема представляет собой электронную часть цифрового вольтметра. Шкалы измеряемого входного сигнала: до ±1,999 В и до ±199,9 мВ. Цифровая информация на выходе АЦП представляется в семисегментном коде. Цифровой отсчет производится на 3,5-декадном индикаторе. В табл. 5.27 приведены значения номиналов навесных элементов микросхем КР572ПВ2 для $f_{такт}=50$ кГц. При необходимости использовать другое значение $f_{такт}$ номинал С5 можно определить по формуле $C_5=0{,}45/f_{такт}R_3$. Для повышения стабильности тактовой частоты может быть использован квар-

Таблица 5.27

Элемент коррекции	Номиналы элементов	
	при $U_{оп}$=100 мВ	при $U_{оп}$=1 В
C2, мкФ	0,47	0,047
C4, мкФ	1,0	0,1
R1, кОм	47	470

Примечание. Допуск номиналов ±5 %.

цевый резонатор, подключаемый между выводами 39 и 40, при этом элементы C5 и R3 не используют. При работе от внешнего генератора тактовые импульсы подают на вывод 40, а выводы 38 и 39 не используют.

Интегрирующий АЦП на 3,5 декады типа КР572ПВ5 включает семисегментный декодер, стабилизатор и генератор и предназначен для работы с жидкокристаллическим индикатором. Микросхема выполнена по КМОП-технологии и имеет входные токи $I_{вх} \leqslant 10$ пА, точность автоматической коррекции нуля не хуже 10 мкВ и дрейф нуля 1 мкВ/°С, низкое напряжение шумов на входе ≤15 мкВ. Внутренний стабилизатор позволяет уменьшить число источников питания от двух ($U_{ип1}$=+5 В и $U_{ип2}$=—5 В).

Начальная установка нуля осуществляется подбором напряжения по выводу 36. В остальном разводка и схема подключения полностью совпадает с цоколевкой микросхемы КР572ПВ2.

Все описанные выше типы АЦП, обладая высокой точностью, имеют быстродействие не лучше 1 мкс/слово, поскольку используются те или иные последовательные методы преобразования. Достичь максимального быстродействия можно, если применить параллельный метод преобразования.

Микросхема К1107ПВ1 (рис. 5.147) — 6-разрядный АЦП параллельного действия. Она содержит 63 компаратора (2^6—1) и схему дешифратора. Микросхема позволяет преобразовать входной аналоговый в двоичный прямой, двоичный обратный, прямой дополняющий и обратный дополняющий коды. Время преобразования не превышает 0,1 мкс (табл. 5.28).

Таблица 5.28

Тип микросхем	N	$t_{пр}$, нс	$\delta_{л}$, % (МЗР)	$U_{вх}$, В	$f_{вх}$, МГц	Уровень сигнала на выходе	$U_{ип}$, В	$U_{оп}$, В	$P_{пот}$, Вт
К1107ПВ1	6	100	0,78	0...—2	7	ТТЛ	+5; —6	—2	1
К1107ПВ2	8	100	0,3	0...—2	7	ТТЛ	+5; —6	—2	2,5
К1107ПВ3	6	20	0,19	±2,5	4	ЭСЛ	+5; —5,2	±2,5	0,5
К1107ПВ4	8	30	0,38	±2,5	3	ЭСЛ	+5; —5,2	±2,5	2,5

Таблица 5.29

УВК1	УВК2	Тип выходного кода	УВК1	УВК2	Тип выходного кода
0	0	Двоичный обратный	1	0	Дополняющий обратный
0	1	Дополняющий прямой	1	1	Двоичный прямой

Микросхема К1107ПВ2 (рис. 5.148) — 8-разрядный АЦП параллельного действия с временем преобразования не более 0,1 мкс. Микросхема обладает достаточным быстродействием и не требует внешней схемы выборки и хранения. Она может применяться для преобразования видеосигналов в один из потенциальных кодов: двоичный прямой или обратный, дополняющий прямой или обратный. Тип выходного кода задается по выводам управления выходными кодами УВК1 (41) и УВК2 (36) в соответствии с табл. 5.29. Выходной код может задаваться как цифровыми сигналами с уровнями ТТЛ, так и постоянным уровнем, для чего выводы можно подсоединить к $U_{ип}$ (лог. 1), или к общей шине (лог. 0), на рис. 5.148, *б* показана временна́я диаграмма работы микросхемы К1107ПВ2. Работой микросхемы управляет тактовый сигнал, поступающий на вывод 30. По фронту тактового импульса инициируется выборка аналогового сигнала с задержкой 10...15 нс, а по срезу — кодирование. Результат кодирования по фронту следующего тактового импульса записывает-

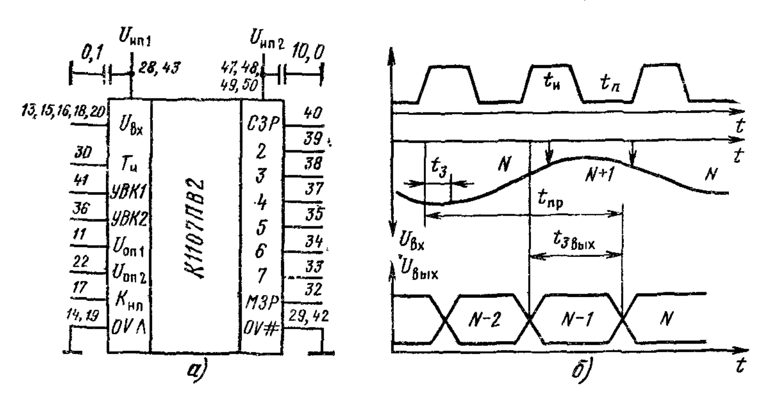


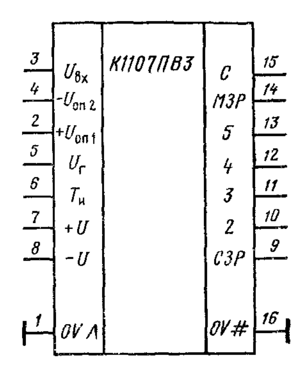
Рис. 5.148. Микросхема К1107ПВ2:

а — схема включения

Выводы: 11 — $U_{оп1}$; 13, 15, 16, 18, 20 — входы; 14, 19 — «аналоговая земля»; 17 — корректировка нелинейности; 22 — $U_{оп2}$; 28, 43 — плюс $U_{ип}$; 29, 42 — «цифровая земля»; 30 — тактовый импульс; 32 (МЗР) — 35, 37—40 (СЗР) — цифровые выходы; 36, 41 — управление выходным кодом; 47—50 — минус $U_{ип}$; *б* — временна́я диаграмма работы АЦП

Рис. 5.149. Микросхема К1107ПВ3:

Выводы: 1 — «аналоговая земля»; 2 — плюс $U_{оп1}$; 3 — аналоговый вход; 4 — плюс $U_{оп2}$; 5 — контроль гистерезиса компараторов; 6 — вход стробирования; 7 — плюс $U_{ип}$; 8 — минус $U_{ип}$; 9 (СЗР) — 14 (МЗР) — цифровые выходы; 15 — вывод переполнения; 16 — «цифровая земля»



ся в выходной регистр. Задержка выходного регистра не превышает 50 нс. Это дает возможность тем же фронтом импульса инициировать следующую выборку. Таким образом, в момент времени, когда на выходе АЦП появляется результат N-й выборки, на входе производится (N+2)-я выборка. Регулировка напряжения смещения нуля на входе микросхемы и погрешности преобразования осуществляется изменением опорных напряжений $U_{оп1}$ и $U_{оп2}$ в пределах ±0,1 В, а коррекция нелинейности — подключением вывода 17 к источнику опорного напряжения $U_{оп1}$ или $U_{оп2}$ в зависимости от знака нелинейности.

Для преобразования быстро изменяющихся аналоговых сигналов в двоичный прямой код с ЭСЛ-уровнями разработана микросхема К1107ПВ3 (рис. 5.149), представляющая собой 6-разрядный АЦП параллельного действия с временем преобразования 20 нс. Преобразователь имеет цифровой выход переполнения, позволяющий увеличивать разрядность до 7, а также наращивать разрядность параллельным соединением преобразователей.

Микросхема К1107ПВ4 представляет 8-разрядный АЦП параллельного типа с ЭСЛ-выходом. Микросхема преобразовывает входное напряжение в диапазоне ±2,5 В в параллельный двоичный прямой код и содержит разряд переполнения, фиксирующий превышение входным аналоговым сигналом предусмотренного диапазона. При этом на выходе переполнения (вывод 10) появляется напряжение высокого уровня, а на остальных цифровых выходах — напряжение низкого уровня. Работой преобразователя управляет тактовый сигнал по выводу 47. В АЦП имеется регистр, хранящий текущую информацию. Во время выборки в регистр записывается новая информация, а предыдущая ие сохраняется. Период, в течение которого выходной код не определен, равен длительности режима выборки, но по времени смещен относительно начала выборки.

Вывод 61 микросхемы К1107ПВ4 служит для управления гистерезисом компараторов путем подключения внешнего напряжения 0...2 В для повышения стабильности на высокой частоте. На низкой частоте вывод 61 остается незадействованным. Типовая схема включения преобразователя приведена на рис. 5.150, *а*. Цифровые выходы преобразователя подключаются к внешнему источнику напряжения — 2 В через резисторы 100 Ом. Калибровка микросхемы производится регулировкой опорных напряжений U_{REF1}, U_{REF2}, $U_{REF1/4}$, $U_{REF1/2}$

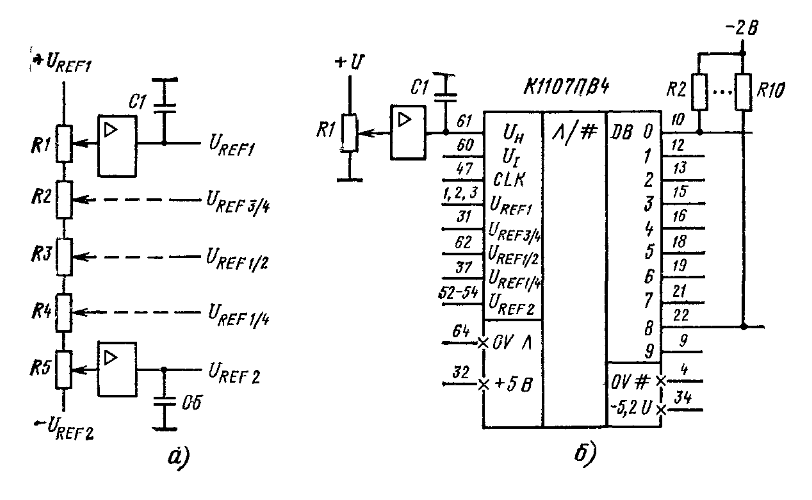


Рис. 5.150. Микросхема К1107ПВ4:

а — схема включения; *б* — схема регулировки опорных напряжений

и $U_{REF3/4}$(рис. 5.150, *б*). При использовании АЦП следует учесть, что выводы «цифровая земля» и «аналоговая земля» должны быть соединены только в одной точке на зажиме источника питания.

Особым видом высокоточных АЦП можно считать микросхемы, генерирующие иа своем выходе последовательность импульсов, частота которых пропорциональна току или напряжению входиого аналогового сигнала. Эти микросхемы часто называют преобразователями напряжение — частота. Мнкросхема КР1108ПП1 преобразует положительные и отрицательные уровни напряжения ±10 В в импульсы прямоугольной формы с калиброванной длительностью, а также служит для преобразования частоты в иапряжение.

На рис. 5.151, *а* приведена схема преобразователя положительного напряжения 0...10 В в частоту от 0 Гц до 10 кГц. При этом крутизна преобразования равна 1 кГц/В (т. е. каждый выходной импульс соответствует приращению входного напряжения на 1 мВ), а нелинейность преобразовання менее 10^{-8}. Крутизна преобразования и длительность выходиых импульсов определяются номиналами резисторов R1 (34 кОм), R2 (560 Ом) и конденсаторов C1 (10 000 пФ), C2 (36 000 пФ). При построении преобразователя отрицательного напряжения 0...10 В в частоту 0...10 кГц вход положительного напряжения заземляется, а входной сигнал отрицательной полярности подается на инвертирующий вход 14. На рис. 5.151, *б* приведен пример построения преобразователя последовательности импульсов с частотой 0...10 кГц в положительное выходное напряжение 0...10 В. При этом используются следующие номиналы компонент: $C_1=20$ пФ, $C_2=$ $=3600$ пФ, $R_2=34$ кОм. При снижении точности микросхема КР1108ПП1 может генерировать и преобразовывать в напряжение последовательности импульсов с частотой до 500 кГц. Микросхема имеет следующие предельные значения допустимых электрических па-

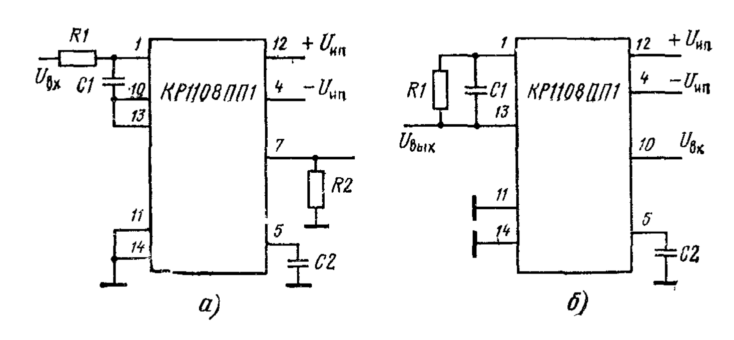


Рис. 5.151. Микросхема КР1108ПП1

а — преобразователь напряжение—частота; *б* — преобразователь частота—напряжение

Выводы: 1, 13 — вход/выход напряжения; 4 — минус $U_{ип}$; 5 — коррекция; 10 — вход частоты; 7 — выход преобразователя напряжение/частота; 11, 14 — общий; 12 — плюс $U_{ип}$

раметров: напряжение питания $U_{ип1,2}=\pm10...\pm19$ В; выходной ток частотного выхода не более 8 мА; амплитуду выходного напряжения до $U_{ип}$.

5.6.3. Устройства выборки и хранения аналоговых сигналов

При обработке аналоговых сигналов, изменяющихся с частотой, соизмеримой или большей, чем скорость работы АЦП, из аналогового сигнала приходится делать выборки. Для этого некоторое значение сигнала в определенные моменты запоминается на время, необходимое для того, чтобы АЦП преобразовал его в двоичный код. Эту функцию выполняют устройства выборки и хранения аналогового сигнала (УВХ) — аналоговые ЗУ. На рис. 5.152 приведена функциональная схема системы сбора данных (ССД). По командам МП 4 схема управления коммутатора 2 последовательно подключает датчики аналоговых сигналов к входу УВХ 3, которое запоминает напряжение данного датчика на время преобразования АЦП. Последовательность подключения каналов определяется программой работы адресного счетчика.

Схемы УВХ состоят из интегратора с высокоомной нагрузкой и малыми токами утечки и ключевых схем и могут быть построены с помощью нескольких инструментальных ОУ. Микросхема КР1100СК2 содержит два ОУ с высоким входным сопротивлением (более 10 мОм), ключевую схему управления, обеспечивающую токовое управление ключами. Для завершения схемы УВХ (рис. 5.153) к микросхеме КР1100СК2 необходимо подключить высококачественный конденсатор $C_{хр}$ с номиналом 20...1000 пФ, определяемым временем хранения выбранного напряжения. Основные электрические характеристики УВХ, построенного на микросхеме КР1100СК2, приведены в табл. 5.30. На рис. 5.154 дана структурная схема УВХ типа

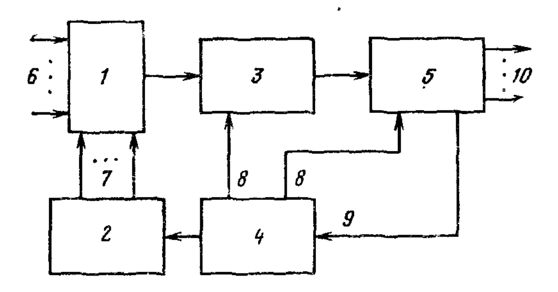


Рис. 5.152. Схема системы сбора данных:

1 — коммутатор; 2 — счетчик адреса; 3 — схема выборки/хранения; 4 — микропроцессор; 5 — АЦП; 6 — аналоговые входы; 7 — адрес канала коммутатора; 8 — управляющие импульсы; 9 — сигнал запроса; 10 — выходной цифровой код

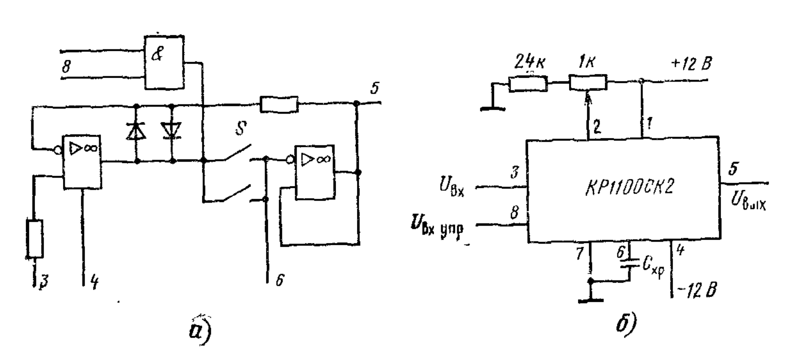


Рис. 5.153. Устройство выборки/хранения:

а — структурная схема; *б* — схема включения

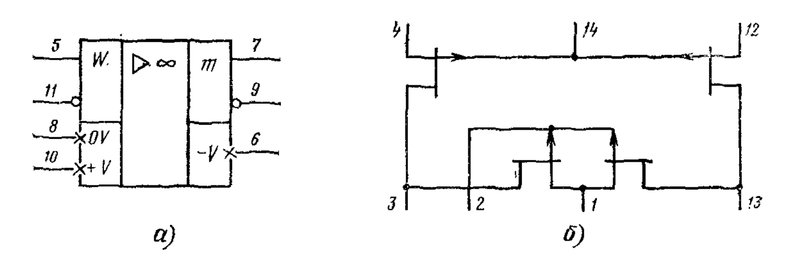


Рис. 5.154. Устройство выборки/хранения КР1100СК3:

а — операционный усилитель; *б* — ключ.

Выводы: 1 — общий; 2, 14 — управляющие входы; 3, 13 — информационные входы; 4, 12 — выходы ключа

Таблица 5.30

Параметр	КР1100СК2	КР1100СК3
Время выборки $t_{хр}$, мкс	5...10*	50
Апертурная задержка, $t_{а\ зд}$, нс	100...250*	200
Коэффициент усиления K_{yU}	1	$15\cdot10^3$
Напряжение источников питания, В	±12	±15
Напряжение управления, В:		
в режиме выборки	2,4...7	2,4...7
в режиме хранения	<1,5	<1,5
Скорость изменения выходного напряжения в режиме хранения, В/с	0,2...5*	—
Время установления $t_{уст}$, мкс	0,4...0,8*	—
Ток потребления $I_{пот}$, мА	4,5...6,5	5
Напряжение смещения $U_{см}$, мВ	5...30	20
Входное напряжение, В	⩽10	⩽10

* При $C_{хр}$=1000 пФ; Е=0,1 %.

КР1100СК3 с напряжением смещения 2 мВ, состоящая из ОУ и схемы ключа.

5.7. Аналоговые ключи и коммутаторы

В устройствах электроники, автоматики и вычислительной техники для осуществления управляемой передачи аналоговой информации от датчиков к исполнительным механизмам широко используется аналоговый ключ. Основными параметрами ключа являются: коммутируемый ток $I_{ком}$ — ток, протекающий по открытому каналу ключа; коммутируемое напряжение $U_{ком}$ — максимально допустимое напряжение, прикладываемое между входом и выходом аналогового ключа; сопротивление ключа в открытом состоянии $R_{отк}$; время переключения ключа $t_{вкл}$; уровни напряжений по управляющему входу (обычно управление осуществляется от цифровых логических устройств). Условное обозначение ключа и пример его физической реализации приведены на рис. 5.155. Как правило, схемы ключей реализуются на МОП-транзисторах, потребляющих мало энергии. Обычно в одном корпусе микросхемы содержатся несколько ключей и схемы управления ими. На рис. 5.156 — 5.161 приведены микросхемы серии КР590. В составе серии КР590 имеется шесть микросхем, содержащих управляемые ключи. Микросхемы КР590КН2, КР590КН5 и КР590КН10 (рис. 5.156) содержат четырехканальные ключи со схемой управления каждым каналом, в скобках приведена нумерация выводов для микросхемы КР590КН5. Для управления каналами на управляющие входы подаются напряжения $U^1_{вх}\geqslant5$ В и $U^0_{вх}\leqslant0,8$ В. Микросхемы КР590КН2 и КР590КН10 имеют нормально разомкнутые ключи (т. е. включение происходит при $U_{вх}\leqslant5$ В), а КР590КН5 — нормально замкнутые. Микросхема КР590КН4 (рис. 5.157) содержит

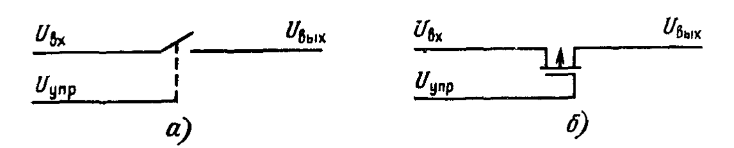


Рис. 5.155. Схема аналогового ключа:

а — условное обозначение; *б* — физическая модель

два 2-канальных ключа с отдельными входами управления. Контакты 3-4 и 6-5 нормально замкнуты, а остальные нормально разомкнуты. Микросхема КР590КН (рис. 5.158) имеет два 2-канальных ключа с одним входом управления и нормально замкнутыми контактами 4-3 и 5-6. Параметры ключей КР590 (приведены в табл. 5.31.

Таблица 5.31

Тип микросхемы	$U_{ком}$, В	$R_{отк}$, Ом	$t_{вкл}$, нс	$U^1_{вх}$, В	$U^0_{вх}$, В	$U_{ип}$, В
КР590КН2	±10	100	0,5 мкс	4,1...13,2	0...0,8	±12
КР590КН4	±15	75	150	4...15	0...0,8	±15
КР590КН5	±15	70	300	4...15	0...0,8	±15; 5
КР590КН7	±15	30	300	4...15	0...0,8	±15
КР590КН8	±15	70	3	5	0...0,8	±15
К590КН9	±15	10	500	4...15	0...0,8	±15
590КН12	±15	50	300	4...15	0...0,8	±15
590КН13	±15	—	—	4	0...0,8	±15
КР1010КТ1		—	300	2,4	0,4	3; 6,5...9
К1109КН2	80	Остаточное напряжение 8 В	1 мкс	13	1,8	20...220

Широкое применение микропроцессорных схем, ЦАП и АЦП, обрабатывающих информацию, поступающую от нескольких датчиков с разделением времени, обусловили развитие микросхем аналоговых коммутаторов (АК) с внутренними цифровыми схемами управления, совместимых с микропроцессорами. На рис. 5.162 приведены условные графические обозначения микросхем коммутаторов серии КР590 Четырехканальный МОП АК со схемами управления КР590КТ1 показан на рис. 5.162, *в*. В зависимости от потенциалов на входах управления схема может выполнять функции четырехканального или двухканальных АК. Восьмиканальный МОП АК КР590КН1, снабженный дешифратором (рис. 5.162, *а*), позволяет призводить адресный опрос каналов в зависимости от логических уровней на входах 13—15. Для работы в микропроцессорных системах микросхема имеет вход разрешения работы — вывод 12. Аналогичной схемой, но с луч-

Рис. 5.156 Аналоговые ключи КР590КН2, КР590КН5, КР590КН10

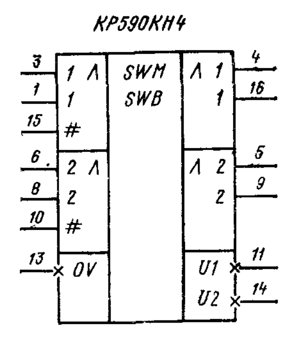


Рис. 5.157 Аналоговый ключ КР590КН4

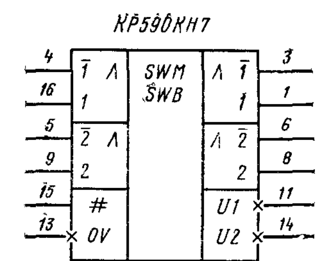


Рис. 5.158. Аналоговый ключ КР590КН7

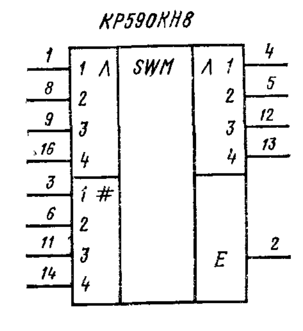


Рис. 5.159. Аналоговый ключ КР590КН8

Рис. 5.160. Аналоговый ключ КР590КН9

Рис. 5.161. Аналоговые ключи КР1010КТ1, 590КН12, 590КН13

шими рабочими характеристиками является АК КР590КН6 (рис. 5.162, *г*). Порядок подключения каналов в зависимости от состояния дешифратора приведен в табл. 5.32. Микросхема КР590КН3 (рис.

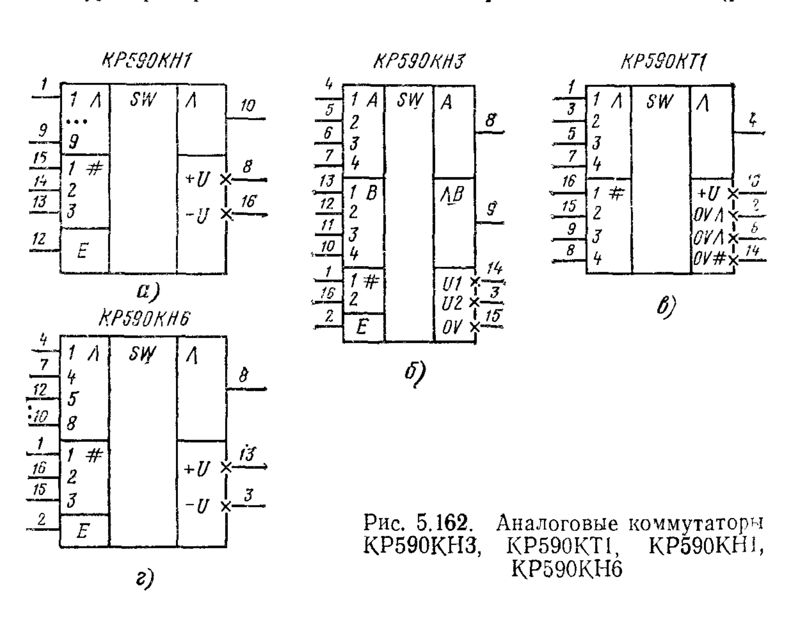


Рис. 5.162. Аналоговые коммутаторы КР590КН3, КР590КТ1, КР590КН1, КР590КН6

5.162, *б*) содержит для четырехканальных АК со схемой управления на базе триггера. В зависимости от уровней сигналов, имеющихся на его входах, к выводам подключаются различные каналы (табл. 5.33). На рис. 5.163, *а* показана микросхема К591КН1, выполненная по МОП-технологии. Она обеспечивает коммутацию 16 аналоговых каналов, а также позволяет производить как адресную, так и последо-

Таблица 5.32

Уровни на управляющих входах				Номер открытого канала
#3	#2	#1	E	
0	0	0	1	1
0	0	1	1	2
0	1	0	1	3
0	1	1	1	4
1	0	0	1	5
1	0	1	1	6
1	1	0	1	7
1	1	1	1	8
X	X	X	0	—

Таблица 5.33

Уровни на управляющих входах			Номер открытого канала
#2	#1	E	
0	0	1	1A и 1B
1	0	1	2A и 2B
0	1	1	3A и 3B
1	1	1	4A и 4B
X	X	0	

Таблица 5.34

Уровни на управляющих входах				Номер открытого канала
#1	#2	#3	#4	
1	1	1	1	1
0	1	1	1	2
1	0	1	1	3
0	0	1	1	4
1	1	0	1	5
0	1	0	1	6
1	0	0	1	7
0	0	0		8
1	1	1	0	9
0	1	1	0	10
1	0	1	0	11
0	0	1	0	12
1	1	0	0	13
0	1	0	0	14
1	0	0	0	15
0	0	0	0	16

вательную выборки каналов. Микросхема оформлена в прямоугольном керамическом корпусе с 32 выводами. Выбор канала производится в соответствии с уровнями, указанными в табл. 5.34, при наличии лог. 1 на входе блокировки. Установка режима выборки микросхемы осуществляется в соответствии с информацией на логических входах, указанной в табл. 5.25. Микросхема К591КН2 (рис. 5.163, *б*) содержит два восьмиканальных коммутатора, выборка информации

Таблица 5.35

Уровни на управляющих входах						Режим выборки
E1	E2	E5	E3	C	+1	
0	0	1	1	0	⎍	Последовательный
0	1	1	1	0	0	Произвольный
1	X	X	X	X	X	Блокировка

Обозначение	Технология	Число каналов	$U_{ип}$, В	$U_{ком}$, В	$I_{ком}$, мА	$R_{отк}$, Ом	$t_{вкл}$, мкс
К590КН1 КР590КН1	КМОП	8	+5—15	±5	10	500	1
К590КН3 КР590КН3	КМОП	4×2	±15	±15	20	300	0,3
К590КН6 КР590КН6	КМОП	8	±15	±15	20	300	0,3
К590КТ1 КР590КТ1	КМОП	4	9		5	100	0,03
К591КН2	КМОП	8×2	±15	±15	20	300	0,3
К591КН3	КМОП	16	±16	±15	20	270	0,3
К591КН1	КМОП	16	±15 ±5	+5	5	450	2,5
543КН1	рМОП	16	—15 +5 +12	±12	10	200	1
543КН2	рМОП	16 8	—15 +5 +12	12	10	350	1,2
К190КТ1 К190КТ1П	рМОП	5	—	±10	10	300	—
К190КТ2 К190КТ2П	рМОП	2×2	—25	±10	50	50	—
КР190КТ3	рМОП	6	—25	±10	10	300	—
К1104КН1	КНС	16	+5 +9	±5	—	400	0,2

осуществляется параллельно в соответствии с кодом на входах управления. В качестве примера можно привести АК серии 543 (рис. 5.164), выполненные на основе МОП-структур. Эти микросхемы работают от трех источников питания: $U_{ип1}$=—15 В, $U_{ип2}$=+5...+9 В, $U_{ип3}$=+12 В и могут коммутировать аналоговые сигналы при управляющих сигналах от ТТЛ- (при $U_{ип}$=+5 В) и от МОП-схем (при $U_{ип}$=+9 В). Шестнадцатиканальный АК с управлением последовательным кодом типа 543КН1 (рис. 5.164, *а*) предназначен для коммутирования уровней напряжения от —7 до +10 В при частоте тактовых сигналов не более 300 кГц и длительности тактового импульса

Таблица 5.36

$I_{ут\ вх}$, нА	$I_{ут\ вых}$, нА	$I^0_{пот}$, мкА	$I^1_{пот}$, мкА	$U^0_{вх}$, В	$U^1_{вх}$, В	Примечание
50	50	3,5 мА	3,5	0...08	3,6...5,5	
50	70			0...08	4...16,5	
50	70	3,5 мА	3,5	0...08	4...16,5	С управлением (дешифраторов)
50	50			0...08	7,7...12	Со схемой управления
50	70	20...100	20 мкА	0...0,8	4	Сдвоенный коммутатор с управлением
50	70	20...100	20 мкА	0...0,8	4	С дешифратором
50	50	—	—	0...0,8	3,6...5,6	С последовательной выборкой канала
20	50	1,2 0,3 2,2	—	0,4	2,4...7,7	С последовательным кодом
20	50	1,7 0,5 2,8	—	0,4	2,4...7,7	Двухгрупповой с управлением параллельным кодом
200	50	—	4	—6	—	
150	50	—	4	—6	—	
200	500	—	4	—6	—	С управлением последовательным кодом
100	200		1	0,4	2,4...7,7	

от 0,4 до 4 мкс. Уровень коммутируемого тока микросхемы равен 0...10 мА, а сопротивление открытого ключа 16-канального коммутатора не превышает 200 Ом (табл. 5.36).

Шестнадцатиканальный АК 543КН2 (рис. 5.164, *б*) может работать как два 8-канальных коммутатора. Управление схемой АК осуществляется параллельным кодом, подаваемым на входы X1—X4. Схема имеет три выхода и позволяет осуществлять последовательный и адресный опрос каналов. В состав серии входит 8-канальный аналоговый ключ 543КН3 (рис. 5.164, *в*) с коммутируемым током до 20 мА.

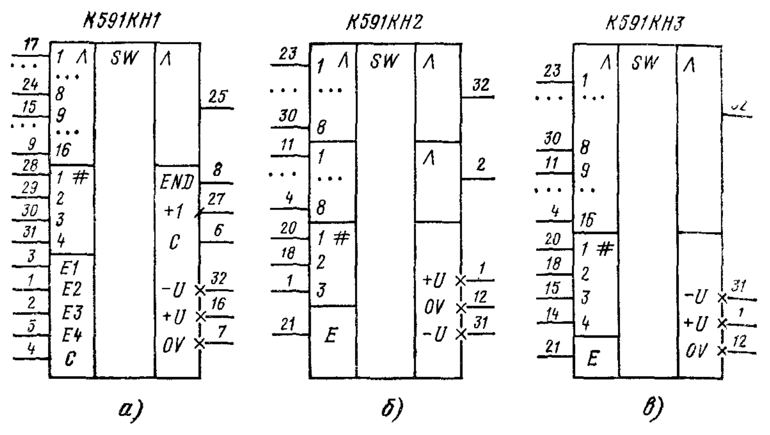


Рис. 5.163. Аналоговые коммутаторы К591КН1, К591КН2, К591КН3

Рис. 5.164. Аналоговые коммутаторы 543КН1, 543КН2, 543КН3

На рис. 5.165 приведена микросхема 16-канального коммутатора с последовательным выбором каналов типа К1104КН1. Микросхема выполнена по технологии кремний на сапфире (КНС) и имеет $t_{вкл}$ не более 200 нс, $R_{отк}$ менее 400 Ом и управляется напряжением ТТЛ-уровня.

На рис. 5.166 приведена коммутирующая матрица 4×4 со схемой управления типа 590КН14. Микросхема в зависимости от комбинации цифровых сигналов на управляющих входах 0—15 осуществляет любую комбинацию вход/выход из 16 возможных. Дополнительные входы управления E и R служат для управления всеми каналами микросхемы одновременно: при ER=1 каналы открыты, при R=1 закрыты. На рис. 5.167 показана микросхема 591КН4, содержащая две коммутирующие матрицы 4+4 со схемой управления, предназначенная

Рис. 5.165. Аналоговый коммутатор К1104КН1

Рис. 5.167. Коммутирующая матрица 591КН4

Рис. 5.166. Коммутирующая матрица 590КН14

для коммутирования аналоговых и цифровых сигналов в многоканальных системах сбора данных. Микросхема выполнена по КМОП-технологии, работает от напряжения питания $U_{ип}=+15$ В и имеет следующие параметры: $R_{отк}=100$ Ом при $I_{ком}=1$ мА, $t_{вкл}<300$ нс при $R_н=10$ кОм; $C_н=40$ пФ, $U_{ком}=0...15$ В. Управление подсоединением каналов в каждой матрице, как и в случае, указанном выше, осуществляется кодом по выводам управления 1.

5.8. Интегральные стабилизаторы напряжения

Высокая точность РЭА обеспечивается стабильностью передаточных характеристик всех звеньев аппаратуры, которые в первую очередь зависят от стабильности питающих напряжений. Для фиксации напряжения питания аппаратурных блоков применяются интегральные стабилизаторы напряжения. Интегральный стабилизатор имеет следующие основные параметры.

Коэффициент нестабильности по напряжению, %/В, — отношение изменения выходного напряжения $\Delta U_{вых}$ к вызвавшему его изменению входного напряжения: $K_{нU}=\Delta U_{вых}\cdot 100/(U_{вых}/\Delta U_{вх})$.

Коэффициент нестабильности по току, %, — отношение измене-

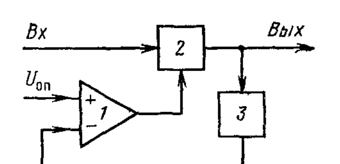


Рис. 5.168. Структурная схема стабилизатора компенсационного типа:

1 — усилитель ошибки; 2 — регулирующий элемент; 3 — делитель напряжения

ния выходного напряжения $\Delta U_{вых}$ к вызвавшему его относительному изменению тока нагрузки: $K_{нI} = \Delta U_{вых} I_{вых} \cdot 100/(U_{вых} \Delta I_{вых})$.

Коэффициент сглаживания пульсации, дБ, — отношение амплитудного значения пульсаций входного напряжения $\Delta U_{вх}$ к амплитудному значению пульсаций выходного напряжения: $K_{сг} = 20\lg(\Delta U_{вх}/\Delta U_{вых})$. Кроме того, для расчета схем включения интегральных стабилизаторов требуется знать уровень мощности, рассеиваемой прибором, $P_{рас}$, максимальное входное напряжение и диапазон регулируемых напряжений $\Delta U_{вых}$. Важной характеристикой стабилизатора является его быстродействие, соответствующее скорости отработки скачков входного напряжения и токов нагрузки. Интегральная технология позволяет создавать различные стабилизирующие устройства — от простейших параметрических стабилизаторов, в качестве которых используется один из переходов интегрального транзистора, до схем стабилизаторов компенсационного и импульсного типов. Структурная схема стабилизатора приведена на рис. 5.168. Усилитель ошибки (обычно один из видов ОУ с коэффициентом около 1000) усиливает разность потенциалов опорного элемента и средней точки делителя. Делитель напряжения и регулирующий элемент включены в цепь ООС усилителя. Ввиду того что коэффициент усиления большой, можно считать, что напряжение на выходе стабилизатора пропорционально коэффициенту передачи делителя и уровню опорного напряжения: $U_{вых} = U_{оп}(R_1 + R_2)/R_2$, где $U_{оп}$ — напряжение опорного элемента.

В качестве элемента, генерирующего опорное напряжение, применяется один из типов стабилитрона или схемы, основанной на генераторных токах. Схема, изображенная на рис. 5.168, работает следующим образом. Приращение входного напряжения на величину $\Delta U_{вх}$ должно вызвать приращение на величину $\Delta U_{вых}$ выходного напряжения стабилизатора. Но сигнал о приращении выходного сигнала через делитель с коэффициентом обратной передачи $R_2/(R_2 + R)$ поступает на вход усилителя ошибки. Усилитель отрабатывает сигнал уменьшения тока через регулирующий элемент и тем самым существенно компенсирует ожидавшуюся на выходе ошибку $\Delta U_{вых}$.

Регулирующий элемент может состоять из одного или нескольких транзисторов, включенных по схеме Дарлингтона. Число проходных транзисторов зависит от тока нагрузки, мощности выходного сигнала усилителя, параметров самих транзисторов. К интегральному стабилизатору при малых токах нагрузки внешние транзисторы, как правило, не подключаются. При токах нагрузки 1...5 А к микросхеме требуется присоединить два-три мощных транзистора.

В настоящее время для построения РЭА находят применение универсальные стабилизаторы и стабилизаторы с фиксированным выходным напряжением. Универсальные стабилизаторы используют для работы внешнюю схему делителя, позволяющую в широком диапазоне регулировать выходное напряжение. Стабилизаторы с фиксированным

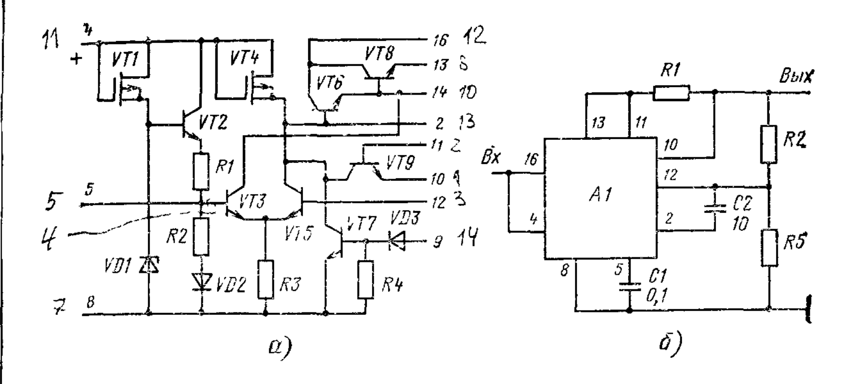


Рис. 5.169. Стабилизатор напряжения КР142ЕН1, КР142ЕН2:

а — принципиальная электрическая схема; *б* — основная схема включения

выходным напряжением (их иногда называют трехвыводными) имеют внутреннюю схему делителя и настраиваются на стандартный ряд питающих напряжений в процессе производства микросхемы. Трехвыводные схемы за счет технологической подгонки точности делителя имеют $K_{нU}$ и $K_{нI}$ на порядок меньше, чем универсальные.

Полупроводниковые микросхемы типов КР142ЕН1 и КР142ЕН2 (рис. 5.169) представляют собой стабилизаторы компенсационного типа, имеющие схему защиты при коротком замыкании нагрузки. Для регулировки выходного напряжения в стабилизаторах применяется внешней делитель. Такое построение схемы позволяет расширить диапазон выходных регулируемых напряжений. Делитель с большим коэффициентом деления ухудшает значения коэффициентов стабилизации, однако в полупроводниковой схеме можно реализовать запас коэффициентов усиления и при большом диапазоне регулировки.

Достижения в области интегральной технологии в значительной мере повлияли на развитие схем стабилизаторов. Стабилизатор типа К142ЕН3 (рис. 5.170) содержит двухкаскадный усилитель разности ошибки на базе ДУ с активной нагрузкой. Режим этих ДУ определяется схемой стабилизации, базовым опорным элементом которой служит стабилитрон. Такое схемотехническое решение позволяет получить коэффициент нестабильности по напряжению на порядок лучший, чем у стабилизаторов К142ЕН1. Стабилизатор имеет схему защиты от перегрузки по выходу и схему синхронизации. Микросхема К142ЕН4 отличается от стабилизатора К142ЕН3 максимальным входным напряжением и падением напряжения на проходном элементе. Параметры этой микросхемы приведены в табл. 5.37.

В серию К142 входят стабилизаторы с фиксированным рядом выходных напряжений К142ЕН5 (5 и 6 В), К142ЕН8 (9, 12 и 15 В), К142ЕН9 (20, 24 и 27 В). Схема включения стабилизатора К142ЕН5 приведена на рис. 5.171. Входное напряжение подается на вывод 17, а выходное снимается с вывода 2. В схеме имеется защита от перегрузки по выходу. Схема двухполярного стабилизатора с фиксированным напряжением ±15 В типа К142ЕН6 (рис. 5.172) обеспечивает

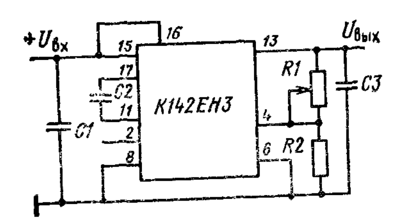


Рис. 5.170. Схема включения стабилизаторов напряжения К142ЕН3, К142ЕН4

Выводы: 2 — защита; 4 — обратная связь; 6 — выключение; 8 — общий; 11, 17 — коррекция; 13 — выход; 15 — вход

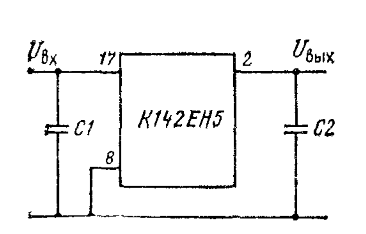


Рис. 5.171. Схема включения стабилизатора К142ЕН5

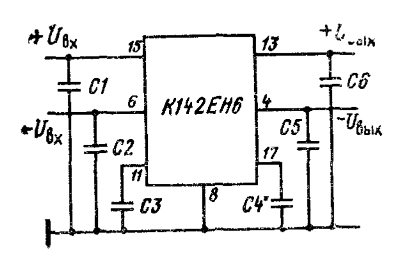


Рис. 5.172. Схема включения стабилизатора К142ЕН6

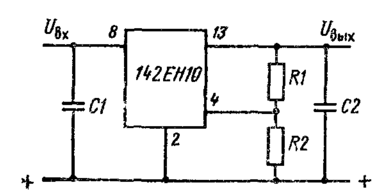


Рис. 5.173 Схема включения стабилизатора К142ЕН10

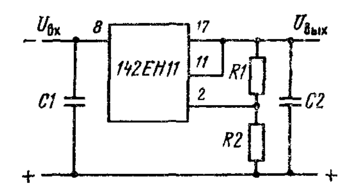


Рис. 5.174. Схема включения стабилизатора К142ЕН11

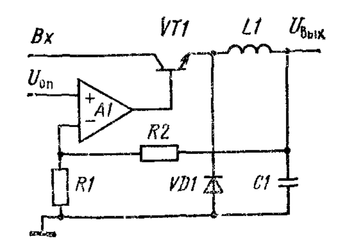


Рис. 5.175. Структурная схема ключевого стабилизатора

Таблица 5.37

Тип стабилизатора	$K_{нU}$, %	$K_{нI}$, %	$(U_{вх}—U_{вых})$, $U_{вх,мин}$, В	$U_{вх}$, В	$U_{вых}$, В	$I_{н макс}$, мА	$I_{пот}$, мА
К142ЕН1А К142ЕН1Б	0,3 0,1	0,5 0,2	3	9...20	3...12	50...150	4
К142ЕН2А К142ЕН2Б	0,3 0,1	0,5 0,2	3	15...40	12...30	50 ..150	4
К142ЕН3А К142ЕН3Б	0.05	0,5	3	19...45	16...30	—	10
К142ЕН4А К142ЕН4Б	0,05	0,5	3 4	19...40	15.. 30	—	10
К142ЕН5А К142ЕН5Б	0,05	3	—	—	4,9...5,1 5,88...6,12	—	10 10
К142ЕН5В К142ЕН5Г	0,05	2	—	—	4,82...5,18 5,79...6,21	—	10 10
142ЕН10 142ЕН11	0,05 0,05	1,0 0,33	— —	— 35	1,2...30	—	7,0 —

$K_{нU}$ не более 0,0015 $K_{нI}$ не более 0,2. Параметры стабилизаторов с фиксированным выходным напряжением приведены в табл. 5.38.

Стабилизатор напряжения отрицательной полярности типа К142ЕН10 (рис. 5.173) имеет схему защиты от короткого замыкания и схему тепловой защиты и может развивать в нагрузке ток до 1 А. Корпус микросхемы позволяет рассеивать мощность до 5 Вт. Коэффициент нестабильности по напряжению измерен при выходном токе $I_{вых}$ = 10 мА, а коэффициент нестабильности по току $K_I=\Delta U\cdot 100/(U_{вых1}|I_{вых1}—I_{вых2}|)$. Номиналы резисторов $R1$ и $R2$ выбираются из выражения $U_{вых}=2,3$ В $(R_1+R_2)/R_2$, при этом ток делителя должен быть более 1,5 мА. Режимом работы стабилизатора можно управлять, для чего предусмотрен вывод 15. Напряжение выключения стабилизатора $U_{выкл}\geqslant 3$ В при токе по выводу 1,5 мА. Для ограничения входного тока управляющее напряжение подается через резистор сопротивлением $R=U_{выкл}/I_{выкл}$—1,5 кОм. Корпус микросхемы электрически соединен со входом микросхемы, поэтому при монтаже необходимо обеспечить изоляцию корпуса. Крепление радиатора микросхемы к плате или дополнительному теплоотводу осуществляется винтами.

Стабилизатор напряжения отрицательной полярности типа К142ЕН11 рассеивает мощность до 8 Вт и имеет предельно допусти-

Таблица 5.38

Тип стабилизатора	$K_{нU}$, %	$K_{нI}$, %	$U_{вх} - U_{выв}$, В	$U_{вх}$, В	$U_{вых}$, В	$I_{н\ макс}$, А	$K_{сг}$, дБ	$I_{пот}$, мА
142ЕН6А 142ЕН6Б	0,0015	0,2	2,2	±20	14,7...15,3	0,2	30	±7,5
К142ЕН8А	0,05	1	2,5	35...12	8,73...9,27	1,5	30	10
К142ЕН8Б					11,64...12,36			
К142ЕН8В	0,05	1	2,5	40...23	14,55...15,45	1,5	30	10
К142ЕН9А					19,6...20,4			
К142ЕН9Б					23,52...24,48			
К142ЕН9В					26,46...27,54			

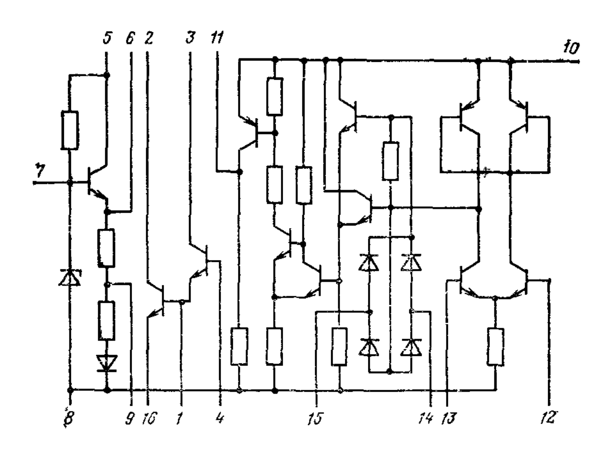


Рис. 5.176. Стабилизатор К142ЕП1

мый выходной ток $I_{вых}=1,5$ А. Схема включения стабилизатора приведена на рис. 5.174.

При наличии сглаживающего фильтра входного напряжения, отсутствии коммутирующих устройств и длине соединительных проводников не более 70 мм входной емкостью может служить выходная емкость фильтра при $C_ф \geqslant 10$ мкФ. В схеме допускается применять только электролитические конденсаторы.

Для увеличения КПД стабилизаторов, работающих при повышенных выходных токах (особенно, если велико падение напряжения на регулирующем элементе), применяются стабилизаторы ключевого типа (рис. 5.175). Транзистор VT1 работает в ключевом режиме. Когда транзистор открыт, диод VD1 закрыт и ток в катушке индуктивности L1 увеличивается: $I_L = \frac{1}{L}\int_{t_0}^{t_1} U dt$, где U — напряжение, приложенное к индуктивности. Ток через катушку индуктивности L1 подается в нагрузку, а также заряжает конденсатор C1, который соединен с инвертирующим входом усилителя. Выходное напряжение увеличивается до тех пор (конденсатор C1 заряжается), пока не превысит опорное напряжение на неинвертирующем входе усилителя ошибки. В этот момент усилитель ошибки прекращает питать базу транзистора VT1 и он закрывается. Энергия, запасенная в катушке индуктивности L1, служит причиной возникновения импульса напряжения, имеющего отрицательную полярность. Этот импульс поглощается открытым демпфирующим диодом VD1. Ток индуктивности I_L подается в нагрузку.

Когда ток в катушке индуктивности упадет ниже значения тока нагрузки, конденсатор C1 начнет разряжаться и выходное напряжение (а следовательно, и напряжение на инвертирующем входе усилителя ошибки) уменьшится. Когда напряжение на инвертирующем входе U_0 станет ниже опорного, усилитель включит транзисторный ключ (транзистор VT1) и цикл повторится. Выходное напряжение

ключевого стабилизатора колеблется около напряжения $U_{вых} = U_{оп}(R_2+R_1)/R_2$ с амплитудой, которая определяется чувствительностью усилителя ошибки и отношением номиналов резисторов делителя R1R2.

При построении ключевого стабилизатора необходимо определить величины L и C. Для расчета L и C задаются следующими характеристиками стабилизатора: величиной пульсации ΔU, выходным напряжением $U_{вых}$, частотой f и минимальным выходным током $I_{вых\ макс}$. Принимая $I_{вых\ макс} = 1{,}3\ I_L$, получаем $L = [1{,}3(U_{вх} - U_{вых})/I_{вых\ макс} f](U_{вых}/U_{вх})$. На рис. 5.176 приведена принципиальная схема микросхемы К142ЕП1, предназначенной для построения стабилизаторов ключевого типа. В табл. 5.39 рассмотрены ее параметры.

Таблица 5.39

Параметр	К142ЕП1А	К142ЕП1Б	Режим измерения: $I_{ком}$, мА	$U_{вх}$, В	$U_{нп}$, В
Ток утечки $I_{ут}$, мкА, не более	100	100	—	40	40
Остаточное напряжение $U_{ост}$, В, не более	1,8	1,9	200	—	40
Напряжение опорного элемента $U_{оп}$, В	1,7...2,2	1,65...2,3	—	40	40
Порог срабатывания отпускания $\Delta U_{срб\text{-}отп}$, мВ, не более	5	6	50	40	40
Коэффициент нестабильности опорного напряжения $K_{нU_{оп}}$, не более	0,03	0,03	—	40	40
Время нарастания импульса выходного напряжения $t_{нар}$ при $f_{вх} = 100 \cdot 10^3$ Гц, мкс, не более	0,2	0,2	50	—	40
Время спада импульса выходного напряжения $t_{сп}$ при $f_{вх} = 100 \cdot 10^3$ Гц, мкс, не более	0,2	0,2	50	—	40
Ток потребления $I_{пот}$, мА при $f_{вх} = 50$ Гц, не более	9	12	—	—	40

Глава 6.

Рекомендации по конструктивно-технологическому применению интегральных микросхем

6.1. Надежность микросхем и радиоэлектронной аппаратуры

Микросхемы стали основной элементной базой современной РЭА прежде всего благодаря своей высокой надежности. Надежность зависит от многих факторов: совершенства разработки электрической схемы и конструкции, физико-химической совместимости материалов, отработанности и стабильности технологического процесса изготовления, методов контроля качества

Групповой способ изготовления десятков тысяч микросхем в едином технологическом цикле, в строго контролируемых технологических средах и режимах обеспечивает примерно равную надежность как всех кристаллов в партии микросхем, так и элементов в каждом из кристаллов.

Как известно, одним из основных источников отказов аппаратуры являются межсоединения плат и комплектующих изделий. Внутри микросхемы соединение элементов между собой осуществляется методом осаждения пленок металлов, а соединение элементов с выводами корпуса — методом термокомпрессионной или ультразвуковой микросварки. Эти методы обеспечивают надежное сцепление (адгезию) с поверхностью кристалла и другими пленками и соединение металлов на молекулярном уровне. Число межсоединений на кристалле в тысячи раз превышает число выводов корпуса микросхем. Для большинства типов микросхем характерно низкое потребление мощности. При малой мощности рассеяния рабочая температура кристалла по сравнению с температурой окружающей среды повышается незначительно, поэтому создаются благоприятные условия для замедления физико-химических процессов, приводящих к отказам.

Надежность радиоэлектронного устройства на основе микросхем оказывается более высокой по сравнению с аналогичным устройством на дискретных комплектующих изделиях, которые изготавливаются на разных предприятиях, на различном оборудовании и в разное время.

Применение высоконадежных микросхем не всегда автоматически обеспечивает выпуск столь же надежной аппаратуры. Сохранение надежности микросхем в аппаратуре в значительной степени определяется соблюдением рекомендаций по их конструктивно-технологическому применению, режимам и условиям работы.

Реальный уровень надежности микросхем проявляется лишь при эксплуатации аппаратуры. Часто безотказность микросхем различных серий (их изготавливают на разных заводах) практически одинакова в приборах, изготовленных на одном и том же предприятии-изготовителе РЭА. Однако, как показывает статистика, надежность микросхемы одной и той же серии (одного предприятия) оказывается весьма различной в составе комплектов аппаратуры, изготовленных раз-

ными заводами. Это следствие различия технологической культуры производства аппаратуры.

Достижение и поддержание максимальной эксплуатационной надежности микросхем (следовательно, и аппаратуры) существенно зависят от проектирования аппаратуры, подготовки производства и наладки оборудования, квалификации персонала, отработанности технологического процесса изготовления аппаратуры, использования средств защиты микросхем от статического электричества, тепловых и других воздействий.

Задача этой главы — познакомить читателя с рекомендациями по конструктивно-технологическому применению микросхем в РЭА.

6.2. Обеспечение надежности радиоэлектронной аппаратуры на этапе серийного производства

6.2.1. Информативная система управления качеством

Эксплуатационная надежность аппаратуры зависит в основном от качества разработки конструкции аппаратуры, качества использованных в аппаратуре комплектующих изделий и уровня технологического процесса изготовления аппаратуры. Ответственность за качество серийной аппаратуры несет изготовитель независимо от причин ее отказов. Поэтому изготовитель РЭА при выборе производственного процесса должен учитывать следующие факторы.

Во-первых, современная аппаратура разрабатывается с применением перспективных серий микросхем. Большинство из них могут находиться в начальной стадии серийного производства. В этот период требования разработчика РЭА к надежности микросхем еще не реализуются в полной мере.

Во-вторых, в начальный период неизбежна коррекция схемотехнических и конструктивных решений. Это также связано с применением перспективной элементной базы: иначе не могут быть реализованы заданные на аппаратуру тактико-технические требования.

В-третьих, до полной автоматизации технологического процесса изготовления аппаратуры существенная доля отказов в эксплуатации будет определяться скрытыми производственными дефектами.

В-четвертых, для управления качеством аппаратуры нужны объективная информация о действительном качестве комплектующих изделий и разработка мероприятий, исключающих попадание на сборку комплектующих изделий со скрытыми дефектами. Поступившие в сборочное производство комплектующие изделия должны контролироваться на всех этапах изготовления аппаратуры. Результаты проверки сборочных единиц аппаратуры дают дополнительную информацию о поведении комплектующих изделий уже во взаимосвязи с другими элементами и в течение определенного времени, когда они подвергались различного рода технологическим воздействиям. Если при анализе комплектующих изделий, вышедших из строя во время изготовления аппаратуры, будет показано, что причиной неисправности является нарушение технологического процесса или режимов их применения, то должны быть разработаны соответствующие корректирующие мероприятия. С учетом сказанного возможная схема управления качеством аппаратуры приведена на рис. 6.1.

Основным звеном информативной системы является входной

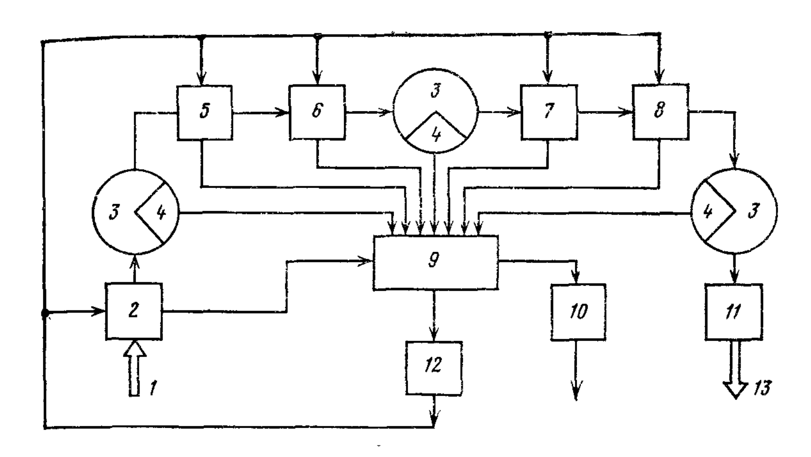


Рис. 6.1. Информативная система управления качеством РЭА:

1 — комплектующие изделия; 2 — цех качества, проведение входного контроля и отбраковочных испытаний; 3 — годные изделия; 4 — брак; 5 — цех-изготовитель сборочных единиц; 6 — цех качества, проведение отбраковочных испытаний сборочных единиц; 7 — цех-изготовитель аппаратуры; 8 — цех качества, проведение отбраковочных испытаний аппаратуры; 9 — лаборатория информативного анализа; 10 — ремонт изделий; 11 — ОТК; 12 — орган управления; 13 — аппаратура

Таблица 6.1

Вид испытаний и проверок	Маршруты						
	А	Б	В	Г	Д	Е	Ж
Проверка внешнего вида	+	+	+	+	+	+	+
Проверка габаритных, установочных и присоединительных размеров (выборочно)	—	+	+	+	+	+	+
Электротермотренировка при повышенной рабочей температуре длительностью 168 ч	—	—	—	—	—	—	+
Проверка статических электрических параметров при нормальных климатических условиях	—	—	+	+	+	+	+
Проверка статических электрических параметров при повышенной и пониженной рабочих температурах	—	—	—	+	+	+	+
Проверка динамических параметров при нормальных климатических условиях	—	—	—	—	+	+	+
Функциональный контроль при нормальных климатических условиях	—	—	—	—	+	+	+
Функциональный контроль при повышенной рабочей температуре	—	—	—	—	—	+	+

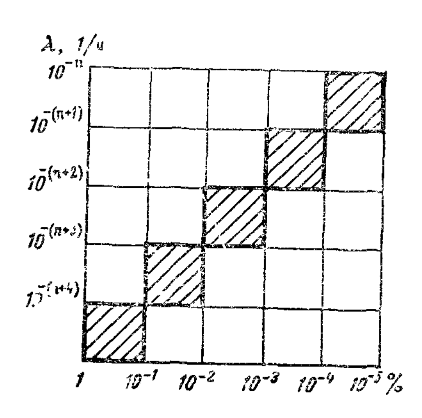


Рис. 6.2. Зависимость эксплуатационной интенсивности отказов λ микросхем от засоренности партий в состоянии поставки

контроль, методика проведения которого выбирается таким образом, чтобы все комплектующие изделия были подвергнуты испытаниям на соответствие техническим условиям. Объем и условия проведения испытаний для конкретных типов изделий устанавливают в зависимости от реального качества этих изделий. Испытания при входном контроле проводят по одному из маршрутов, приведенных в табл. 6.1. Выбранный маршрут испытаний должен быть документирован. Новые типы комплектующих изделий или комплектующие изделия нового поставщика подвергают испытаниям по наиболее жесткому маршруту Ж. При появлении новых видов дефектов в любой из маршрутов могут быть введены дополнительные виды испытаний, позволяющие выявить эти дефекты. Изменение времени электротермотренировки (ЭТТ) в маршруте Ж, а также переход с одного маршрута на другой разрешается руководителем предприятия.

На рис. 6.2 приведена статистическая закономерность между засоренностью партий микросхем до их монтажа в аппаратуру и прогнозируемой интенсивностью отказов при эксплуатации. Заштрихованные участки определяют области, в которых имеется корреляционная зависимость. Этой зависимостью можно пользоваться при принятии решений об изменении маршрутов входного контроля. При переходе на выборочный контроль не менее 10 % комплектующих изделий должны проверяться по маршруту Ж.

Комплектующие изделия, забракованные при проведении входного контроля, поступают в лабораторию информативного анализа для определения причин их отказов. По результатам анализа принимается решение либо об изменении маршрута входного контроля, либо о разработке мероприятий у поставщика. Информативная система позволяет постоянно следить за эффективностью принимаемых поставщиком мероприятий по повышению качества и устранению конкретных причин отказов комплектующих изделий.

6.2.2. Отбраковочные испытания аппаратуры

В процессе изготовления аппаратуры все сборочные единицы, блоки и готовые изделия должны подвергаться отбраковочным испытаниям. В состав испытаний обязательно включают функциониро-

вание аппаратуры в динамическом режиме при повышенной рабочей температуре.

В технологической документации должны быть определены контрольные точки съема информации о работоспособности изделий. Все отбраковочные испытания (кроме контроля ОТК) проводит цех качества. Информация собирается со следующих операций: проверка функционирования наименьших сборочных единиц и блоков аппаратуры; проверка функционирования наименьших сборочных единиц и блоков при повышенной температуре после ЭТТ; проверка функционирования собранной аппаратуры до и после ЭТТ. Все забракованные изделия передают в лабораторию информативного анализа для определения причин отказов.

Информацию, полученную после проведения анализа, систематизируют и на ее основе подготавливают мероприятия, направленные либо на коррекцию условий и объема испытаний на входном контроле, если причинами отказов являются комплектующие изделия, либо на изменение технологического процесса изготовления аппаратуры, если причинами отказов являются нарушения технологии.

Все забракованные изделия после установления причины отказов передают для ремонта в специально созданное подразделение. Устанавливается определенный регламент ремонта. Ремонту подлежат сборочные единицы, если они составляют не более определенного процента (например, 10 %) отказавших единиц данного типа от суточного выпуска. Если отказ сборочных единиц одного типа превышает установленный процент от суточного выпуска, решение об их ремонте принимает руководитель предприятия. Аналогично устанавливают регламент и для восстановления блоков и аппаратуры.

6.3. Воздействие внешних факторов при производстве аппаратуры

В процессе изготовления аппаратуры микросхемы многократно подвергаются воздействию разных внешних факторов: механических, температурных, химических и электрических.

Механические усилия прикладываются к микросхемам при операциях комплектации, формовки и обрезки выводов, установки и приклеивания микросхем к печатной плате. Усилия, воздействующие на выводы и окружающую их изоляцию, могут нарушить герметичность корпуса. Температурные воздействия связаны с операциями лужения, пайки, демонтажа. При этих операциях возможен перегрев элементов конструкции микросхем. Химические воздействия оказывают влияние на материал покрытия корпуса и маркировку микросхем при флюсовании, очистке печатных плат от остатков флюса, влагозащите и демонтаже. Электрические воздействия связаны с разрядами статического электричества через микросхему. Эти воздействия имеют место при всех технологических операциях, если не принять мер по уменьшению и отводу зарядов статического электричества из производственных помещений. Возможные виды отказов микросхем от различных технологических воздействий показаны в табл. 6.2.

Таблица 62

Объект воздействия	Технологические операции	Воздействующий фактор	Вид возможных нарушений и отказов
	Механическое воздействие		
Выводы микросхемы	Рихтовка, формовка и обрезка	Растягивающее усилие, усилие прижатия вывода	Растрескивание изолятора, вызывающее нарушение герметичности корпуса, пережатие, скручивание, излом выводов
Изолятор выводов, основание корпуса, гибкие соединения, кристалл или подложка	Установка и приклейка микросхемы на плату, демонтаж	Статическое усилие прижатия корпуса к плате	Растрескивание изолятора, вызывающее нарушение герметичности, деформация дна корпуса вызывающая растрескивание и обрыв гибких проводников разрушение корпуса
Покрытие выводов	Входной контроль, рихтовка, формовка и обрезка	Усилие прижатия вывода	Вмятины и царапины на выводах, приводящие к коррозии
	Температурное воздействие		
Изолятор выводов, кристалл подложка, активные элементы и гибкие выводы	Лужение пайка, демонтаж, сушка	Перегрев вывода от припоя, повышенная температура	Растрескивание изолятора, вызывающее нарушение герметичности, отслаивание подложки или кристалла (в случае их приклейки) от монтажной зоны корпуса, приводящее к обрыву гибких выводов

Продолжение табл. 6 2

Объект воздействия	Технологические операции	Воздействующий фактор	Вид возможных нарушений и отказов
	Химическое воздействие		
Покрытие, маркировка	Флюсование, очистка, влагозащита, демонтаж	Химическая активность	Коррозия покрытия или основного материала выводов и корпуса, нарушение целостности маркировочных обозначений и покрытий
	Электрическое воздействие		
Пассивные и активные элементы микросхем, металлизация p-n переходы, защитный окисел	Все технологические операции	Электрический заряд	Пробой окисла, деградация параметров микросхем из-за пробоя в полупроводниковой структуре

6.4. Формовка и обрезка выводов

Одно из основных требований, которому должен удовлетворять корпус микросхемы, — сохранение внутри него относительно сухой атмосферы в течение всего срока службы. Любая поверхность вещества при нормальных условиях покрыта тонкой пленкой влаги толщиной 0,01...0,001 мкм. Из-за малых размеров молекулы ($2{,}7 \cdot 10^{-10}$ м) и малой вязкости воды влага способна проникать даже в межмолекулярные промежутки сложных неорганических соединений. При этом происходят механическое разрушение материалов, изменение электрических свойств поверхностей, коррозия металлов и их сплавов. Чтобы избежать этого, герметизацию корпусов микросхем обычно проводят в атмосфере сухого азота.

Металлы, стекло и керамика, используемые для изготовления корпусов микросхем, практически газо- и влагонепроницаемы. Чтобы сохранить сухую инертную атмосферу внутри корпуса, его швы между разнородными материалами должны быть максимально герметичными. Согласно принятым нормам через спай с хорошей герметичностью при разности давления 1 атм в течение 30 лет натекает не более 1 см³ газообразного гелия (практически это означает абсолютную воздухонепроницаемость).

Соединение металлов с металлами осуществляют пайкой с мягкими или твердыми припоями, горячей или холодной сваркой, а также их комбинациями. Спаи стекла со стеклом или керамикой образуются либо плавлением их при высоких температурах, либо склеиванием более легкоплавким стеклом. Герметизация металлостеклянных спаев, с помощью которых от корпуса микросхемы электрически изолируются выводы, представляет сложную техническую задачу. Это связано с тем, что большинство обычных стекол имеет низкие температурные коэффициенты линейного расширения (ТКР) и теплопроводности, тогда как металлы хорошо проводят тепло и имеют большие ТКР. Различие в скоростях нагрева и остывания стеклянных и металлических частей спаев и несоответствие их ТКР приводят к механическим напряжениям и повреждению спаев. В условиях эксплуатации микросхем стекло и металл считаются совместимыми, если разность их ТКР не превышает $4 \cdot 10^{-7}$ 1 °С.

Обычно для герметизации выводов микросхем в месте их выхода из корпуса применяются кристаллизующиеся стеклянные припои (например, типа «пирокерам»). Технология получения такого герметичного соединения методом пайки основана на образовании стеклокерамического соединения с кристаллизацией боро-свинцово-цинкового стекла. При этом методе стекло расплавляется и растекается, хорошо смачивая совмещенные поверхности керамики, стекла и металлов (подобно тому, как металлический припой смачивает и соединяет между собой металлические детали при обычной пайке).

При дальнейшем нагревании припойное стекло начинает «расстекловываться», происходят образование центров и кристаллизация материала шва. Размеры образующихся кристаллов пропорциональны времени и температуре процесса. Прочность такого шва герметизации обусловлена его кристаллической структурой и вдвое превышает прочность шва из аморфного стекла. Кроме того, при механических нагрузках в спаях с некристаллизующимся стеклом появляются микротрещины, которые создают пути натекания влаги в корпус через стекло. В кристаллизующемся же спае микротрещины не проходят



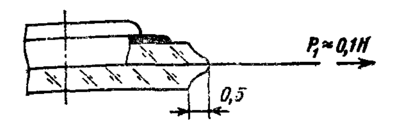


Рис. 6.3. Направление растягивающего усилия при формовке и обрезке выводов

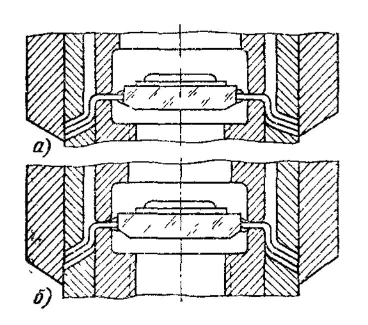


Рис. 6.5. Правильная (*а*) и неправильная (б) формовка выводов планарного корпуса

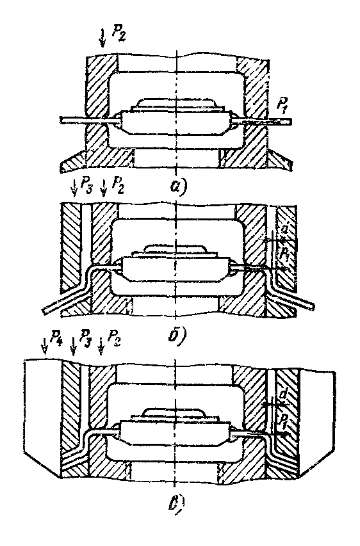


Рис. 6.4. Конструкция штампа для формовки и обрезки выводов микросхем:

а — прижим; *б* — формовка; *в* — обрезка

через спай. Регулируя содержание кристаллической фазы материала шва, можно изменять его ТКР от $40 \cdot 10^{-7}$ до $120 \cdot 10^{-7}$ 1/°С (ТКР стекла $46 \cdot 10^{-7}$ 1/°С). Особенность большинства типов корпусов микросхем заключается в том, что некоторая часть длины вывода находится под наплывом стекла (или керамики). При формовке выводов наплывы изоляции должны быть сохранены.

При выполнении технологических операций по подготовке микросхемы к монтажу на печатную плату (рихтовка, формовка и обрезка выводов) выводы подвергаются растяжению, изгибу и сжатию. При этом растягивающее усилие P_1 приложено к наиболее чувствительной к механическим воздействиям зоне корпуса — гермовводу (рис. 6.3). Если растягивающее усилие будет чрезмерным, в месте заделки выводов в корпус могут возникнуть трещины по стеклу или керамике тела корпуса, приводящие к немедленной или, что еще хуже, постепенной разгерметизации корпуса.

Конструкция штампа для формовки и обрезки выводов (рис. 6.4) должна обеспечивать независимые и последовательные усилия прижатия P_2, формовки P_3 и обрезки P_4. Величины этих усилий подбираются так, чтобы сохранить целостность гальванического покрытия выводов, создать минимальное растягивающее усилие вдоль оси вывода и получить заданную конфигурацию формовки. При формовке и обрезки выводов микросхемы допускаются следы (отпечатки) от инструмента на выводах микросхемы, не приводящие к нарушению гальванического покрытия.

Конструкция штампа должна обеспечивать жесткое крепление каждого вывода микросхемы вне зоны наплыва стекла или керамики. Участок вывода на расстоянии 1 мм от тела корпуса не должен подвергаться изгибающим и крутящим деформациям. При формовке должны быть соблюдены допустимые радиусы изгиба. Формовку выводов микросхем прямоугольного поперечного сечения необходимо производить с радиусом изгиба не менее двух толщин вывода, а выводов круглого сечения — с радиусом не менее двух диаметров. Обрезать незадействованные внутри корпуса выводы микросхемы или выводы, которые не используются в схеме ее применения и не влияют на работоспособность микросхемы, можно на расстоянии 1 мм от тела корпуса, однако следует учесть, что по выводам от микросхемы (особенно малого размера) отводится значительная часть тепла.

В типично неправильной конструкции технологического приспособления формовки выводов корпусов четвертого типа (рис. 6.5, *б*) не оставлен зазор (не менее 0,5 мм от тела корпуса), необходимый для сохранения керамики. Штамп такой конструкции может нарушать герметичность корпуса микросхемы.

6.5. Лужение и пайка

При производстве РЭА широко используются групповые методы выполнения отдельных технологических операций, например лужение выводов микросхем способом «окунания в расплавленный припой» или пайка методом «волны припоя». Режимы этих операций (температура расплавленного припоя, время контакта припоя с выводами корпуса, площадь зоны контакта вывода с припоем), выбранные без учета характеристик теплопередачи конкретных типов корпусов микросхем, могут привести к их разрушению. На рис. 6.6 схематично показаны отдельные элементы конструкции микросхемы, которые подвергаются тепловому воздействию и участвуют в передаче тепла. При контакте с расплавленным припоем вдоль вывода микросхемы создается перепад температуры, вызывающий передачу тепла. Теплообмен осуществляется от зоны пайки (зона А) через металл вывода к керамической основе тела корпуса 3 и далее к кристаллу и от внутренней части вывода (зона Б) через внутренний соединительный проводник 1. Приведем параметры режима лужения:

Предельная температура припоя, °C	260
Предельное время нахождения выводов в расплавленном припое, с	2
Минимальное расстояние от «тела» корпуса до границы припоя по длине вывода, мм	1
Предельно допустимое число погружений одних и тех же выводов в припой	2
Минимальный интервал времени между двумя погружениями одних и тех же выводов в припой, мин	5

При выполнении операции лужения нельзя касаться припоем термовводов корпуса. Припой не должен попадать на стеклянные

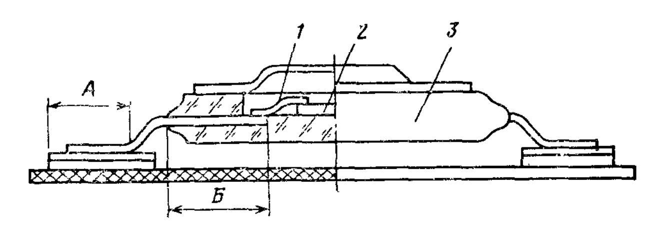


Рис. 6.6. Схема теплообмена при лужении и пайке выводов микросхемы

и керамические части корпуса микросхемы. Граница растекания припоя по выводам должна быть не ближе чем на расстоянии 1 мм от тела корпуса микросхемы, при этом допускается некоторая неравномерность лужения по длине выводов. Минимальная длина участка лужения по длине вывода от его торца должна быть не менее 0,6 мм, причем допускается наличие «сосулек» на торцах выводов микросхемы. Необходимо тщательно следить за тем, чтобы не образовывались перемычки между выводами, поверхность припоя должна быть сплошной, без трещин, пор, необлуженных участков. Оборудование, применяемое для лужения, должно обеспечивать поддержание и контроль температуры с погрешностью не хуже ±5 °С.

Качество паяных соединений должно определяться по следующим признакам: паяная поверхность должна быть светлой или светло-матовой, без темных пятен и посторонних включений. Форма паяных соединений должна иметь вогнутые галтели припоя по шву (без избытка припоя). При выполнении пайки корпуса микросхемы с планарными выводами допускаются: заливная форма пайки, при кото-

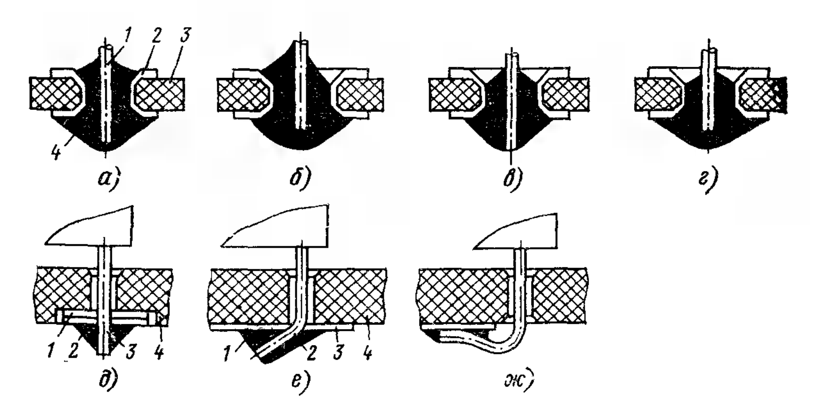


Рис. 6.7. Примеры пайки корпусов со штырьковыми выводами:

а—г — пайка в металлизированные отверстия: 1 — вывод; 2 — металлизированное отверстие; 3 — печатная плата; 4 — припой; *д—ж* — пайка в неметаллизированные отверстия: 1 — контактная площадка; 2 — припой; 3 — вывод; 4 — печатная плата

рой контуры отдельных выводов микросхемы полностью скрыты под припоем, наплывы припоя конусообразной и скругленной формы в местах отрыва паяльника, небольшое смещение вывода в пределах контактной площадки, растекание припоя в пределах длины вывода, пригодной для монтажа.

Форма паяного соединения при запайке выводов микросхемы в металлизированные отверстия должна соответствовать рис. 6.7, *а—г*. Растекание припоя со стороны корпусов должно быть ограничено пределами контактных площадок. Конец вывода может быть нелуженым. Монтажные металлизированные отверстия должны быть заполнены припоем на высоту не менее $^2/_3$ толщины платы. Не допускается исправление дефектных соединений со стороны установки микросхемы на плату.

Форма паяного соединения при пайке выводов микросхем на контактные площадки печатных плат с неметаллизированными отверстиями должна соответствовать эскизу (рис. 6.7, *д—ж*). Растекание припоя по выводам микросхемы должно быть в пределах зоны, пригодной для монтажа. На торцах выводов допускается отсутствие припоя.

Оборудование и оснастка, применяемые при пайке, должны обеспечивать: автоматическое поддержание и контроль температуры припоя с погрешностью ± 5 °С при выполнении операции «волной припоя»; поддержание и периодический контроль (через 1...2 ч) температуры жала паяльника с погрешностью ± 5°С при индивидуальном способе выполнения пайки микросхемы; контроль времени контактирования выводов микросхемы с жалом паяльника или с расплавленным припоем при групповых методах пайки; контроль расстояния от тела корпуса до границы припоя по длине выводов. Жало паяльника должно быть заземлено (переходное сопротивление заземления не более 5 Ом).

6.6. Установка микросхем на печатные платы

Конструктивные особенности корпусов микросхем — наличие гермовводов и герметизирующих швов, относительно тонкое (0,1...0,2 мм) дно, на котором расположен кристалл, — определяют ряд требований, которые должны быть выполнены при установке микросхем на печатные платы.

На рис. 6.8, *а*, *б* показан вариант установки микросхем со штырьковыми выводами (корпуса первого типа). Установка таких корпусов производится в металлизированные отверстия. Выводы микросхемы

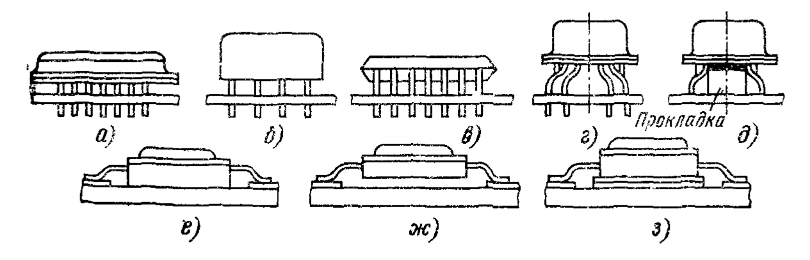


Рис. 6.8. Варианты установки различных корпусов на печатную плату

не формуются. Величина зазора, равная $1^{+0,5}$ мм, выбрана из условия обеспечения механической устойчивости микросхемы во всем диапазоне механических нагрузок и сохранения целостности корпуса (при меньших зазорах возможно нарушение гермоввода для металлостеклянных корпусов из-за теплового воздействия припоя при пайке).

Микросхемы в корпусах второго типа устанавливают на платы с односторонним или двусторонним расположением печатных проводников в металлизированные отверстия с зазором, который обеспечивается конструкцией выводов (рис. 6.8, *в*). На рис. 6.8, *г*, *д* показаны варианты установки микросхем в корпусах третьего типа с отформованными выводами. Установка производится с зазором $3^{+0,5}$ мм (рис. 6.8, *г*). Если аппаратура подвергается повышенным механическим воздействиям при эксплуатации, то при установке микросхем должны применяться жесткие прокладки из электроизоляционного материала. Прокладка должна быть приклеена к плате и основанию (ко дну) микросхемы (рис. 6.8, *д*). Конструкция прокладки также должна обеспечивать целостность гермовводов микросхемы. При использовании микросхем в круглых корпусах без формовки выводов их устанавливают с зазором $1^{+0,5}$ мм в металлизированные отверстия.

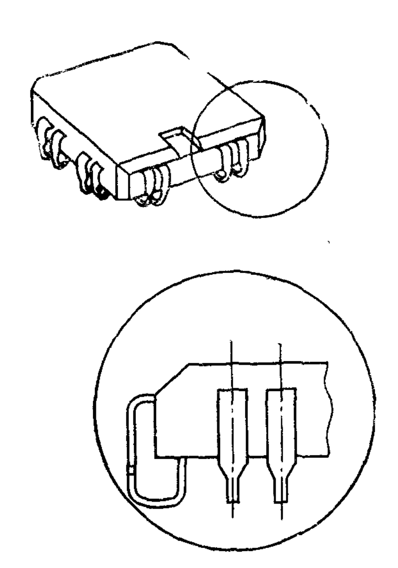
Микросхемы в корпусах четвертого типа с отформованными выводами можно устанавливать на платы с односторонним или двусторонним расположением печатных проводников следующими способами: вплотную на печатную плату или на прокладку (рис. 6.8, *е*, *з*) и с зазором до 0,7 мм (рис. 6.8, *ж*).

Планарные корпуса следует приклеивать по всей плоскости основания корпуса. Толщина клеевого шва определяется выбранным вариантом формовки выводов (расстоянием от плоскости основания микросхемы до платы), но зазор между микросхемой и платой должен быть полностью заполнен клеем. При установке микросхем в планарных корпусах допускается смещение свободных концов выводов в горизонтальной плоскости в пределах ±0,4 мм от положения выводов после формовки. Рекомендуется приклеивать микросхемы к печатным платам клеем ВК-9. Температура сушки материалов, используемых для крепления микросхемы на платы, не должна превышать допустимой температуры для ее эксплуатации. Рекомендуемая температура сушки 65 ±5 °С. При приклеивании микросхемы к печатной плате усилие прижатия не должно превышать 0,08 мкПа.

6.7. Поверхностный монтаж микросхем

Рациональное использование площади коммутационных плат, автоматизация технологических операций и снижение стоимости производственного процесса являются основными тенденциями в создании современной функционально сложной и надежной РЭА.

Эти требования наилучшим образом выполняются при использовании сложных микросхем (СИС, БИС, СБИС) в конструктивном исполнении, пригодном для поверхностного монтажа. На рис. 6.9 и рис. 6.10 показаны конструкции корпусов типа Е. Они имеют одиннадцать типоразмеров с числом выводов от 16 до 156. Материал корпуса — пластмасса или стеклокерамика. Форма выводов двух вариантов: первый в виде петли, подогнутой под прибор (рис. 6.9), второй — ступенчатый, отходящий в сторону от прибора (рис. 6.10). За



Рис, 6.9. Корпус типа Е. Выводы j-образные

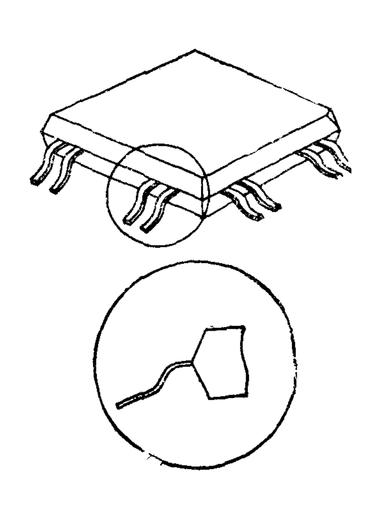
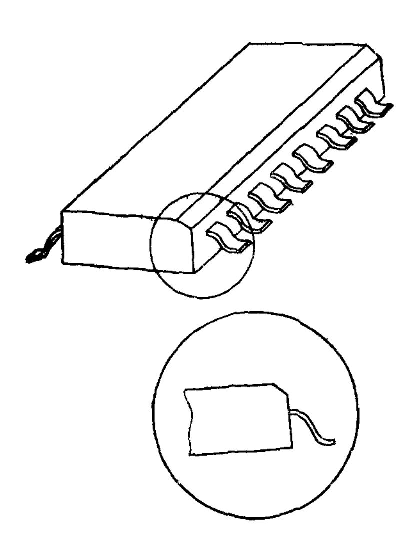


Рис. 6.10. Корпус типа Е. Выводы типа «крыло чайки»



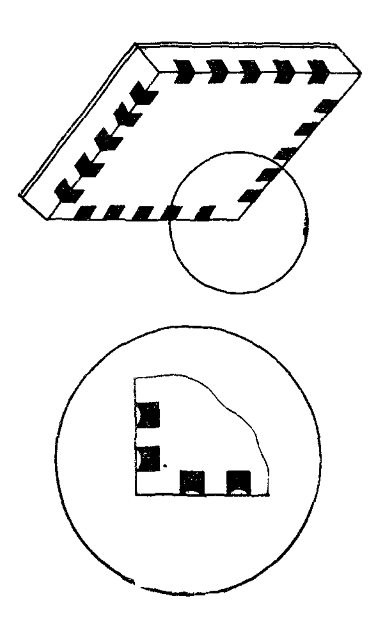


Рис. 6.11. Корпус типа Ф

Рис. 6.12. Безвыводной корпус типа Н

Рис. 6.13. Зависимость площади коммутационной платы S, приходящейся на один вывод корпусов, от числа выводов n

1 — корпус второго типа с шагом 2,5 мм; 2 — корпус четвертого типа; 3 — корпус типа Е (выводы «крыло чайки»); 4 — корпус типа Е (j-образный вывод); 5 — безвыводной корпус типа Н; 6 — корпус типа Ф

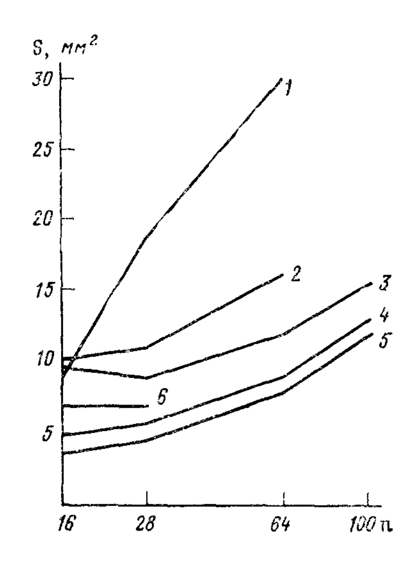
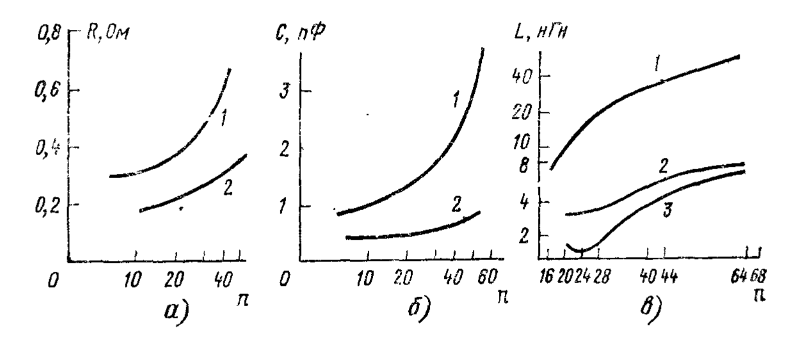


Рис. 6.14. Сравнительные электрические характеристики корпусов различных типов в зависимости от числа выводов n:

1 — корпус второго типа с шагом 2,5 мм; 2 — корпус типа Е; 3 — безвыводной корпус типа Н



рубежом эти выводы известны как j-образный и «крыло чайки». Вывод j-образный занимает меньшую полезную площадь и меньше подвергнут повреждениям. Вывод типа «крыло чайки» обеспечивает лучший визуальный контроль паяных соединений.

Микросхемы в пластмассовых корпусах типа Ф (рис. 6.11) имеют от 6 до 28 выводов. Выводы микросхем гибкие, ступенчатые, шаг между выводами 1,25 мм. При применении микросхем в корпусах типа Е и Ф не возникает проблемы согласования коэффициентов линейного расширения, они могут устанавливаться на коммутационные платы из любых материалов.

Микросхемы в керамических корпусах типа Н имеют две модификации: безвыводную (рис. 6.12) и с неформированными выводами по периметру корпуса. Число выводов от 16 до 156. Микросхемы устанавливают на керамические и композиционные коммутационные

платы с внутренними металлическими слоями для компенсации различного линейного расширения материалов. Платы такого типа не отвечают концепции дешевой конструкции сборочных единиц аппаратуры.

Микросхемы в корпусах четвертого типа соответствуют условиям поверхностного монтажа, но так же, как выводные корпуса типа Н, требуют дополнительной операции — формовки выводов. Эти микросхемы давно применяются в аппаратуре.

Эффективность использования площади коммутационных плат при монтаже на них микросхем в корпусах различных типов иллюстрирует рис. 6.13. В качестве критерия выбрана площадь платы, приходящаяся на один вывод микросхемы. Видно, что микросхемы в корпусе подтипа 2.1 (см. табл. 1.3), не предназначенного для поверхностного монтажа, имеют худшие характеристики. При числе выводов от 16 до 28 микросхемы в корпусе Ф незначительно уступают микросхемам в корпусах Н и j-образном типа Е.

С увеличением числа выводов корпуса заметное влияние на характеристики микросхемы оказывают межвыводная электрическая емкость, омические и индивидуальные сопротивления внутренних металлизированных дорожек от кристалла к внешним выводам корпуса [13]. В корпусах подтипа 2.1 (см. табл. 1.3) длина дорожек от кристалла к крайним выводам корпуса в 5...6 раз больше, чем к средним. Малогабаритные корпуса для поверхностного монтажа обладают лучшими электрическими характеристиками, так как более короткие и лучше согласующиеся связи приводят к уменьшению их сопротивления и межвыводной емкости (рис. 6.14). Создание надежного паяного соединения при изготовлении узлов РЭА с использованием микросхем со штырьковыми выводами (типы 1, 2 и 3) не представляет технической проблемы: выводы микросхем облужены, зажаты в металлизированных отверстиях коммутационной платы, площадь паяного соединения относительно большая, пайки осуществляются волной припоя. При поверхностном монтаже все обстоит иначе: небольшая часть вывода свободно лежит на контактной площадке коммутационной платы, а соединение осуществляется оплавлением припоя. К тому же механическая прочность паяного соединения становится критичной к термическим напряжениям, возникающим в соединении из-за различных ТКР материалов вывода и коммутационной платы. Качество паяного соединения определяется формой и размерами монтажных площадок коммутационных плат, размерами выводных площадок и выводов корпусов микросхем, их материалами. Площадь монтажной площадки платы должна быть достаточной для размещения на ней вывода или выводной площадки микросхемы и нанесения дозированного количества припойной пасты. Рекомендуемый размер монтажной площадки $(1{,}6...1{,}8)\times 0{,}6\pm 0{,}1$ мм. При шаге выводов 1,25 мм, ширине и интервалах металлизированных дорожек 0,2...0,25 мм расстояние между монтажными площадками должно быть 0,635 мм. Это дает возможность выполнить разводку между монтажными площадками и исключить случаи образования перемычек из припоя между соседними участками металлизации. Размеры выводов и выводных площадок корпусов приведены в ГОСТ 17467—79

Паяное соединение заливной формы с образованием галтели припоя определяется зазором в месте пайки вывода или выводной площадки корпуса и монтажной площадкой коммутационной платы. Величины зазора зависят от плоскостности выводов и выводных

площадок корпуса по отношению к установочной плоскости и плоскостности монтажных площадок коммутационной платы. Хорошие результаты пайки достигаются при зазоре 0,05...0,15 мм и планарности части вывода 50 мкм.

Качество монтажа во многом определяется качеством и свойствами коммутационных плат, которые зависят от множества факторов, таких как состояние поверхности, плоскостности и параллельности. толщины припоя на монтажных площадках, совместимости материала платы с материалом корпуса и выводов микросхем. В настоящее время широко используются стеклоэпоксидные платы (СФ-2Н-50, СФ-1) и начали применяться платы из керамики (ВК-94). Одним из достоинств керамических плат являются примерное равенство ТКР керамики ВК-94 и ковара, хорошая теплопроводность и технологичность керамики. Температурный коэффициент расширения ВК-94 равен $(6,5...8)\cdot10^{-6}$ 1/град, а для СФ-2Н-50 он составляет $(15...18)\cdot10^{-6}$ 1/град. Керамические корпуса типа Н рекомендуется устанавливать на керамические платы.

Технологический процесс поверхностного монтажа состоит из трех основных операций:

1. Нанесение припойной пасты на монтажные площадки коммутационной платы.
2. Установка микросхем на монтажные площадки.
3. Групповая пайка методом оплавления припоя.

Припойная паста представляет суспензию металлического припойного сплава в связующем веществе флюса. Сплав удерживается во флюсе в виде частиц металла. Форма и размер частиц определяются в зависимости от способа нанесения пасты на монтажные площадки коммутационной платы. Сплав состоит из 37...40 % свинца и 60...63 % олова Масса сплава составляет 85...90 % массы пасты. Флюс образован из смолы (60 %) и смеси инградиентов типа активаторов, растворителей, сгустителей и смазочного масла. Припойную пасту необходимо предохранять от окисления. Если припойный сплав в пасте окислен, то при расплавлении на соединяемых поверхностях образуются отдельные шарики припоя. Напротив, неокисленная паста образует единую сферическую поверхность. Хранить пасту рекомендуется при температуре 2...5 °С в среде азота.

Припойная паста выполняет несколько функций. Консистенция пасты такова, что она удерживает микросхемы на коммутационной плате и в процессе пайки. Когда паста расплавляется, силы поверхностного натяжения совмещают выводы микросхемы с монтажными площадками. Одновременно создается электрическое и механическое соединение поверхностей.

Нанесение припойной пасты на коммутационную плату рекомендуется производить через маску. Маска представляет собой металлическую фольгу, на которой протравлен нужный рисунок. Через полностью открытые окна припойная паста свободно и равномерно растекается по поверхности коммутационной платы. Количество наносимой припойной пасты регулируется толщиной фольги. Качественные паяные соединения обеспечиваются при толщине слоя припойной пасты от 127 до 254 мкм.

После нанесения пасты следует немедленно установить микросхемы на *монтажные площадки*. Установка производится вручную или автоматическим укладчиком. Точность установки должна обеспечить совмещение 60...70 % ширины вывода микросхемы с монтажной площадкой. После установки микросхем коммутационную плату

следует подвергнуть сушке при температуре 50...80 °С с целью выпаривания влаги из припойной пасты для исключения кипения флюса и растворителя при пайке оплавлением и уменьшения потенциального образования пор и пустот в полном соединении.

Существует несколько методов оплавления заранее нанесенного припоя, конденсационный (в паровой фазе); электронагревом (контактное и бесконтактное); инфракрасным нагревом; лазерной пайкой; пайкой нагретым газом.

Метод оплавления припоя в паровой фазе заключается в передаче скрытого тепла конденсации коммутационной плате с установленными на ней микросхемами. Теплонесущей средой является фтороуглеродистое соединение в стадии насыщенного пара при температуре 215 °С. Технология пайки предусматривает предварительный нагрев коммутационной платы до 100 °С перед вводом ее в камеру с фтороуглеродом. В камере происходят быстрый и равномерный нагрев платы и оплавление припоя. Метод — высокопроизводительный, с высокой точностью поддержания температуры. Недостаток метода заключается в высокой стоимости оборудования и теплоносителя.

Пайка ИК-оплавлением осуществляется за счет энергии инфракрасного излучения. Источниками излучения являются вольфрамовые или йоднокварцевые лампы с фокусирующими рефлекторами и излучающими панелями, создающими равномерный направленный поток излучения в диапазоне длин волн 4...6,24 мкм. После предварительного нагрева и стабилизации температуры подается импульс ИК-излучения и происходит оплавление припоя. Установки ИК-системы обеспечивают меньшую скорость роста температуры (5 °С/с), чем установки конденсационной пайки (50 °С/с). Это снижает вероятность возникновения энергетических напряжений в паяных соединениях. К достоинствам метода можно отнести высокую производительность, возможность осуществления автоматизированного контроля и управления процессом. Процесс может производиться в среде азота или инертных газов.

Лазерная пайка применяется в тех случаях, когда требуются высокая локальность и быстрота процесса нагрева. Точная фокусировка излучения позволяет проводить оплавление припоя в непосредственной близости от термочувствительных материалов.

Пайка нагретым газом заключается в нагреве соединяемых элементов потоками нагретых газов до температуры плавления. Метод является универсальным и может быть использован для демонтажа микросхем. Недостатком является низкая производительность

6.8. Защита микросхем от электрических воздействий

С течением времени степень интеграции микросхем увеличивается, что связано с развитием технологии, позволяющей уменьшить как сами размеры элементов, так и размеры тех областей, с помощью которых элементы электрически изолируются друг от друга на кристалле. Такое увеличение плотности компоновки элементов позволяет улучшить электрические и функциональные параметры микросхем, но сопровождается снижением допустимых электрических нагрузок и увеличением чувствительности микросхем к разрядам статического электричества.

Действительно, анализ микросхем, вышедших из строя в процессе производства и испытаний аппаратуры, показывает, что причи-

ной отказов 40...50 % таких микросхем являются электрические перегрузки. У поврежденных микросхем обнаруживается ухудшение крутизны вольт-амперной характеристики или полный пробой р-п перехода, хотя видимых под микроскопом изменений металлизации нет. Чаще других нарушаются эмиттерные переходы. Внешне дефект проявляется в том, что обратный ток возрастает на несколько порядков, а коэффициент усиления по току существенно ухудшается (падает на 70 %). В этом случае электрические перегрузки вызывают необратимые изменения в структуре р-п переходов, приводящие к ухудшению эффективности эмиттера.

Может иметь место частичное или полное выгорание металлизации, образование перемычек между соседними дорожками, а также хорошо видимые следы пробоя р-п переходов на поверхности или под пассивирующим слоем. Для отказавших из-за электрических перегрузок микросхем характерны оплавление, разбрызгивание алюминия (при кипении) и образование короткозамкнутых соседних участков металлизации. Пережоги чаще всего возникают в наиболее «слабых» местах токоведущих дорожек, имеющих уменьшенные площади поперечного сечения.

Одной из причин отказов микросхем, имеющих указанные дефекты, может быть воздействие разрядов статического электричества, возникающих при выполнении различных технологических операций из-за того, что в производственных условиях широко используются сильно электризующиеся синтетические и другие изоляционные материалы. Кроме того, из-за плохого заземления корпусов приборов и технологического инструмента могут иметь место значительные сетевые наводки.

Возникновение статических зарядов обусловлено несколькими механизмами генерации, величина этих зарядов зависит от многих факторов. Статические потенциалы $U_{ст}$ на поверхности диэлектриков независимо от механизма их генерации всегда оказываются пропорциональными удельным поверхностным сопротивлениям материалов ρ_s (табл. 6.3).

Таблица 6.3

Материал	$U_{ст}$, кВ	ρ_s, Ом
Винипласт	1,3...2,8	$1 \cdot 10^{14}$
Дерево	0,7	$1,4 \cdot 10^{13}$
Стекло	0,6...0,8	$9,6 \cdot 10^{12}$
Гетинакс	0,45	$4,3 \cdot 10^{12}$

На рис. 6.15 представлена зависимость статических потенциалов для двух видов материалов, широко используемых для спецодежды производственного персонала — лавсана и хлопчатобумажной ткани, от относительной влажности воздуха. Анализируя эти зависимости, следует обратить внимание на то, что статические потенциалы при низкой относительной влажности воздуха (40...50 %) достигают 3... ...10 кВ. Статический потенциал на лавсане выше, чем на хлопчатобумажной ткани и сильно зависит от относительной влажности возду-

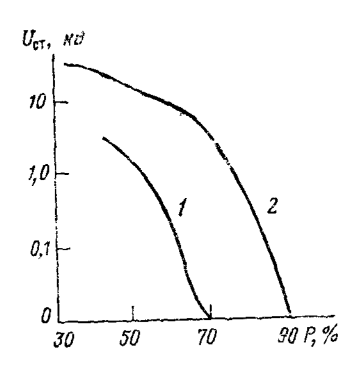


Рис. 6.15. Зависимость статических потенциалов различных материалов $U_{ст}$ от относительной влажности P:

1 — хлопчатобумажная ткань; 2 — лавсан

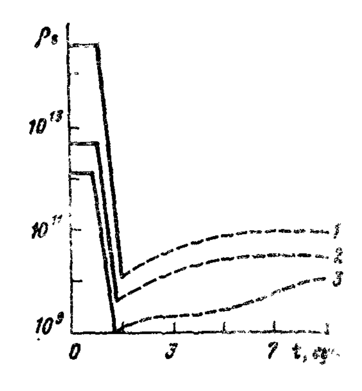


Рис. 6.16. Зависимость удельного поверхностного сопротивления ρ_s различных материалов, обработанных поверхностно-активными веществами, от времени:

1 — синтетический линолеум; 2 — текстолит; 3 — картон

ха (при влажности 65 % потенциал на хлопчатобумажной ткани равен нулю, в то время как на лавсане он превышает 3 кВ).

При разработке мероприятий по защите микросхем от воздействия разрядов статического электричества необходимо учитывать и способность изоляционных материалов сохранять в течение определенного времени накопленные на их поверхности заряды. За время удержания заряда ($\tau_у$) принято время, в течение которого накопленный статический потенциал уменьшается в 2,3 раза. Время удержания зарядов пропорционально удельным поверхностным сопротивлениям материалов. В табл. 6.4 приведены экспериментальные данные о времени удержания заряда при относительной влажности воздуха равной 65 %.

При организации производства аппаратуры с применением мик-

Таблица 6.4

Материал	$\tau_у$, с	ρ_s, Ом
Бумага	25	$(3,3\ldots9,8)\cdot10^{11}$
Лакированное дерево	1200	$1,4\cdot10^{13}$
Поливинилхлорид	7800	$1,0\cdot10^{14}$
Органическое стекло	9000	$2,2\cdot10^{15}$
Синтетический линолеум	12 000	$4,0\cdot10^{14}$

росхем необходимо помнить, что на руках операторов при выполнении различных технологических операций создаются значительные статические потенциалы — от сотен до нескольких тысяч вольт. Величина и полярность этих потенциалов зависят от множества различных факторов, в числе которых относительная влажность воздуха в помещении, материал одежды, материалы покрытия стола, стула технологического и испытательного оборудования, степень изоляции оператора от «земли».

При организации участков производства аппаратуры, в которой используются микросхемы, не рекомендуется применять отделочные материалы с большим удельным поверхностным сопротивлением. Применение для отделки поверхностей производственной мебели, полов, испытательного и технологического оборудования материалов с малым ρ_s (не более (1...5)·10^9 Ом) обеспечивает необходимые условия для быстрого стекания зарядов статического электричества.

В качестве материалов для покрытий поверхностей может быть рекомендован специальный антистатический линолеум. Сравнительные электрические параметры — удельное поверхностное ρ_s и объемное ρ_v сопротивления и время удержания заряда τ_y — обычного и антистатического линолеума приведены в табл. 6.5. Применение

Таблица 6.5

Линолеум	ρ_s, Ом	ρ_v, Ом·см	τ_y, с
Обычный	$4 \cdot 10^{14}$	$5{,}9 \cdot 10^{17}$	12 000
Антистатический	$5 \cdot 10^{9}$	$2{,}4 \cdot 10^{9}$	0,5

антистатического линолеума исключает возможность накопления статических зарядов на операторе: контакт руки оператора до выполнения очередной технологической операции с поверхностью, покрытой антистатическим линолеумом, обеспечивает стекание зарядов за 1 с.

Для снижения удельного поверхностного сопротивления покрытий рекомендуется применять поверхностно-активные вещества, например антистатическую пасту «Чародейка», которая наносится тонким слоем на рабочие диэлектрические поверхности столов, испытательного и технологического оборудования и приспособлений, тары для хранения микросхем и сборочных единиц. Она также используется для протирки полов и при стирке хлопчатобумажных чехлов для производственной мебели. Увеличение поверхностного сопротивления обработанной поверхности (рис. 6.16) объясняется естественным усыханием и старением пасты, а также стиранием ее при работе. Сопротивление возрастает на порядок величины за 10...15 дней, поэтому периодичность нанесения пасты должна определяться из конкретных условий производства. При применении антистатического линолеума и поверхностно-активных веществ для стекания зарядов необходимо создать хороший электрический контакт одной-двух точек поверхности с «землей».

Для снижения поверхностного сопротивления покрытий рекомендуется поддерживать максимально возможную относительную влаж-

ность в производственных помещениях (удовлетворительный результат может быть достигнут при влажности 65..70 %).

Для изготовления межоперационной тары рекомендуется использовать материалы с поверхностным сопротивлением $10^5...10^8$ Ом. Материал тары может быть покрыт токопроводящей краской. Слой краски не препятствует стеканию зарядов, так как имеет невысокое ρ_s.

Должен быть обеспечен непрерывный контакт оператора с «землей» через высоковольтный резистор 1 МОм с помощью специального антистатического браслета. Однако надо учитывать, что применение антистатического браслета эффективно лишь в том случае, если рабочее место, тара и приспособления выполнены с применением материалов с малым поверхностным сопротивлением, исключающим накопление на них зарядов статического электричества. В противном случае вероятность повреждения микросхем велика.

Одежда оператора должна быть изготовлена из хлопчатобумажной ткани, подвергаться стирке с применением антистатической пасты «Чародейка» или другого поверхностно-активного вещества. Обувь оператора должна быть на кожаной или полупроводящей резиновой подошве.

Список литературы

1. **Аналоговые** и цифровые интегральные микросхемы/С. В. Якубовский, Н. А. Барканов, Л. И. Ниссельсон и др.; Под ред. С. В. Якубовского. — 2-е изд., перераб. и доп. — М.: Радио и связь, 1984 — 431 с.
2. **Ясен И.** Курс цифровой электроники. — М.: Мир, 1987. — 412 с.
3. **Применение** интегральных микросхем в электронной вычислительной технике/Под ред. Б. Н. Файзулаева. — М.: Радио и связь, 1986. — 383 с.
4. **Титце У., Шлык К.** Полупроводниковая схемотехника. — М.: Мир, 1983. — 512 с.
5. **Микропроцессорные** комплекты БИС на основе интегральной инжекционной логики/Под ред. Э. П. Калошкина — М.: Радио и связь, 1984. — 246 с.
6. **Гилмор Ч. М.** Введение в микропроцессорную технику: Пер. с англ. — М.: Мир, 1984. — 334 с.
7. **Соучек Б.** Микропроцессоры и микроЭВМ. Пер. с англ./Под ред. А. И. Петренко. — М.: Сов. радио, 1979. — 517 с.
8. **Архитектура** и проектирование микроЭВМ. Организация вычислительных процессов/Под ред. Л. Н. Преснухина. — М.: Высшая школа, 1986. — 495 с.
9. **Полупроводниковые** БИС запоминающих устройств/Под ред. А. Ю. Гордонова и Ю. А. Дьякова. — М.: Радио и связь, 1986. — 360 с.
10. **Головин О. В.** Радиоприемные устройства. — Высшая школа, М. 1987.
11. **В. А. Казинов, Ю. В. Круглов.** БИС КР1015ХК2. Управление частотой настройки радиоприемников//Электронная промышленность. — 1984. — Вып. 6. — С. 51.
12. **Березенко А. И., Гусаков О. И., Корягин Л. Н.** и др. БИС для цифрового синтезатора частот//Электронная промышленность. — 1984. — Вып. 6. — С. 49.
13. **Garner R., Taylor D.**//Microelectronics J. — 1986. — Vol. 17. — P. 5—13.

Приложение

Алфавитно-цифровой указатель микросхем, помещенных в справочник

Продолжение

Оглавление

Справочное издание

ЯКУБОВСКИЙ СЕРГЕЙ ВИКТОРОВИЧ, НИССЕЛЬСОН ЛЕВ ИОНОВИЧ, КУЛЕШОВА ВАЛЕНТИНА ИВАНОВНА и др.

ЦИФРОВЫЕ И АНАЛОГОВЫЕ ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ

Справочник

Заведующий редакцией **Ю. Н. Рысев**
Редактор **М. М. Лисина**
Переплет художника **В. Ф. Громова**
Художественный редактор **Н. С. Шеин**
Технический редактор **Г. З. Кузнецова**
Корректор **Л. А. Буданцева**

ИБ № 1671

Сдано в набор 30.03.89. Подписано в печать 04.10.89. Т-13995. Формат 84×108[1]/32. Бумага типограф. № 2. Гарнитура литературная. Печать высокая. Усл. печ. л. 26,04. Усл. кр.-отт. 26,04. Уч.-изд. л. 32,92. Доп. тир. 170000 экз. Изд. № 22122. Зак. № 300. Цена 2 р

Издательство «Радио и связь». 101000, Москва, Почтамт, а/я 693

Владимирская типография Госкомитета СССР по печати
600000, г. Владимир, Октябрьский проспект, д. 7